

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 5 日
Date of Application:

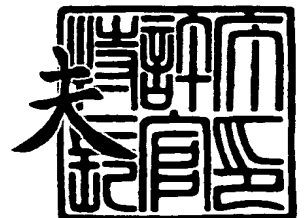
出 願 番 号 特 願 2 0 0 2 - 3 5 4 4 0 3
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 5 4 4 0 3]

出 願 人 舩 岡 富 士 雄
Applicant(s): シ ャ ー プ 株 式 会 社

2 0 0 3 年 9 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 7 7 8 1 5

【書類名】 特許願
【整理番号】 02J02705
【提出日】 平成14年12月 5日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/824
H01L 27/115
【発明の名称】 半導体記憶装置及びその製造方法
【請求項の数】 31
【発明者】

【住所又は居所】 宮城県名取市ゆりが丘 5 丁目 8 - 6

【氏名】 遠藤 哲郎

【発明者】

【住所又は居所】 宮城県仙台市青葉区東勝山 2 - 3 3 - 1 8

【氏名】 舩岡 富士雄

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 谷上 拓司

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 横山 敬

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 堀井 新司

【特許出願人】

【識別番号】 599174214

【氏名又は名称】 舩岡 富士雄

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100065248

【弁理士】

【氏名又は名称】 野河 信太郎

【電話番号】 06-6365-0718

【手数料の表示】

【予納台帳番号】 014203

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208452

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及びその製造方法

【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板と、

少なくとも一つの島状半導体層、該島状半導体層の側壁の周囲の全部又は一部に形成された電荷蓄積層及び制御ゲートから構成されるメモリセルとを有する半導体記憶装置であって、

該メモリセルが直列に配置され、

該メモリセルが配置する前記島状半導体層が、半導体基板に対する水平方向の断面積が段階的に異なる形状を有し、かつ

前記島状半導体層の前記半導体基板に対する水平面の少なくとも一部の領域に電荷を通過させ得る絶縁膜を有することを特徴とする半導体記憶装置。

【請求項 2】 島状半導体層の断面積が、半導体基板側から順に小さい請求項 1 に記載の装置。

【請求項 3】 島状半導体層の断面積が、半導体基板側から順に大きい請求項 1 に記載の装置。

【請求項 4】 島状半導体層の断面積が、半導体基板側と等しい部分を有してなる請求項 1 に記載の装置。

【請求項 5】 メモリセルが、半導体基板又は島状半導体層内に形成された第 2 導電型の不純物拡散層により、あるいは前記半導体基板又は前記島状半導体層内に形成された第 2 導電型の不純物拡散層と該不純物拡散層内に形成された第 1 導電型の不純物拡散層とにより、前記半導体基板から電氣的に絶縁されてなる請求項 1 ～ 4 のいずれか 1 つに記載の装置。

【請求項 6】 メモリセルが複数形成され、該複数のメモリセルの少なくとも一つが他のメモリセルから、島状半導体層内に形成された第 2 導電型の不純物拡散層により、あるいは前記島状半導体層内に形成された第 2 導電型の不純物拡散層と該不純物拡散層内に形成された第 1 導電型の不純物拡散層とにより、電氣的に絶縁されてなる請求項 1 ～ 5 のいずれか 1 つに記載の装置。

【請求項 7】 不純物拡散層と半導体基板又は島状半導体層との接合部に形

成される空乏層とにより前記半導体基板から電氣的に絶縁されてなる請求項 1 ～ 6 のいずれか 1 つに記載の装置。

【請求項 8】 メモリセルが複数形成され、該複数のメモリセルの少なくとも一つが他のメモリセルから、島状半導体層内に形成された第 2 導電型の不純物拡散層と、該不純物拡散層と半導体基板又は島状半導体層との接合部に形成される空乏層とにより前記半導体基板から電氣的に絶縁されてなる請求項 1 ～ 7 のいずれか 1 つに記載の装置。

【請求項 9】 半導体基板表面に形成された不純物拡散層が少なくとも一つのメモリセルに対する共通配線である請求項 1 ～ 8 のいずれか 1 つに記載の装置。

【請求項 10】 島状半導体層が、マトリクス状に複数個配列され、該島状半導体層内に、メモリセルの電荷蓄積状態を読み出すための配線が形成され、かつ複数の制御ゲートが、一方向に連続的に配置されて制御ゲート線を構成し、該制御ゲート線と交差する方向の複数の配線が接続されてビット線を構成する請求項 1 ～ 9 のいずれか 1 つに記載の装置。

【請求項 11】 島状半導体層の側壁の一部又はその周囲を取り囲むようにメモリセルを選択するためのゲート電極が、島状半導体層に形成されたメモリセルの少なくとも一方の端部に形成され、該ゲート電極が前記メモリセルに対して直列に配置されてなる請求項 1 ～ 10 のいずれか 1 つに記載の装置。

【請求項 12】 ゲート電極に対向する島状半導体層が、半導体基板又はメモリセルから、半導体基板表面又は前記島状半導体層に形成された第 2 導電型の不純物拡散層により電氣的に絶縁されてなる請求項 11 に記載の装置。

【請求項 13】 メモリセル同士のチャンネル層が電氣的に接続するよう、電荷蓄積層に対し自己整合的に段状の構造を有する島状半導体層の角部の一部又は全部に第 2 導電型の不純物拡散層が、あるいは第 2 導電型の不純物拡散層と該不純物拡散層内に形成された第 1 導電型の不純物拡散層が形成されてなる請求項 11 又は 12 に記載の装置。

【請求項 14】 ゲート電極に対向する島状半導体層に配置するチャンネル層とメモリセルのチャンネル層とが電氣的に接続するよう、電荷蓄積層及びゲート電

極に対し自己整合的に段状の構造を有する島状半導体層の角部の一部又は全部に第2導電型の不純物拡散層が、あるいは第2導電型の不純物拡散層と該不純物拡散層内に形成された第1導電型の不純物拡散層が形成されてなる請求項11又は12に記載の装置。

【請求項15】 メモリセル同士のチャンネル層が電氣的に接続するように、制御ゲート同士が近接して配置されてなる請求項1～10のいずれか1つに記載の装置。

【請求項16】 ゲート電極に対向する島状半導体層内に配置するチャンネル層とメモリセルのチャンネル層とが電氣的に接続するように、制御ゲートとゲート電極とが近接して配置されてなる請求項11又は12に記載の装置。

【請求項17】 制御ゲート間に、さらに、メモリセル同士のチャンネル層を電氣的に接続するための電極を有する請求項1～10のいずれか1つに記載の装置。

【請求項18】 制御ゲートとゲート電極との間に、さらに、ゲート電極に対向する島状半導体層内に配置するチャンネル層とメモリセルのチャンネル層とを電氣的に接続するための電極を有する請求項11又は12に記載の装置。

【請求項19】 制御ゲートとゲート電極の全部又は一部とが同じ材料で形成されてなる請求項11、12、14、16及び18のいずれか1つに記載の装置。

【請求項20】 電荷蓄積層とゲート電極とが同じ材料で形成されてなる請求項11、12、14、16及び18のいずれか1つに記載の装置。

【請求項21】 島状半導体層がマトリクス状に複数個配列され、島状半導体層の一方向の幅が、同方向に隣接する島状半導体層間の距離よりも小さい請求項1～20のいずれか1つに記載の装置。

【請求項22】 島状半導体層がマトリクス状に複数個配列され、一方向における島状半導体層間の距離が、異なる方向における島状半導体層間の距離よりも小さい請求項1～21のいずれか1つに記載の装置。

【請求項23】 半導体基板上に少なくとも一つの島状半導体層を形成する工程と、

該島状半導体層の側壁に第一の絶縁膜のサイドウォールを形成する工程と、

該サイドウォールをマスクとして前記半導体基板をさらに掘り下げ、前記半導体基板に対する水平方向の断面積が段階的に異なる島状半導体層を形成する工程と、

該島状半導体層の表面に、その表面を覆うように第十五の絶縁膜を形成し、階段状に形成された島状半導体層の側面に第十六の絶縁膜のサイドウォールを形成する工程と、

該サイドウォールをマスクに選択的に第十五の絶縁膜を除去する工程と、

該島状半導体層上に単層又は積層構造の絶縁膜及び第一の導電膜を形成する工程と、

該第一の導電膜を、前記島状半導体層の側壁に絶縁膜を介してサイドウォール状に形成することによって分離する工程とを含むことにより、

前記島状半導体層と、該島状半導体層の側壁の一部又はその周囲に形成された電荷蓄積層及び制御ゲートから構成される少なくとも一つのメモリセルを有する半導体記憶装置を形成することからなる半導体記憶装置の製造方法。

【請求項 24】 さらに、半導体基板に対する水平方向の断面積が段階的に異なる島状半導体層の角部の一部又は全部に、第一の導電膜に対して自己整合的に不純物を導入する工程を含む請求項 23 に記載の方法。

【請求項 25】 さらに、第一の導電膜上に層間容量膜を形成する工程と、該層間容量膜上に第二の導電膜を形成する工程と、

該第二の導電膜を、前記第一の導電膜の側壁に層間容量膜を介してサイドウォール状に形成することによって分離する工程とを含む請求項 24 に記載の方法。

【請求項 26】 導入された不純物が、半導体基板表面に対して水平な方向において、島状半導体層内で繋がるように拡散して不純物拡散層を構成する請求項 24 又は 25 に記載の方法。

【請求項 27】 島状半導体層を複数マトリクス状に形成し、さらに、該島状半導体層の側壁を酸化して該酸化膜を除去することにより、一方向における前記島状半導体層の幅を島状半導体層間の距離よりも小さくする請求項 23～26 のいずれか 1 つに記載の方法。

【請求項 28】 分割された第一の導電膜間に、さらに、第五の導電膜を形

成する請求項 23～27 のいずれか 1 つに記載の方法。

【請求項 29】 第一の導電膜を分割する際に、島状半導体層に側して第一の導電膜直下に形成されるチャネル層が、隣接するチャネル層と互いに電氣的に接続される程度に第一の導電膜を互いに近接して配置する請求項 23～28 のいずれか 1 つに記載の方法。

【請求項 30】 第二の導電膜を分割する際に、島状半導体層に側して第一の導電膜直下に形成されるチャネル層が、隣接するチャネル層と互いに電氣的に接続される程度に第二の導電膜を隣接する電荷蓄積層に近接して配置する請求項 23～29 のいずれか 1 つに記載の方法。

【請求項 31】 第一の導電膜を分割する際に、該第一の導電膜上に、その表面を覆うように第十八の絶縁膜を形成し、該第十八の絶縁膜のサイドウォールを形成する工程と、

該第十八の絶縁膜のサイドウォールをマスクに前記第一の導電膜のサイドウォールを形成する工程とを有する請求項 23～30 のいずれか 1 つに記載の方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、半導体記憶装置及びその製造方法に関し、より詳細には、電荷蓄積層と制御ゲートとを備えるメモリ・トランジスタを用いた半導体記憶装置及びその製造方法に関する。

【0002】

【従来の技術】

EEPROMのメモリセルとして、ゲート部に電荷蓄積層と制御ゲートとを有し、トンネル電流を利用して電荷蓄積層への電荷の注入、電荷蓄積層からの電荷の放出を行うMOSトランジスタ構造のデバイスが知られている。このメモリセルでは、電荷蓄積層の電荷蓄積状態の相違によるしきい値電圧の相違をデータ“0”、“1”として記憶する。

例えば、電荷蓄積層として浮遊ゲートを用いたnチャネルのメモリセルの場合、浮遊ゲートに電子の注入するには、ソース／ドレイン拡散層と基板とを接地し

、制御ゲートに正の高電圧を印加する。このとき、基板側からトンネル電流によって浮遊ゲートに電子が注入される。この電子注入により、メモリセルのしきい値電圧は正方向に移動する。一方、浮遊ゲートの電子を放出させるには、制御ゲートを接地し、ソース／ドレイン拡散層又は基板のいずれかに正の高電圧を印加する。このとき、浮遊ゲートからトンネル電流によって基板側の電子が放出される。この電子放出により、メモリセルのしきい値電圧は負方向に移動する。

【0003】

以上の動作において、電子注入と放出、すなわち書き込みと消去とを効率良く行うためには、浮遊ゲートと制御ゲート及び基板との間の容量結合の関係が重要である。すなわち、浮遊ゲートと制御ゲートとの間の容量が大きいほど、制御ゲートの電位を効果的に浮遊ゲートに伝達することができ、書き込み及び消去が容易になる。

しかし、近年の半導体技術の進歩、特に微細加工技術の進歩により、EEPROMのメモリセルの小型化と大容量化とが急速に進んでいる。

したがって、メモリセル面積が小さくて、しかも、浮遊ゲートと制御ゲートとの間の容量を如何に大きく確保するかが重要な問題となっている。

【0004】

浮遊ゲートと制御ゲートとの間の容量を大きくするためには、これらの間のゲート絶縁膜を薄くするか、その誘電率を大きくするか又は浮遊ゲートと制御ゲートとの対向面積を大きくすることが必要である。

しかし、ゲート絶縁膜を薄くすることは信頼性上限界がある。ゲート絶縁膜の誘電率を大きくすることは、例えば、シリコン酸化膜に代えてシリコン窒素膜等を用いることが考えられるが、これも主として信頼性上問題があって実用的でない。

したがって、十分な容量を確保するためには、浮遊ゲートと制御ゲートとのオーバーラップ面積を一定値以上確保することが必要となるが、これは、メモリセルの面積を小さくしてEEPROMの大容量化を図ることとは相反することとなる。

【0005】

これに対し、半導体基板が格子縞状の溝により分離され、マトリクス状に配列

された複数の柱状半導体層の側壁を利用してメモリ・トランジスタが構成されるEEPROMが提案されている（例えば、特許文献1）。

このEEPROMを図238に示す。図238は、柱状シリコン層2が円柱状である場合、すなわち上面が円形であるEEPROMの平面図であり、図239(a)及び図239(b)は、それぞれ図238のA-A'及びB-B'断面図である。なお、図238では、選択ゲート・トランジスタのゲート電極が連続して形成される選択ゲート線は、複雑になるので示していない。

【0006】

このEEPROMは、p型シリコン基板1を用い、この上に格子縞状の溝3により分離された複数のp型の柱状シリコン層2がマトリクス配列され、これら各柱状シリコン層2がそれぞれメモリセル領域となっている。メモリ・トランジスタは、各柱状シリコン層2の上面に形成されたドレイン拡散層10、溝3の底部に形成された共通ソース拡散層9、柱状シリコン層2の周囲を取り囲むように、柱状シリコン層2の下部に、トンネル酸化膜5を介して形成された浮遊ゲート6、さらにその外側に層間絶縁膜7を介して形成された制御ゲート8により構成される。なお、溝3の底部に所定厚みの酸化膜4が埋込み形成されている。また、制御ゲート8は、図238及び第243(b)に示すように、一方向の複数のメモリセルについて連続的に配設されて、制御ゲート線、すなわちワード線WL(WL1, WL2, ...)を構成している。また、制御ゲート線と交差する方向に、複数のメモリ・トランジスタのドレイン拡散層に接続されたビット線が設けられている。

【0007】

さらに、1トランジスタ／1セル構成では、メモリ・トランジスタが過剰消去の状態、すなわち、読出し電位が0Vであって、しきい値が負の状態になると、非選択でもセル電流が流れることになり、不都合である。したがって、これを確実に防止するために、柱状半導体層の上部に、メモリ・トランジスタと同様にその周囲を取り囲むように、ゲート酸化膜31を介してゲート電極32が配設されて選択ゲート・トランジスタが構成されている。このトランジスタのゲート電極32は、メモリセルの制御ゲート8と同様に、制御ゲート線と同じ方向には連続して配設されて選択ゲート線となる。

制御ゲート線は、セルアレイの端部の柱状シリコン層位置にPEPによるマスクを形成しておいて、その表面に制御ゲート線と連続する多結晶シリコン膜からなるコンタクト部14を残し、選択ゲート線も制御ゲートと逆の端部のシリコン層にコンタクト部15を残して、これらにそれぞれワード線WL及び制御ゲート線CGとなるアルミニウム配線13、16をコンタクトさせている。

【0008】

このように形成されたメモリセルの基板表面は、CVD酸化膜11により覆われ、これにコンタクト孔が開けられて、ワード線WLと交差する方向のメモリセルのドレイン拡散層10を共通接続するビット線BL (BL1, BL2, ...)となるアルミニウム配線12が配設されている。

このような構成により、小さい占有面積で、電荷蓄積層と制御ゲートとの間の容量を十分大きく確保することができる。また、各メモリセルのビット線に繋がるドレイン拡散層は、それぞれ柱状半導体層の上面に形成され、溝によって電氣的に完全に絶縁されている。さらに、素子分離領域が小さくでき、メモリセルサイズが小さくなる。したがって、優れた書き込み、消去効率を有するメモリセルを集積した大容量化EEPROMを得ることができる。

【0009】

上記の図239(a)に示したのEEPROMの具体的な製造方法を、図240(a)～247(g)を参照して説明する。

まず、ウェハに、高不純物濃度のp型シリコン基板1に、低不純物濃度のp型シリコン層2をエピタキシャル成長させる。その表面にマスク層21を堆積し、公知のPEP工程によりフォトレジスト・パターン22を形成する。これを用いてマスク層21をエッチングする(図240(a))。

マスク層21を用いて、反応性イオンエッチング法によりシリコン層2をエッチングして、基板1に達する深さの格子縞状の溝3を形成する。これにより、シリコン層2は、柱状をなして複数の島に分離される。その後、CVD法によりシリコン酸化膜23を堆積する。これを異方性エッチングにより各柱状シリコン層2の側壁に残す。n型不純物をイオン注入して、各柱状シリコン層2の上面に、それぞれドレイン拡散層10を形成する。溝底部には、共通ソース拡散層9を形成す

る(図240(b))。

【0010】

その後、等方性エッチングにより各柱状シリコン層2の周囲の酸化膜23をエッチング除去する。必要に応じて斜めイオン注入を利用して各シリコン層2の側壁にチャンネルイオン注入を行う。チャンネルイオン注入に代えてCVD法により、ボロンを含む酸化膜を堆積し、その酸化膜からのボロン拡散を利用してもよい。CVDシリコン酸化膜4を堆積し、これを等方性エッチングによりエッチングして、溝3の底部に埋め込む。その後、熱酸化によって、各柱状シリコン層2の周囲に、例えば、10nm程度のトンネル酸化膜5を形成する。その上に、第1層多結晶シリコン膜を堆積する。この第1層多結晶シリコン膜を異方性エッチングによりエッチングし、柱状シリコン層2の下部側壁に残して、シリコン層2を取り囲む形の浮遊ゲート5を形成する(図241(c))。

【0011】

次に、各柱状シリコン層2の周囲に形成された浮遊ゲート6の表面に層間絶縁膜7を形成する。この層間絶縁膜7は、例えば、ONO膜とする。その上に、第2層多結晶シリコン膜を堆積し、異方性エッチングによりエッチングして、柱状シリコン層2の下部に制御ゲート8を形成する(図241(d))。このとき、制御ゲート8は柱状シリコン層2の間隔を、図238の縦方向について予め所定の値以下に設定しておくことによって、マスク工程を用いることなく、その方向に連続する制御ゲート線として形成することができる。不要な層間絶縁膜7及びその下のトンネル酸化膜2をエッチング除去する。CVDシリコン酸化膜111を堆積し、溝3の途中まで、つまり、メモリセルの浮遊ゲート7及び制御ゲート8が隠れるところまでエッチングすることにより、CVDシリコン酸化膜111を埋め込む(図242(e))。

【0012】

その後、露出した柱状シリコン層2の上部に熱酸化により20nm程度のゲート酸化膜31を形成する。第3層多結晶シリコン膜を堆積し、これを異方性エッチングによりエッチングしてMOSトランジスタのゲート電極32を形成する(図242(f))。このゲート電極32も、制御ゲート線と同じ方向に連続的にパタ

ーン形成されて選択ゲート線となる。なお、選択ゲート線もセルフアラインで連続的に形成することができるが、メモリセルの制御ゲート 8 の場合に比べて難しい。なぜなら、メモリ・トランジスタ部は 2 層ゲートであるのに対し、選択ゲート・トランジスタが単層ゲートであるため、隣接セル間のゲート電極間隔が制御ゲート間隔より広いからである。したがって、確実にゲート電極 3 2 を連続させるためには、これを二層多結晶シリコン構造として、最初が多結晶シリコン膜については、マスク工程でゲート電極を繋げる部分にのみ残し、次の多結晶シリコン膜に対して側壁残しを行う。

【0013】

制御ゲート線及び選択ゲート線は、それぞれ異なる端部において、柱状シリコン層上面にコンタクト部 1 4、1 5 が形成されるように、多結晶シリコン膜エッチングに際してマスクを形成する。最後に、CVDシリコン酸化膜 112 を堆積し、必要なら平坦化処理を行い、コンタクト孔を開けて、アルミニウムを蒸着及びパターンニングし、ビット線 BL となるアルミニウム配線 1 2、制御ゲート線 CG となるアルミニウム配線 1 3 及びワード線 WL となるアルミニウム配線 1 6 を同時に形成する(図 2 4 3 (g))。

【0014】

図 2 4 4 (a) は、上記 EEPROM の 1 メモリセルの要部を概略断面図として示し、図 2 4 4 (b) は等価回路を示している。図 2 4 4 (a) 及び図 2 4 4 (b) を用いて、この EEPROM の動作を簡単に説明すれば、次の通りである。

まず、書込みにホットキャリア注入を利用する場合、書き込みは、選択ワード線 WL に十分高い正電位を与え、選択制御ゲート線 CG 及び選択ビット線 BL に所定の正電位を与える。これにより、選択ゲート・トランジスタ Qs を介して正電位をメモリ・トランジスタ Qc のドレインに伝達して、メモリ・トランジスタ Qc でチャネル電流を流して、ホットキャリア注入を行い、そのメモリセルのしきい値を正方向に移動させる。

消去は、選択制御ゲート CG を 0 V とし、ワード線 WL 及びビット線 BL に高い正電位を与えて、ドレイン側に浮遊ゲートの電子を放出させる。一括消去は、共通ソースに高い正電位を与え、ソース側に電子を放出させる。これにより、メモリセ

ルのしきい値は負方向に移動する。

【0015】

読出しは、ワード線WLにより、選択ゲート・トランジスタQsを開き、制御ゲート線CGの読出し電位を与える。電流の有無により“0”、“1”判別を行う。

電子注入にFowler-Nordheimトンネリングを利用する場合には、選択制御ゲート線CG及び選択ワード線WLに高い正電位を与え、選択ビット線BLを0Vとして、基板から浮遊ゲートに電子を注入する。

なお、このEEPROMでは、マスクを用いることなく各メモリセルの制御ゲートを一方向について連続するように形成しているが、これは、柱状シリコン層の配置が対称的でない場合に初めて可能である。すなわち、ワード線方向の柱状シリコン層の隣接間隔を、ビット線方向にそれより小さくすることにより、ビット線方向には分離され、ワード線方向に繋がる制御ゲート線が、マスクなしで自動的に得られる。

【0016】

これに対して、例えば、柱状シリコン層の配置を対称的にした場合には、PEP工程を必要とする。具体的には、第2層多結晶シリコン膜を厚く堆積して、PEP工程を経て、制御ゲート線として連続させるべき部分にこれを残すように選択エッチングする。次いで、第3層多結晶シリコン膜を堆積して、上記と同様に側壁残しのエッチングを行う。柱状シリコン層の配置が対称的でない場合にも、その配置の間隔によっては上記のように自動的に連続する制御ゲート線が形成できないこともある。このような場合にも、上述のようなマスク工程を用いることにより、一方向に連続する制御ゲート線を形成すればよい。また、このEEPROMでは、浮遊ゲート構造のメモリセルを用いたが、電荷蓄積層は必ずしも浮遊ゲート構造である必要はなく、電荷蓄積層を多層絶縁膜へのトラップにより実現している、例えばMNOS構造の場合にも有効である。

【0017】

MNOS構造のメモリセルを、図245に示す。図245は、図239(a)に対応する断面図である。

電荷蓄積層となる積層絶縁膜24は、トンネル酸化膜とシリコン窒化膜の積層

構造又はその窒化膜表面に、さらに酸化膜を形成した構造とする。

図 2 4 6 は、上記従来例において、メモリ・トランジスタと選択ゲート・トランジスタを逆にした E E P R O M、つまり、柱状シリコン層 2 の下部に選択ゲート・トランジスタを形成し、上部にメモリ・トランジスタを形成した E E P R O M (図 2 3 9 (a)) に対応する断面図である。共通ソース側に選択ゲート・トランジスタを設けるこの構造は、書き込み方式としてホットエレクトロン注入方式を用いる場合に採用することができる。

図 2 5 1 は、一つの柱状シリコン層に複数のメモリセルを構成した例である。なお、図 2 5 1 中、先の例と対応する部分には同一符号を付して詳細な説明は省略する。

この E E P R O M では、柱状シリコン層 2 の最下部に選択ゲート・トランジスタ Q_{s1} を形成し、その上に 3 個のメモリ・トランジスタ Q_{c1} 、 Q_{c2} 、 Q_{c3} を配置し、さらにその上に選択ゲート・トランジスタ Q_{s2} を配置している。

【0018】

【特許文献 1】

特許第 2 8 7 7 4 6 2 号

【0019】

【発明が解決しようとする課題】

ところで、上記の例では、図 2 4 4 (a) に示したように、選択ゲート・トランジスタ Q_s とメモリ・トランジスタ Q_c との間には拡散層がない。これは、柱状シリコン層の側面に選択的に拡散層を形成することが困難だからである。

したがって、図 2 3 9 (a) 及び (b) の構造において、メモリ・トランジスタのゲート部と選択ゲート・トランジスタのゲート部との間の分離酸化膜はできるだけ薄いことが望ましい。特に、ホットエレクトロン注入を利用する場合には、メモリ・トランジスタのドレイン部に十分な“H”レベル電位を伝達するために、この分離酸化膜厚が 30 ~ 40 nm 程度であることが必要になる。

しかし、このような微小間隔は、先の製造工程で説明した C V D による酸化膜の埋め込みのみでは実際上は困難である。

また、上記の例では、基板に対して垂直方向にトランジスタを形成していく際、

各段毎にトランジスタを形成するため、工程数が増大し、製造コストの増大、製造期間の増加、歩留りの低下を招く。また、製造されたメモリ・トランジスタは、各段毎の熱履歴の違いによるトンネル酸化膜の膜質の違いや拡散層のプロファイルの違いにより、セル特性にばらつきを生じる。

【0020】

さらに、上記の例では、柱状半導体層に対して自己整合に電荷蓄積層及び制御ゲートが形成されるが、セルアレイの大容量化を考えた場合、柱状半導体層は最小加工寸法にて形成することが好ましい。ここで電荷蓄積層として浮遊ゲートを用いた場合、浮遊ゲートと制御ゲート及び浮遊ゲートと基板との間の容量結合の関係は、柱状半導体層外周の面積と浮遊ゲート外周の面積、柱状半導体層と浮遊ゲートとを絶縁するトンネル酸化膜の膜厚、浮遊ゲートと制御ゲートとを絶縁する層間絶縁膜の膜厚で決まる。上記例では、柱状半導体層の側壁を利用して、柱状半導体層を取り囲んで形成された電荷蓄積層及び制御ゲートを有し、小さい占有面積で電荷蓄積層と制御ゲートとの間の容量を十分大きく確保することを目的としているが、柱状半導体層を最小加工寸法にて形成し、さらにトンネル酸化膜の膜厚と層間絶縁膜の膜厚とを固定とした場合、電荷蓄積層と制御ゲートとの間の容量は、単純に浮遊ゲート外周の面積、つまり浮遊ゲートの膜厚で決まる。したがって、これ以上、メモリセルの占有面積を増加させずに電荷蓄積層と制御ゲートとの間の容量を増大させることは困難である。言換えれば、メモリセルの占有面積を増加させずに、浮遊ゲートと島状半導体層との容量に対する浮遊ゲートと制御ゲートとの容量の比を増大させることは困難である。

また、上記の例では、一つの柱状半導体層に複数のメモリセルを直列に接続して構成し、各メモリセルの閾値が同じであると考えた場合、制御ゲート線CGに読出し電位を与えて、電流の有無により“0”、“1”判別を行う読み出し動作の際、直列に接続された両端に位置するメモリセルは、基板からのバックバイアス効果により閾値の変動が顕著となる。これにより直列に接続するメモリセルの個数がデバイス上制約されるため、これ以上の大容量化は困難となる。

【0021】

本発明は、上記課題に鑑みなされたものであり、メモリ・トランジスタ間及び

選択ゲート・トランジスタとメモリ・トランジスタとの間に不純物拡散層を制御よく、容易に形成し、複数のメモリセルが半導体基板面に対し垂直方向に直列に配置されてなる構造を有する半導体記憶装置を、段数の増加に伴って工程数が増加することなく、より少ない工程で制御よく形成し、安価かつ短期間で製造することができ、さらに、メモリセルの占有面積を増加させずに、電荷蓄積層と制御ゲートとの間の容量比をより一層増大させるとともに、電荷蓄積層及び制御ゲートを有する半導体記憶装置のバックバイアス効果による影響を少なくすることにより、さらなる集積度の向上を図ることができる半導体記憶装置及びその製造方法を提供することを目的とする。

【 0 0 2 2 】

【課題を解決するための手段】

本発明によれば、第 1 導電型の半導体基板と、少なくとも一つの島状半導体層、該島状半導体層の側壁の周囲の全部又は一部に形成された電荷蓄積層及び制御ゲートから構成されるメモリセルとを有する半導体記憶装置であって、

該メモリセルが直列に配置され、

該メモリセルが配置する前記島状半導体層が、半導体基板に対する水平方向の断面積が段階的に異なる形状を有し、かつ

前記島状半導体層の前記半導体基板に対する水平面の少なくとも一部の領域に電荷を通過させ得る絶縁膜を有する半導体記憶装置が提供される。

また、本発明によれば、半導体基板上に少なくとも一つの島状半導体層を形成する工程と、

該島状半導体層の側壁に第一の絶縁膜のサイドウォールを形成する工程と、

該サイドウォールをマスクとして前記半導体基板をさらに掘り下げ、前記半導体基板に対する水平方向の断面積が段階的に異なる島状半導体層を形成する工程と、

該島状半導体層の表面に、その表面を覆うように第十五の絶縁膜を形成し、階段状に形成された島状半導体層の側面に第十六の絶縁膜のサイドウォールを形成する工程と、

該サイドウォールをマスクに選択的に第十五の絶縁膜を除去する工程と、

該島状半導体層上に単層又は積層構造の絶縁膜及び第一の導電膜を形成する工程と、

該第一の導電膜を、前記島状半導体層の側壁に絶縁膜を介してサイドウォール状に形成することによって分離する工程とを含むことにより、

前記島状半導体層と、該島状半導体層の側壁の一部又はその周囲に形成された電荷蓄積層及び制御ゲートから構成される少なくとも一つのメモリセルを有する半導体記憶装置を形成することからなる半導体記憶装置の製造方法が提供される。

【 0 0 2 3 】

【発明の実施の形態】

本発明の半導体記憶装置は、半導体基板面の垂線方向に電荷蓄積層及び制御ゲートとなる第三の電極を有する複数のメモリセルが直列に接続されている。このメモリセルは、半導体基板と半導体基板上に格子縞状に分離されてなるマトリクス状に配列された複数の島状半導体層の側壁に形成される。

島状半導体層は、半導体基板に対する水平方向の断面積が段階的に異なる形状を有しており、半導体基板側にいくほど小さい断面積を有するような形状、大きい断面積を有するような形状、一旦小さくなり又は大きくなり、半導体基板側と等しい断面積を有するような形状等である。

電荷蓄積層と制御ゲートとは、島状半導体層の側壁に形成される。これらは、島状半導体層の側壁の全周囲にわたって形成されていてもよいし、周囲の一部の領域を除く領域に形成されていてもよい。電荷蓄積層と制御ゲートとは、島状半導体層の1つの段に形成されていてもよいし、2つの段に跨って形成されていてもよい。ただし、製造プロセスの簡便さから、1つの段に形成されることが好ましい。なお、電荷蓄積層は、フローティングゲートであってもよいし、誘電膜及び絶縁膜の単層又は積層膜で形成してもよい。

【 0 0 2 4 】

1つの島状半導体層には、メモリセルが1個のみ形成されていてもよいし、2個以上形成されていてもよい。メモリセルが3個以上形成されている場合には、メモリセルの下部及び／又は上部に選択ゲートが形成され、この選択ゲートと島

状半導体層とにより構成される選択トランジスタが形成されていることが好ましい。つまり、直列に接続する複数のメモリセルの両端部には、選択ゲートとなる第十三の電極を有する選択ゲート・トランジスタが接続されており、選択ゲートは、島状半導体層の側壁に形成される。

島状半導体層に配置された不純物拡散層は、メモリセルのソース又はドレインとして形成されている。

制御ゲートは、一方向の複数の島状半導体層について連続的に、かつ、半導体基板面に対し水平方向に配置されてなる第三の配線である制御ゲート線を構成する。また、制御ゲート線と交差する方向に不純物拡散層と電氣的に接続され、かつ、半導体基板面に対して水平方向に、第四の配線であるビット線が配置している。

【0025】

メモリセルの少なくとも1つは、半導体基板から「電氣的に絶縁」されていることが好ましい。また、これに伴い、選択ゲート・トランジスタも半導体基板から「電氣的に絶縁」されていることが好ましい。半導体基板から「電氣的に絶縁」されているとは、半導体基板と島状半導体層との間が電氣的に絶縁されているものでもよく、メモリセルが2個以上形成されている場合には、メモリセル間が電氣的に絶縁されることにより、この絶縁された個所よりも上方に位置するメモリセルが半導体基板と電氣的に絶縁されているものでもよい。また、後述するように、任意に、メモリセルの下部に選択ゲート（ゲート電極）が形成されている場合には、選択ゲートによって構成される選択トランジスタと半導体基板との間が電氣的に絶縁されているものでもよい。さらに、選択トランジスタとメモリセルとの間が電氣的に絶縁されることにより、この絶縁された領域よりも上方に位置するメモリセルが半導体基板と電氣的に絶縁されていてもよい。なかでも、半導体基板と島状半導体層との間、あるいはメモリセルの下部に選択トランジスタが形成されている場合であって、選択トランジスタと半導体基板との間が電氣的に絶縁されているものが好ましい。

【0026】

電氣的な絶縁は、例えば、半導体基板と異なる導電型（第2導電型）の不純物拡散層を、絶縁しようとする領域の全部にわたって形成することにより行っても

よいし、絶縁しようとする領域の一部に不純物拡散層を形成し、その接合部における空乏層を利用して行ってもよい。また、電氣的に導電しない程度に間隔をあけることにより、結果的に電氣的に絶縁されるようにしてもよい。半導体基板とメモリセル又は選択トランジスタは、例えば、 SiO_2 等の絶縁膜で電氣的に絶縁されていてもよい。なお、メモリセルが複数個形成されている場合、任意に、メモリセルの上下部に選択トランジスタが形成されている場合には、任意のメモリセル間及び／又は選択トランジスタとメモリセルとの間が、電氣的に絶縁されていてもよい。

【0027】

メモリセルアレイの平面図における実施の形態

本発明の半導体記憶装置を構成するメモリセルアレイの平面図を、図1～図6に示す。なお、これらの図面においては、メモリセルアレイの下段メモリセルが示されており、選択ゲート・トランジスタは複雑になるため省略している。第二の配線又は第五の配線である選択ゲート線、第三の配線である制御ゲート線、第四の配線であるビット線及び第一の配線であるソース線も表されている。

図1～図6は、電荷蓄積層として浮遊ゲートを有するEEPROMのメモリセルアレイを示す。

図1は、メモリセルを形成する円柱状の島状半導体層が、1組の平行線と他の組の平行線とが直交する交点へそれぞれ配置するように配列されている。各メモリセルを選択、制御するための第一の配線層、第二の配線層、第三の配線層及び第四の配線層は、それぞれ基板面に対し平行に配置されている。また、第四の配線層840と交差する方向であるA-A'方向と、第四の配線層840方向であるB-B'方向とで、島状半導体層の間隔を変えている。これにより、各メモリセルの制御ゲートである第二の導電膜が一方向に、図1ではA-A'方向に連続して形成され、第三の配線層となる。同様に選択ゲート・トランジスタのゲートである第二の導電膜が一方向に連続して形成され、第二の配線層となる。

【0028】

さらに、島状半導体層の基板側に配置されてなる第一の配線層と電氣的に接続するため端子を、例えば、図1のA-A'方向に接続するメモリセルのA'側の端部に

設け、第二の配線層及び第三の配線層と電氣的に接続するための端子を、例えば、図1のA-A'方向に接続するメモリセルのA側の端部に設けている。島状半導体層の基板とは反対側に配置されてなる第四の配線層840は、例えば、第二の配線層及び第三の配線層と交差する方向に形成され、各島状半導体層に電氣的に接続している。また、第一の配線層と電氣的に接続するための端子は、島状半導体層で形成されており、第二の配線層及び第三の配線層と電氣的に接続するための端子は、島状半導体層に被覆されてなる第二の導電膜で形成されている。

第一の配線層、第二の配線層及び第三の配線層と電氣的に接続するための端子はそれぞれ第一のコンタクト部910、第二のコンタクト部921、924、第三のコンタクト部932、933と接続している。

また、第一のコンタクト部910を介して第一の配線層810が半導体記憶装置上面に引き出されている。

なお、メモリセルを形成する円柱状の島状半導体層は、上述のような配線層の位置関係や電氣的な接続関係があれば、どのように配列されていてもよい。

【0029】

第一のコンタクト部910に接続される島状半導体層は、A-A'方向に接続するメモリセルのA側の全ての端部に配置されているが、A'側の端部の一部又は全てに配置してもよいし、A-A'方向に接続するメモリセルを形成している島状半導体層のいずれかに配置してもよい。

第二のコンタクト部921、924、第三のコンタクト部932、933に接続されてなる第二の導電膜で被覆される島状半導体層は、第一のコンタクト部910が配置されない側の端部に配置してもよいし、第一のコンタクト部910が配置される側の端部に連続して配置してもよいし、A-A'方向に接続するメモリセルを形成している島状半導体層のいずれかに配置してもよい。第二のコンタクト部921、924、第三のコンタクト部932などを分割して配置してもよい。

第一の配線層810、第四の配線層840は、所望の配線が得られれば幅や形状は問わない。

【0030】

また、島状半導体層の基板側に配置される第一の配線層が第二の導電膜で形成

されてなる第二の配線層及び第三の配線層と自己整合で形成される場合、第一の配線層と電氣的に接続するための端子となる島状半導体層は、第二の導電膜で形成されてなる第二の配線層及び第三の配線層と電氣的には絶縁されているが、絶縁膜を介して接する状態であることを要する。例えば、第一のコンタクト部 910 が接続している島状半導体層側面の一部に絶縁膜を介して第一の導電膜が形成されており、この第一の導電膜が、島状半導体層との間に配置され、この第一の導電膜の側面に絶縁膜を介して第二の導電膜が形成されており、この第二の導電膜が A-A' 方向に連続して形成されてなる第二の配線層及び第三の配線層と接続される。このとき、島状半導体層側面に形成される第一及び第二の導電膜の形状は問わない。

また、第一の配線層と電氣的に接続するための端子となる島状半導体層とメモリセルが形成されている島状半導体層にある第一の導電膜との距離を、例えば第二の導電膜の膜厚の 2 倍以下とすることにより、第一の配線層と電氣的に接続するための端子となる島状半導体層の側面の第一の導電膜を全て取り除いてもよい。

【0031】

図 1 では、第二及び第三のコンタクト部は、島状半導体層頂上部を覆うように形成した第二の配線層 821、824、第三の配線層 832 などの上に形成しているが、各々接続できるのならば第二及び第三の配線層の形状は問わない。

図 2 は、円柱状の島状半導体層は、第 1 組の平行線と他の組の平行線とが直交する交点、第 1 組の間に配置する第 2 組の平行線と他の組の平行線とが直交する交点に、それぞれ配置する。各メモリセルを選択、制御するための第一の配線層、第二の配線層、第三の配線層及び第四の配線層は、それぞれ基板面に対し、平行に配置されている。また、A-A' 方向と B-B' 方向とで、島状半導体層の配置間隔が変えられている。これにより、各メモリセルの制御ゲートである第二の導電膜が一方向に、図 2 では A-A' 方向に、連続して形成され第三の配線層を構成する。同様に、選択ゲート・トランジスタのゲートである第二の導電膜が一方向に連続して形成され、第二の配線層を構成する。

島状半導体層の基板側に配置されてなる第一の配線層と電氣的に接続するため

の端子は、A-A' 方向に接続するメモリセルのA側の端部に配置され、第二の配線層及び第三の配線層と電氣的に接続するための端子は、A' 側の端部に配置されている。

島状半導体層の基板とは反対側に配置されてなる第四の配線層 840 は、島状半導体層のそれぞれに電氣的に接続されており、第二の配線層及び第三の配線層と交差する方向に第四の配線層 840 が形成されている。

【0032】

第一の配線層と電氣的に接続するための端子は、島状半導体層で形成されており、第二の配線層及び第三の配線層と電氣的に接続するための端子は、島状半導体層に被覆されてなる第二の導電膜で形成されている。第一の配線層、第二の配線層及び第三の配線層と電氣的に接続するための端子は、それぞれ第一のコンタクト部 910、第二のコンタクト部 921、924、第三のコンタクト部 932、933 と接続している。

第一のコンタクト部 910 を介して第一の配線層 810 が半導体記憶装置上面に引き出されている。

なお、円柱状の島状半導体層は、上述のような配線層の位置関係や電氣的な接続関係があれば、どのような配列でもよい。また、第一のコンタクト部 910 に接続されてなる島状半導体層は、A-A' 方向に接続するメモリセルのA' 側の全ての端部に配置されているが、A側の端部の一部又は全てに配置してもよく、A-A' 方向に接続するメモリセルを形成している島状半導体層のいずれかに配置してもよい。

【0033】

第二のコンタクト部 921、924、第三のコンタクト部 932、933 に接続されてなる第二の導電膜で被覆される島状半導体層は、第一のコンタクト部 910 が配置されてない側の端部に配置してもよいし、第一のコンタクト部 910 が配置される側の端部に連続して配置してもよいし、A-A' 方向に接続するメモリセルを形成している島状半導体層のいずれかに配置してもよい。第二のコンタクト部 921、924、第三のコンタクト部 932 などは、分割して配置してもよい。

第一の配線層 810、第四の配線層 840 は所望の配線が得られれば、幅や形状は問わない。

【0034】

島状半導体層の基板側に配置されてなる第一の配線層が第二の導電膜で形成されてなる第二の配線層及び第三の配線層と自己整合で形成される場合、第一の配線層と電氣的に接続するための端子となる島状半導体層は、第二の導電膜で形成されてなる第二の配線層及び第三の配線層と電氣的には絶縁されているが、絶縁膜を介して接する状態であることを要する。例えば、第一のコンタクト部 910 が接続している島状半導体層側面の一部に絶縁膜を介して第一の導電膜が形成されており、この第一の導電膜が島状半導体層との間に配置され、この第一の導電膜の側面に絶縁膜を介して第二の導電膜が形成され、この第二の導電膜が、A-A' 方向に、連続して形成されてなる第二の配線層及び第三の配線層と接続されている。このとき、島状半導体層側面に形成される第一及び第二の導電膜の形状は問わない。

第一の配線層と電氣的に接続するための端子となる島状半導体層とメモリセルが形成されている島状半導体層にある第一の導電膜との距離を、例えば第二の導電膜の膜厚の 2 倍以下とすることにより、第一の配線層と電氣的に接続するための端子となる島状半導体層の側面の第一の導電膜を全て取り除いてもよい。

第二及び第三のコンタクト部は、島状半導体層頂上部を覆うように形成した第二の配線層 821、8244、第三の配線層 832 などの上に形成しているが、各々接続できるのならば、第二及び第三の配線層の形状は問わない。

【0035】

図 3 及び図 4 は、図 1 及び図 2 とは異なり、島状半導体層の断面形状が四角形であり、図 3 と図 4 とで配置している向きがそれぞれ異なっている。島状半導体層の断面形状は、楕円形、六角形、八角形等の多角形でもよい。ただし、島状半導体層の大きさが加工限界近くである場合には、設計時に多角形であっても、フォトリソ工程やエッチング工程などにより円形や楕円形に近づく。

図 5 は、図 1 とは異なり、島状半導体層が楕円であり、楕円の長軸が B-B' 方向である。

図 6 は、図 5 に対し、楕円の長軸の向きが A-A' 方向である。なお、楕円の長軸の方向はどの方向であってもよい。

図 1 ～図 6 に示した配置及び構造は、種々組み合わせてもよい。

【 0 0 3 6 】

メモリセルアレイの断面図における実施の形態

電荷蓄積層として浮遊ゲートを有する半導体記憶装置の断面図を図 7 ～図 6 0 に示す。なお、図 7 ～図 6 0 において、奇数図面は図 1 の A-A' 断面図及び偶数図面は B-B' 断面図である。

図 7 ～図 6 0 では、p 型シリコン基板 1 0 0 上に段を 3 つ有する柱状の島状半導体層 1 1 0 がマトリクス状に配列されている。

島状半導体層間の溝底部には所定厚みの第七の絶縁膜であるシリコン酸化膜 4 6 0 が配置され、島状半導体層 1 1 0 の周囲を取り囲むように形成される窪みの内部にゲート絶縁膜 4 8 0 を介して選択ゲートとなる第二の電極 5 0 0 が配置され、選択ゲート・トランジスタを構成している。

【 0 0 3 7 】

この選択ゲート・トランジスタ上方には、島状半導体層 1 1 0 の側壁にメモリゲート酸化膜 4 0 1 を島状半導体層 1 1 0 の段の水平面の少なくとも一部にトンネル酸化膜 4 4 0 を介して浮遊ゲート 5 1 0 が配置され、さらにその浮遊ゲート 5 1 0 の側壁の少なくとも一部に複層膜からなる層間絶縁膜 6 1 0 を介して制御ゲート 5 2 0 が配置されてメモリ・トランジスタを構成している。

さらに、このメモリ・トランジスタの上方に、ゲート絶縁膜 4 8 0 を介して選択ゲートとなる第五の電極 5 0 0 を有する選択ゲート・トランジスタが配置されている。

また、選択ゲート 5 0 0 及び制御ゲート 5 2 0 は、図 1 及び図 7 に示すように、一方向の複数のトランジスタについて連続的に配設されて、第二の配線又は第五の配線である選択ゲート線及び第三の配線である制御ゲート線を構成している。

【 0 0 3 8 】

半導体基板面には、メモリセルのソース拡散層 7 1 0 が配置され、さらに、各メモリセル間及び選択ゲート・トランジスタとメモリセル間に拡散層 7 2 0 が配置

され、各島状半導体層 110 の上面には各メモリセル毎のドレイン拡散層 725 が配置されている。なお、メモリセルのソース拡散層 710 は、メモリセルの活性領域が半導体基板に対してフローティング状態となるように配置してもよいし、半導体基板面の下方に絶縁性の膜を挿入するような構造、例えば SOI 基板を用いてもよい。このように配置されたメモリセルの間には、ドレイン拡散層 725 の上部が露出されるよう、第八の絶縁膜である酸化膜 460 が配置され、制御ゲート線と交差する方向のメモリセルのドレイン拡散層 725 を共通接続するビット線となるアルミニウム配線 840 が配設されている。

【0039】

なお、拡散層 720 の不純物濃度分布は均一であるよりも、島状半導体層 110 の表面から内側へ進む方向につれて徐々に濃度が薄くなるような分布を有することが好ましい。これにより拡散層 720 と島状半導体層 110 との接合耐圧が向上し、かつ寄生容量も減少する。また、同様にソース拡散層 710 の不純物濃度分布についても半導体基板 100 の表面から半導体基板内部へ進む方向につれて徐々に濃度が薄くなるような分布を有することが好ましい。これによりソース拡散層 710 と半導体基板 100 との接合耐圧が向上し、かつ第一の配線層における寄生容量も減少する。

【0040】

図 7 及び図 8 は、ビット線とソース拡散層 710 からなるソース線とが、互いに交差した方向に配置され、浮遊ゲート 510 の膜厚が制御ゲート 520 の膜厚と等しい。

図 9 及び図 10 は、各トランジスタの間に拡散層 720 が配置されない。

図 11 及び図 12 は、拡散層 720 が配置されず、さらにメモリ・トランジスタ及び選択ゲート・トランジスタのゲート電極 500、510、520 の間に、多結晶シリコン膜 550 が第三の電極として配置されている。

図 13 及び図 14 は、層間絶縁膜 610 が単層膜で形成されている。

図 15 及び図 16 は、一つのゲートの材料が他のゲートの材料と異なる。つまり、メモリセルの制御ゲート 520 及び制御ゲートを接続する第三の導電膜 530 の材料が、浮遊ゲート 510 の材料と異なる。

図 17 及び図 18 は、ソース拡散層 710 によりメモリセルの活性領域が半導体基板に対してフローティング状態となっている。

図 19 及び図 20 は、ソース拡散層 710 及びメモリセル間拡散層 720 により、メモリセルの活性領域が半導体基板に対してフローティング状態となっている。

【0041】

図 21 及び図 22 は、一つの段に浮遊ゲート 510 と制御ゲート 520 との両方が、はみ出ることなく配置されている。

図 23 及び図 24 は、制御ゲート 520 が段から完全にはみ出して配置されている。

図 25 及び図 26 は、島状半導体層の各段の形状が鈍角に形成されている。

図 27 及び図 28 は、島状半導体層の各段の形状が鋭角に形成されている。

図 29 及び図 30 は、島状半導体層の各段の横幅が半導体基板上面より順に小さくなっている。

図 31 及び図 32 は、島状半導体層の各段の横幅が半導体基板上面より順に大きくなっている。

図 33 及び図 34 は、島状半導体層の各段の中心軸が一方向に偏っている。

図 35 及び図 36 は、島状半導体層の各段の中心軸がランダムにずれている。

図 37 及び図 38 は、島状半導体層の各段の角部が丸い形状を有している。

【0042】

図 39 及び図 40 は、島状半導体層の各段の高さが偏ってずれている。

図 41 及び図 42 は、島状半導体層の各段の高さがランダムにずれている。

図 43 及び図 44 は、ゲート絶縁膜 480 の膜厚がトンネル酸化膜 440 の膜厚より大きい。

図 45 及び図 46 は、制御ゲート 520 の膜厚が浮遊ゲート 510 の膜厚より大きい。

図 47 及び図 48 は、制御ゲート 520 の膜厚が浮遊ゲート 510 の膜厚より小さい。

図 49 及び図 50 は、半導体基板として SOI 基板を用い、メモリセルの活性

領域が半導体基板に対してフローティング状態となり、かつ、各島状半導体層がフローティング状態となるように配置している。

【0043】

図51及び図52は、図49及び図50に対し、各島状半導体層が同電位の状態となるように配置している。

図53及び図54は、ビット線とソース線が互いに平行に配置されている。

図55及び図56、図57及び図58は、ソース線が各々の島状半導体層に共通接続されている。図55及び図56はメモリセルの活性領域が半導体基板に対してフローティング状態となっており、図57及び図58は各島状半導体層が同電位の状態となっている。

図59及び図60は、メモリ・トランジスタ下方に、選択ゲートとなる第五の電極500を有するトランジスタをゲート絶縁膜481を介して配置されており、このメモリ・トランジスタ上方に、選択ゲートとなる第五の電極500を有するトランジスタをゲート絶縁膜484を介して配置し、ゲート絶縁膜481とゲート絶縁膜484とが異なっている。

【0044】

メモリセルアレイの動作原理における実施の形態

本発明の半導体記憶装置は、電荷蓄積層に蓄積される電荷の状態によってメモリ機能を有する。ここでは、電荷蓄積層として浮遊ゲートを有するメモリセルと選択ゲート・トランジスタを備えるアレイを一例に、読み出し、書き込み、消去の動作原理について説明する。

以下に、ゲート電極として第2の電極及び第5の電極を備える各トランジスタを選択ゲート・トランジスタとして有し、これら選択ゲート・トランジスタの間に、電荷蓄積層と制御ゲート電極として第3の電極を備えるメモリセルをL個(Lは正の整数)直列に接続した島状半導体層を有する半導体記憶装置の読み出し手法について説明する。

【0045】

図61は、このメモリセル構造の等価回路を示す。

島状半導体層がp型半導体で形成される場合、図61に示す選択セルを読み出す

には、選択セルを含む島状半導体層に接続する第1の電極10に第一の電位を与え、選択セルと直列に配置される第2の電極20に第二の電位を与え、選択セルに接続される第3の電極(30-h) (h は $1 \leq h \leq L$ の正の整数)に第三の電位を与え、選択セルと直列に配置される非選択セルと接続する第3の電極(30-1 ~ 30-(h-1))に第七の電位を与え、同じく第3の電極(30-(h+1) ~ 30-L)に第十一の電位を与え、第4の電極40に第四の電位を与え、選択セルと直列に配置される第5の電極50に第五の電位を与える。電位の大小関係は、第四の電位>第一の電位であり、第4の電極40を流れる電流又は第1の電極10に流れる電流により、“0”、“1”を判定する。

【0046】

このとき、第三の電位は、電荷蓄積層の蓄積電荷量を区別できる、つまり、“0”、“1”を判定し得る電位とし、第七の電位及び第十一の電位は、電荷蓄積層の蓄積電荷量にかかわらず、メモリセルに常にセル電流が流れ得る電位、つまりメモリセルのチャネル部に反転層が形成され得る電位であればよい。例えば、第3の電極をゲート電極とするメモリ・トランジスタのとり得る閾値以上の電位であればよい。

なお、 $h=1$ の時には第3の電極(30-2 ~ 30-L)には、 $2 \leq h \leq L-1$ のときの第3の電極(30-(h+1) ~ 30-L)と同様の電位が与えられる。また、 $h=L$ の時には第3の電極(30-1 ~ 30-(L-1))には $2 \leq h \leq L-1$ のときの第3の電極(30-1 ~ 30-(h-1))と同様の電位が与えられる。

以上のことは、本発明における他の実施例についても適用することができる。第二の電位および第五の電位は、セル電流が流れ得る電位、例えば、第2の電極および第5の電極をゲート電極とするトランジスタの閾値以上の電位であればよい。

【0047】

また、第1の電極10が半導体基板内に不純物拡散層として形成されて、メモリセルのチャネル部が半導体基板と電氣的に繋がっている場合、選択セルを含む島状半導体層に接続する第1の電極10に与える第一の電位は、この電位を加えることで、半導体基板側に拡がる空乏層により島状半導体層が半導体基板に対し

て電氣的にフローティング状態となる電位とする。これにより、島状半導体層の電位が第一の電位と等しくなり、島状半導体層上の選択セルは基板電位による影響を受けずに読み出し動作が行える。その結果、半導体基板と島状半導体層のメモリセルのチャンネル部とが電氣的に接続して同電位である場合に起こり得るバックバイアス効果を防ぐことができる。つまり、第一の電極に読み出し電流が流れた時、選択されたメモリセルを含む島状半導体層の第1の電極から電源までの間の不純物拡散層の抵抗成分に起因して、第1の電極の電位が基板電位に対して上昇し、選択セルでは見かけ上、基板にバックバイアスが与えられた状態となる。このバックバイアスにより閾値の上昇が生じ、読み出し電流の低下を防止することができる。

【0048】

第1の電極10が半導体基板内に不純物拡散層として形成され、半導体基板に与えられる第十の電位が接地電位である場合は、一般的に第一の電位は接地電位である。

第1の電極10が半導体基板と電氣的に絶縁されて形成されている場合、例えばSOI基板に不純物拡散層からなる第1の電極10が形成され、半導体基板とは絶縁膜で絶縁されている場合は、第一の電位は、第十の電位と必ずしも等しくする必要はない。

なお、第3の電極(30-L)に接続しているメモリセルから第3の電極(30-1)に接続しているメモリセルまで、連続して読み出してもよいし、逆又はランダム順番でもよい。

【0049】

図73は、第一の電位として接地電位を与え、第2の電極、第5の電極を有するトランジスタの閾値を0.5Vとし、メモリセルの書き込み状態の定義を、メモリセルの閾値が5.0V～7.5V、消去状態の定義を0.5V～3.0Vとした場合の読み出しにおける各電極に与える電位のタイミングの一例を示す。

第1の電極10、第2の電極20、第3の電極30、第4の電極40、第5の電極50のそれぞれに第一の電位である接地電位を与える。第2の電極20に第二の電位として3Vを与え、第5の電極50に第五の電位として3Vを与え、第4の電

極 40 に第四の電位として 1V を与え、選択セルと接続される第 3 の電極 (30-h) に第三の電位として 4V を与え、選択セルと直列に配置されている非選択セルと接続される第 3 の電極 (30-1 ~ 30-(h-1)) 第七の電位として 8V を与え、第 3 の電極 (30-(h+1) ~ 30-L) に第十一の電位として 8V を与える。第 4 の電極 40 を流れる電流又は第 1 の電極 10 に流れる電流をセンスする。

その後、第 3 の電極 (30-h) 以外の第 3 の配線 ($\neq 30-h$)、第 3 の電極 (30-h)、第 4 の電極 40、第 2 の電極 20 及び第 5 の電極 50 を第一の電位である接地電位に戻す。

【0050】

この際、各電極に電位を与えるタイミング、各電極を接地電位に戻すタイミングは、前後しても同時でもよい。第二の電位と第五の電位とは異なる電位でもよい。第十一の電位と第七の電位とは異なる電位でもよい。

最初に、第 1 の電極 10、第 2 の電極 20、第 3 の電極 (30-1 ~ 30-L)、第 4 の電極 40、第 5 の電極 50 のそれぞれに同電位である第一の電位を与えるのが好ましいが、異なる電位を与えてもよい。さらに、第 3 の電極 (30-h) は常に第三の電位を与えつつけてもよい。第一の電位と第四の電位とを入れ替えてもよい。

また、上述においては第 3 の電極 (30-h) をゲート電極とするメモリセルを選択セルとした場合の読み出し方法について述べたが、第 3 の電極 (30-h) 以外の一つの第 3 の電極をゲート電極とするメモリセルを選択セルとした場合の読み出し方法も同様である。

【0051】

図 74 は、第一の電位として接地電位を与え、第 2 の電極、第 5 の電極を有するトランジスタの閾値を 0.5V とし、メモリセルの書き込み状態の定義を、メモリセルの閾値が 1.0V ~ 3.5V、消去状態の定義を -1.0V 以下とした場合の読み出しにおける各電極に与える電位のタイミングの一例を示す。

まず、第 1 の電極 10、第 2 の電極 20、第 3 の電極 30、第 4 の電極 40、第 5 の電極 50 のそれぞれに第一の電位である接地電位を与える。第 2 の電極 20 に第二の電位として 3V を与え、第 5 の電極 50 に第五の電位として 3V を与え、第 4 の電極 40 に第四の電位として 1V を与え、選択セルと接続されてなる第 3 の

電極(30-h)に第三の電位として第一の電位である接地電位を与え続け、選択セルと直列に配置されている非選択セルと接続される第3の電極(30-1～30-(h-1))に第七の電位として5Vを与え、第3の電極(30-(h+1)～30-L)に第十一の電位として5Vを与える。第4の電極40を流れる電流又は第1の電極10に流れる電流をセンスする。

【0052】

その後、第3の電極(30-h)以外の第3の電極(\neq 30-h)、第4の電極40、第2の電極20および第5の電極50を接地電位に戻す。この際、各電極に電位を与えるタイミング、各電極を接地電位に戻すタイミングは、前後しても同時でもよい。また、第二の電位と第五の電位とは異なる電位でもよい。第十一の電位と第七の電位とは異なる電位でもよい。第一の電位と第四の電位とを入れ替えてもよい。最初に第1の電極10、第2の電極20、第3の電極(30-1～30-L)、第4の電極40、第5の電極50のそれぞれに同電位である第一の電位を与えるのが好ましいが、異なる電位を与えてもよい。さらに、第3の電極(30-h)は常に第三の電位を与えつづけてもよい。また、第三の電位が接地電位であってもよい。

【0053】

上述においては第3の電極(30-h)をゲート電極とするメモリセルを選択セルとした場合の読み出し方法について述べたが、第3の電極(30-h)以外の一つの第3の電極をゲート電極とするメモリセルを選択セルとした場合の読み出し方法についても同様である。

なお、上記では、島状半導体層がp型半導体で形成される場合について説明したが、n型半導体の場合には、全ての電極の極性を入れ替えればよく、電位の大小関係は上述したものに対して反対になる。このことは、本発明の全ての実施例に適用される。

【0054】

以下に、ゲート電極として第2の電極及び第5の電極を備える各トランジスタを選択ゲート・トランジスタとして有し、これら選択ゲート・トランジスタの間に、電荷蓄積層と制御ゲート電極として第3の電極を備えるメモリセルをL個(Lは正の整数)直列に接続した島状半導体層を有し、この島状半導体層をM×N個(

M、Nは正の整数)備え、かつ、このメモリセルアレイにおいて半導体基板に平行に配置されるM本の第4の配線が、島状半導体層の各々一方の端部に接続し、他方の端部には第1の配線が接続し、半導体基板に平行で、第4の配線と交差する方向に配置される $N \times L$ 個の第3の配線がメモリセルの第3の電極と接続する半導体記憶装置の読み出し手法について説明する。

図63は、第1の配線を第3の配線と平行に配置したときの上記メモリセルアレイ構造の等価回路を示す。

【0055】

島状半導体層がp型半導体で形成される場合、図63に示す選択セルを読み出すには、選択セルを含む島状半導体層に接続する第1の配線(1-j) (j は $1 \leq j \leq N$ の正の整数)に第一の電位を与え、選択セルと直列に配置される第2の電極に接続する第2の配線(2-j)に第二の電位を与え、選択セルに接続される第3の配線(3-j-h) (h は $1 \leq h \leq L$ の正の整数)に第三の電位を与え、選択セルと直列に配置されている非選択セルと接続される第3の配線(3-j-1~3-j-(h-1))に第七の電位を与え、同じく第3の配線(3-j-(h+1)~3-j-L)に第十一の電位を与え、選択セルと直列に配置されず非選択セルと接続される第3の配線(\neq 3-j-1~3-j-L)に第十二の電位を与え、選択セルを含む島状半導体層に接続する第4の配線(4-i) (i は $1 \leq i \leq M$ の正の整数)に第四の電位を与え、前記以外の第4の配線(\neq 4-i)に第八の電位を与え、選択セルと直列に配置される第5の電極に接続する第5の配線(5-j)に第五の電位を与え、第2の配線(2-j)を除く第2の配線(\neq 2-j)又は第5の配線(5-j)を除く第5の配線(\neq 5-j)の少なくともどちらか一方に第六の電位を与える。

ただし、 $h=1$ の時には、第3の電極(3-j-2~3-j-L)には $2 \leq h \leq L-1$ のときの第3の電極(3-j-(h+1)~3-j-L)と同様の電位が与えられる。

【0056】

また、 $h=L$ の時には、第3の電極(3-j-1~3-j-(L-1))には $2 \leq h \leq L-1$ のときの第3の電極(3-j-1~3-j-(h-1))と同様の電位が与えられる。

これらは、本発明における他の実施例についても適用することができる。

電位の大小関係は、第四の電位>第一の電位であり、第4の配線(4-i)を流れる

電流又は第 1 の配線(1-j)に流れる電流により“0”、“1”を判定する。

このとき、第三の電位は、電荷蓄積層の蓄積電荷量を区別できる、つまり、“0”、“1”を判定し得る電位とし、第七の電位及び第十一の電位は電荷蓄積層の蓄積電荷量にかかわらず、メモリセルに常にセル電流が流れ得る電位、つまりメモリセルのチャンネル部に反転層が形成され得る電位であればよい。例えば、第 3 の配線に接続されてなる第 3 の電極をゲート電極とするメモリ・トランジスタのとり得る閾値以上の電位であればよい。

【0 0 5 7】

また、第二の電位及び第五の電位は、セル電流が流れ得る電位、例えば、第 2 の配線に接続されてなる第 2 の電極及び第 5 の配線に接続されてなる第 5 の電極をゲート電極とするトランジスタの閾値以上の電位であればよい。

第六の電位は、セル電流が流れ得ない電位、例えば、第 2 の配線に接続されてなる第 2 の電極及び第 5 の配線に接続されてなる第 5 の電極をゲート電極とするトランジスタの閾値以下の電位であればよい。

第八の電位は、第一の電位と同等が好ましい。

【0 0 5 8】

第 1 の配線(1-1~1-N)が半導体基板内に不純物拡散層として形成され、メモリセルのチャンネル部が半導体基板と電氣的に繋がっている場合、選択セルを含む島状半導体層に接続する第 1 の配線(1-j)に与える第一の電位は、この電位を加えることで、半導体基板側に拡がる空乏層により、島状半導体層が半導体基板に対して電氣的にフローティング状態となる電位とする。これにより、島状半導体層の電位が第一の電位と等しくなり、島状半導体層上の選択セルは基板電位による影響を受けずに読み出し動作が行える。その結果、半導体基板と島状半導体層のメモリセルのチャンネル部とが電氣的に接続して同電位である場合に起こり得るバックバイアス効果を防ぐことができる。つまり、選択セルを含む島状半導体層に接続される第 1 の配線(1-j)に読み出し電流が流れた時、選択されたメモリセルを含む島状半導体層の第 1 の電極から電源までの間の不純物拡散層の抵抗成分に起因して、第 1 の電極の電位が基板電位に対して上昇し、選択セルは見かけ上、基板にバックバイアスが与えられた状態となり、閾値の上昇が生じ、読み出し電流の低下

を防止することができる。

【0059】

第1の配線(1-1~1-N)が半導体基板内に不純物拡散層として形成され、半導体基板に与えられる第十の電位が接地電位である場合は、一般的に第一の電位は接地電位である。

また、第1の配線(1-1~1-N)が半導体基板と電氣的に絶縁されて形成されている場合、例えばSOI基板に不純物拡散層からなる第1の配線(1-1~1-N)が形成され、半導体基板とは絶縁膜で絶縁されている時は、第一の電位は第十の電位と必ずしも等しくすることはない。

第3の配線(3-j-L)に接続しているメモリセルから第3の配線(3-j-1)に接続しているメモリセルまで連続して読み出してもよいし、逆又はランダム順番でもよい。

【0060】

第3の配線(3-j-h)に接続している複数又は全てのメモリセルの読み出しを同時に行ってもよい。その特別な場合として、第3の配線(3-j-h)に接続しているメモリセルをある一定間隔、例えば8つおきの第4の配線ごとに、つまり、第4の配線(4-(i-16))、第4の配線(4-(i-8))、第4の配線(4-i)、第4の配線(4-(i+8))、第4の配線(4-(i+16))のように、読み出しを同時に行ってもよい。また、共通でない第4の配線を有する複数の第3の配線の読み出しを同時に行ってもよい。

上記の読み出し方法を組み合わせて用いてもよい。

【0061】

図61は、第1の配線を第4の配線と平行に配置したときのメモリセルアレイ構造の等価回路を示す。第1の配線(1-i)に第一の電位を与える以外は、図63の読み出しの電圧と同様である。

図70は、複数の第1の配線が電氣的に繋がって共通であるメモリセルアレイ構造の等価回路を示す。第1の配線(1-1)に第一の電位を与える以外は、図63の読み出しの電圧と同様である。

図75は、第1の配線を第3の配線と平行に配置したときの読み出し時のタイ

ミングチャートを示す。図 7 5 は、第一の電位として接地電位を与え、第 2 の配線、第 5 の配線に接続されるゲート電極を有するトランジスタの閾値を 0.5V とし、メモリセルの書き込み状態の定義を、メモリセルの閾値が 5.0V ~ 7.5V、消去状態の定義を 0.5V ~ 3.0V とした場合の読み出しにおける各電位に与える電位のタイミングの一例を示す。

【 0 0 6 2 】

まず、第 1 の配線 (1-1 ~ 1-N)、第 2 の配線 (2-1 ~ 2-N)、第 3 の配線 (3-1-1 ~ 3-N-L)、第 4 の配線 (4-1 ~ 4-M)、第 5 の配線 (5-1 ~ 5-N) のそれぞれに接地電位を与える。第 2 の配線 (2-j) に第二の電位として 3V を与え、第 5 の配線 (5-j) に第五の電位として 3V を与え、第 4 の配線 (4-i) に第四の電位として 1V を与え、選択セルと接続されてなる第 3 の配線 (3-j-h) に第三の電位として 4V を与え、選択セルと直列に配置されている非選択セルと接続される第 3 の配線 (3-j-1 ~ 3-j-(h-1)) に第七の電位として 8V を与え、同じく第 3 の配線 (3-j-(h+1) ~ 3-j-L) に第十一の電位として 8V を与える。第 4 の配線 (4-i) を流れる電流又は第 1 の配線 (1-j) に流れる電流をセンスする。

【 0 0 6 3 】

その後、第 3 の配線 (3-j-h) 以外の第 3 の配線 (\neq 3-j-h)、第 3 の配線 (3-j-h)、第 4 の配線 (4-i)、第 2 の配線 (2-j) 及び第 5 の配線 (5-j) を接地電位に戻す。この際、各電極に電位を与えるタイミング及び各電極を接地電位に戻すタイミングは前後しても同時でもよい。また、第二の電位と第五の電位とは異なる電位でもよい。第十一の電位と第七の電位とは異なる電位でもよい。

最初に第 1 の配線 (1-1 ~ 1-N)、第 2 の配線 (2-1 ~ 2-N)、第 3 の配線 (3-1-1 ~ 3-N-L)、第 4 の配線 (4-1 ~ 4-M)、第 5 の配線 (5-1 ~ 5-N) のそれぞれに同電位である第一の電位を与えるのが好ましいが、異なる電位を与えてもよい。さらに第 3 の配線 (3-j-h) は常に第三の電位を与えつづけてもよい。

上述においては第 3 の配線 (3-j-h) をゲート電極とするメモリセルを選択セルとした場合の読み出し方法について述べたが、第 3 の配線 (3-j-h) 以外の一つの第 3 の配線をゲート電極とするメモリセルを選択セルとした場合の読み出し方法についても同様である。

【 0 0 6 4 】

図 7 6 は、第 1 の配線を第 3 の配線と平行に配置したときの読み出し時の別のタイミングチャートを示す。図 7 6 は、第一の電位として接地電位を与え、第 2 の配線、第 5 の配線に接続されるゲート電極を有するトランジスタの閾値を 0. 5 V とし、メモリセルの書き込み状態の定義を、メモリセルの閾値が例えば 1. 0 V ～ 3. 5 V、消去状態の定義を - 1. 0 V 以下とした場合の読み出しにおける各電位に与える電位のタイミングの一例を示す。

まず、第 1 の配線 (1-1～1-N)、第 2 の配線 (2-1～2-N)、第 3 の配線 (3-1-1～3-N-L)、第 4 の配線 (4-1～4-M)、第 5 の配線 (5-1～5-N) のそれぞれに、第一の電位である接地電位を与える。第 2 の配線 ($\neq 2-j$) 及び第 5 の配線 ($\neq 5-j$) に第六の電位として - 1 V を与え、第 2 の配線 (2-j) に第二の電位として 3 V を与え、第 5 の配線 (5-j) に第五の電位として 3 V を与え、第 4 の配線 (4-i) に第四の電位として 1 V を与え、選択セルと接続されてなる第 3 の配線 (3-j-h) に第三の電位として接地電位を与え続け、選択セルと直列に配置されている非選択セルと接続される第 3 の配線 (3-j-1 ～ 3-j-(h-1)) に第七の電位として 5 V を与え、同じく第 3 の配線 (3-j-(h+1) ～ 3-j-L) に第十一の電位として 5 V を与え、選択セルと直列に配置されず非選択セルと接続される第 3 の配線 ($\neq 3-j-1 \sim 3-j-L$) に第十二の電位を与える。第 4 の配線 (4-i) を流れる電流又は第 1 の配線 (1-j) に流れる電流をセンスする。

【 0 0 6 5 】

その後、第 3 の配線 (3-j-h) 以外の第 3 の配線 ($\neq 3-j-h$)、第 4 の配線 (4-i)、第 2 の配線 (2-j) 及び第 5 の配線 (5-j)、第 2 の配線 ($\neq 2-j$) 及び第 5 の配線 ($\neq 5-j$) を接地電位に戻す。この際、各電極に電位を与えるタイミング及び各電極を接地電位に戻すタイミングは前後しても同時でもよい。第二の電位と第五の電位とは異なる電位でもよい。第十一の電位と第七の電位とは異なる電位でもよい。

最初に第 1 の配線 (1-1～1-N)、第 2 の配線 (2-1～2-N)、第 3 の配線 (3-1-1～3-N-L)、第 4 の配線 (4-1～4-M)、第 5 の配線 (5-1～5-N) のそれぞれに同電位である第一の電位を与えるのが好ましいが、異なる電位を与えてもよい。第 3 の配線 (3-j-h) は、常に第三の電位を与えつづけてもよい。第六の電位が接地電位であってもよ

い。

【0 0 6 6】

上述においては第 3 の配線(3-j-h)をゲート電極とするメモリセルを選択セルとした場合の読み出し方法について述べたが、第 3 の配線(3-j-h)以外の一つの第 3 の配線をゲート電極とするメモリセルを選択セルとした場合の読み出し方法についても同様である。

図 7 7 は、第 1 の配線を第 4 の配線と平行に配置している場合の読み出し時のタイミングチャートを示す。図 7 7 は、第一の電位として接地電位を与え、第 2 の配線、第 5 の配線に接続されるゲート電極を有するトランジスタの閾値を 0. 5 V とし、メモリセルの書き込み状態の定義を、メモリセルの閾値が 5. 0 V ~ 7. 5 V、消去状態の定義を 0. 5 V ~ 3. 0 V とした場合の読み出しにおける各電位に与える電位のタイミングの一例を示す。

【0 0 6 7】

図 7 7 は、選択されたセルを含む島状半導体の端部に接続する第 1 の配線(1-j)が、第 1 の配線(1-i)に替わった以外は図 7 5 に準ずる。

図 7 8 は、第 1 の配線を第 4 の配線と平行に配置している場合の別の読み出し時のタイミングチャートを示す。図 7 8 は、第一の電位として接地電位を与え、第 2 の配線、第 5 の配線に接続されるゲート電極を有するトランジスタの閾値を 0. 5 V とし、メモリセルの書き込み状態の定義を、メモリセルの閾値が 1. 0 V ~ 3. 5 V、消去状態の定義を - 1. 0 V 以下とした場合の読み出しにおける各電位に与える電位のタイミングの一例を示す。

図 7 8 は、選択されたセルを含む島状半導体の端部に接続する第 1 の配線(1-j)が、第 1 の配線(1-i)に替わり、第六の電位を第一の電位としたこと以外は図 7 6 に準ずる。なお、第六の電位は、必ずしも第一の電位としなくてもよい。

【0 0 6 8】

図 7 9 は、第 1 の配線がアレイ全体で共通に接続している場合の読み出し時のタイミングチャートを示す。図 7 9 は、第一の電位として接地電位を与え、第 2 の配線、第 5 の配線に接続されるゲート電極を有するトランジスタの閾値を 0. 5 V とし、メモリセルの書き込み状態の定義を、メモリセルの閾値が 5. 0 V ~ 7. 5 V とした場合の読み出しにおける各電位に与える電位のタイミングの一例を示す。

5V、消去状態の定義を0.5V～3.0Vとした場合の読み出しにおける各電位に与える電位のタイミングの一例を示す。

図77は、選択されたセルを含む島状半導体の端部に接続する第1の配線(1-j)が第1の配線(1-1)に替わった以外は図75に準ずる。

図80は、第1の配線がアレイ全体で共通に接続している場合の別の読み出し時のタイミングチャートを示す。図80は、第一の電位として接地電位を与え、第2の配線、第5の配線に接続されるゲート電極を有するトランジスタの閾値を0.5Vとし、メモリセルの書き込み状態の定義を、メモリセルの閾値が1.0V～3.5V、消去状態の定義を-1.0V以下とした場合の読み出しにおける各電位に与える電位のタイミングの一例を示す。

【0069】

図80は、選択されたセルを含む島状半導体の端部に接続する第1の配線(1-j)が第1の配線(1-1)に替わった以外は図76に準ずる。

以下に、ゲート電極として第2の電極及び第5の電極を備える各トランジスタを選択ゲート・トランジスタとして有し、これらの選択ゲート・トランジスタの間に、電荷蓄積層制御ゲート電極として第3の電極とを備えるメモリセルをL個(Lは正の整数)直列に接続した島状半導体層を有する半導体記憶装置のFowler-Nordheimトンネリング電流(以下F-N電流と称す))を用いた書き込み手法について説明する。

【0070】

図61は、上記メモリセル構造の等価回路を示す。

島状半導体層がp型半導体で形成される場合、図61に示す選択セルに書き込むには、選択セルを含む島状半導体層の第1の電極10に第一の電位を与え、選択セルと直列に配置される第2の電極20に第二の電位を与え、選択セルに接続される第3の電極(30-h) (hは $1 \leq h \leq L$ の正の整数)に第三の電位を与え、選択セルと直列に配置されている非選択セルと接続される第3の電極(3-j-1～3-j-(h-1))に第七の電位を与え、第3の電極(3-j-(h+1)～3-j-L)に第十一の電位を与え、選択セルを含む島状半導体層の第4の電極40に第四の電位を与え、選択セルと直列に配置される第5の電極50に第五の電位を与える。これらの電圧

により、選択セルのトンネル酸化膜のみにF-N電流を発生させ、電荷蓄積層の電荷の状態を変化させることができる。

【0071】

電荷蓄積層に負の電荷を蓄積することを“1”の書き込みとする場合、電位の大小関係は、第三の電位>第四の電位である。電荷蓄積層から負の電荷を引き抜くこと、つまり、正の電荷を蓄積することを“1”の書き込みとする場合、電位の大小関係は第三の電位<第四の電位である。これにより電荷蓄積層の電荷の状態の変化を利用し“0”、“1”を設定することができる。このとき、第三の電位は、この電位と第四の電位との電位差により“1”が書き込める電位とする。つまり、第三の電位は、この電位差により、第三の電位が与えられる第3の電極をゲート電極とするメモリ・トランジスタのトンネル酸化膜に流れる電荷の状態を変化させる手段としてのF-N電流が十分発生する電位とすることができる。

また、第七の電位は、電荷蓄積層の電荷の状態にかかわらず、メモリセルに常にセル電流が流れ得る電位、つまりメモリセルのチャネル部に反転層が形成され得る電位で、かつトンネル酸化膜に流れるF-N電流による電荷の変動が生じない電位とする。

【0072】

電荷蓄積層に電子を蓄積することを“1”の書き込みとする場合、第3の電極(3-j-1~3-j-(h-1))に接続されてなる第3の電極をゲート電極とするメモリ・トランジスタのとり得る閾値以上の電位で、かつ第七の電位が与えられる第3の電極をゲート電極とするメモリ・トランジスタのトンネル酸化膜に流れるF-N電流が十分に小さくなる電位であればよい。

第十一の電位は、第十一の電位が与えられる第3の電極をゲート電極とするメモリ・トランジスタのトンネル酸化膜に流れるF-N電流が十分に小さくなる電位であればよい。

第二の電位は、セル電流が流れ得ない電位、例えば第二の電位が第2の電極20に接続されてなる第2の電極20をゲート電極とするトランジスタの閾値以下であればよい。

第五の電位は、セル電流が流れ得る電位、例えば第5の電極50に接続されて

なる第5の電極をゲート電極とするトランジスタの閾値以上の電位であればよい。

第1の電極10は開放状態でもよい。

【0073】

また、メモリセルのチャネル部が、半導体基板と電氣的に繋がっている場合、つまり、不純物拡散層が島状半導体層を半導体基板に対してフローティング状態にしていない場合、半導体基板に与える第十の電位が、第三の電位と第十の電位による電位差により“1”が書き込まれる電位、つまり、この電位差により、第三の電位が与えられる第3の電極をゲート電極とするメモリ・トランジスタのトンネル酸化膜に流れるF-N電流が十分大きくなる電位であるとき、第3の電位が与えられている第3の電極を有する全てのメモリセルに同時に書き込みを行うこともできる。

第1の電極が半導体基板内に不純物拡散層として形成され、半導体基板に与えられる第十の電位が接地電位である場合は、一般的に第一の電位は接地電位である。

【0074】

第1の電極が半導体基板と電氣的に絶縁されて形成されている場合、つまり、SOI基板に不純物拡散層からなる第1の電極が形成され半導体基板とは絶縁膜で絶縁されている場合、第一の電位は第十の電位と必ずしも等しくすることはない。

第3の電極(30-L)に接続しているメモリセルから第3の電極(30-1)に接続しているメモリセルまで連続して書き込みしても良いし、逆又はランダム順番でもよい。

第3の電極(30-h)に接続している複数又は全てのメモリセル、第3の電極(30-1~30-L)に接続している複数又は全てのメモリセルの書き込みは同時に行ってもよい。

【0075】

本発明においては、電荷蓄積層の電荷の状態を変化させることを“0”を書き込む、変化させないことを“1”を書き込むとしてもよく、電荷蓄積層の電荷の

状態を小さく変化させることを“0”を書き込む、大きく変化させることを“1”を書き込むとしてもよいし、その逆でもよい。また、電荷蓄積層の電荷の状態を負に変化させることを“0”を書き込む、正に変化させることを“1”を書き込むとしてもよいし、その逆でもよい。さらに、上記の“0”、“1”の定義を組み合わせてもよい。電荷蓄積層の電荷の状態を変化させる手段はF-N電流に限らない。このことは、本発明の実施例の全てに適用される。

以下に、p型半導体にL個(Lは正の整数)直列に接続されたメモリセルの上述の書き込み動作の各電圧のタイミングチャートを説明する。

【0076】

図81は、第1の電極が開放状態であり、第2の電極、第5の電極に接続されるゲート電極を有するトランジスタの閾値を0.5Vとし、メモリセルの書き込み状態の定義を、メモリセルの閾値が1.0V~3.5V、消去状態の定義を-1.0V以下とした場合の書き込みにおける各電極に与える電位のタイミングを示す。

電荷蓄積層に負の電荷を蓄積することを“1”の書き込みとする場合、まず、第1の電極10、第2の電極20、第3の電極(30-1~30-L)、第4の電極40、第5の電極50のそれぞれに第一の電位である接地電位を与える。第1の電極10を開放状態とし、第2の電極20に第二の電位として-1Vを与え、第5の電極50に第五の電位として1Vを与え、第4の電極40に第四の電位として接地電位を与え続け、第3の電極(30-1~30-(h-1)) (hは $1 \leq h \leq L$ の正の整数)に第七の電位として10Vを与え、第3の電極(30-(h+1)~30-L) (hは $1 \leq h \leq L$ の正の整数)に第十一の電位として10Vを与え、第3の電極(30-h)に第三の電位として20Vを与える。この状態を所望の時間保持することにより“1”の書き込みを行う。

【0077】

その後、第3の電極(30-h)、第3の電極($\neq 30-h$)、第2の電極20及び第5の電極50、第1の電極10を接地電位に戻す。なお、各電極に電位を与えるタイミング及び各電極を接地電位に戻すタイミングは前後しても同時でもよい。与える電位は、所望のセルに“1”の書き込むための条件を満たすならば、いかなる

電位の組み合わせでもよい。

最初に第1の電極10、第2の電極20、第3の電極30-h、第4の電極40、第5の電極50のそれぞれに同電位である第一の電位を与えるのが好ましいが、異なる電位を与えてもよい。

上述においては、第3の電極(30-h)をゲート電極とするメモリセルを選択セルとした場合の書き込み方法について述べたが、第3の電極(30-h)以外の第3の電極の一つをゲート電極とするメモリセルを選択セルとした場合の書き込み方法についても同様である。

【0078】

図82は、第十一の電位が接地電位である場合の書き込み時のタイミングチャートを示す。第3の電極(30-(h+1)~30-L) (hは $1 \leq h \leq L$ の正の整数)に第十一の電位として接地電位を与えても、選択セルの書き込み動作には影響を与えない。書き込み動作は図81に準ずる。

図83は、第一の電極が接地電位である場合の書き込み時のタイミングチャートを示す。第二の電位が第2の電極20をゲート電極とするトランジスタの閾値以下であれば、第1の電極10に接地電位を与えても選択セルの書き込み動作には影響を与えない。書き込み動作は図81に準ずる。

図84は、第一の電極が接地電位である場合の書き込み時のタイミングチャートを示す。第二の電位が第2の電極20をゲート電極とするトランジスタの閾値以下であれば、第1の電極10に接地電位を与えても選択セルの書き込み動作には影響を与えない。書き込み動作は図82に準ずる。

図114は、第3の電極(30-h)に第三の電位として-20Vを与えることで電荷蓄積層に負の電荷を引き抜き、“0”を書き込む場合の書き込み時のタイミングチャートを示す。書き込み動作は、第三の電位の極性が変わること以外は図81に準ずる。

【0079】

図115は、第3の電極(30-h)に第三の電位として-20Vを与えることで電荷蓄積層に負の電荷を引き抜き、“0”を書き込む場合の書き込み時の別のタイミングチャートを示す。書き込み動作は、第三の電位の極性が変わること以外は

図 8 2 に準ずる。

図 1 1 6 は、第 3 の電極(30-h)に第三の電位として -20V を与えることで電荷蓄積層に負の電荷を引き抜き、“0”を書き込む場合の書き込み時の別のタイミングチャートを示す。書き込み動作は、第三の電位の極性が変わることを以外は図 8 3 に準ずる。

図 1 1 7 は、第 3 の電極(30-h)に第三の電位として -20V を与えることで電荷蓄積層に負の電荷を引き抜き、“0”を書き込む場合の書き込み時の別のタイミングチャートを示す。書き込み動作は、第三の電位の極性が変わることを以外は図 8 4 に準ずる。

【0080】

以下に、ゲート電極として第 2 の電極及び第 5 の電極をそれぞれ備えるトランジスタを選択ゲート・トランジスタとして有し、これらの選択ゲート・トランジスタの間に電荷蓄積層と制御ゲート電極として第 3 の電極とを備えるメモリセルを L 個(L は正の整数)直列に接続した島状半導体層を有し、この島状半導体層を $M \times N$ 個(M 、 N は正の整数)備え、このメモリセルアレイにおいて半導体基板に平行に配置される M 本の第 4 の配線がこれら島状半導体層の各々一方の端部に接続し、他方の端部には第 1 の配線が接続され、半導体基板に平行で、かつ、第 4 の配線と交差する方向に配置される $N \times L$ 個の第 3 の配線がメモリセルの第 3 の電極と接続している半導体記憶装置の F-N 電流を用いた書き込み手法について述べる。図 6 3 は、第 1 の配線を第 3 の配線と平行に配置したときのメモリセルアレイ構造の等価回路を示す。

【0081】

島状半導体層が p 型半導体で形成される場合、図 6 3 に示す選択セルを書き込むには、選択セルを含む島状半導体層の第 1 の電極に接続する第 1 の配線(1-j) (j は $1 \leq j \leq N$ の正の整数)に第一の電位を与え、これ以外の第 1 の配線である第 1 の配線($\neq 1-j$)に第九の電位を与え、選択セルと直列に配置される第 2 の電極に接続する第 2 の配線(2-j)に第二の電位を与え、選択セルに接続される第 3 の配線(3-j-h) (h は $1 \leq h \leq L$ の正の整数)に第三の電位を与え、選択セルと直列に配置されている非選択セルと接続される第 3 の配線(3-j-1 ~ 3-j-(h-1))に第七の

電位を与え、第3の配線($3-j-(h+1) \sim 3-j-L$)に第十一の電位を与え、これら以外の第3の配線($\neq 3-j-1 \sim 3-j-L$)に第十二の電位を与え、選択セルを含む島状半導体層の第4の電極に接続する第4の配線($4-i$) (i は $1 \leq i \leq M$ の正の整数)に第四の電位を与え、これ以外の第4の配線($\neq 4-i$)に第八の電位を与え、選択セルと直列に配置される第5の電極に接続する第5の配線($5-j$)に第五の電位を与え、第2の配線($2-j$)を除く第2の配線($\neq 2-j$)又は第5の配線($5-j$)を除く第5の配線($\neq 5-j$)に第六の電位を与える。これらの電圧により、選択セルのトンネル酸化膜のみにF-N電流を発生させ、電荷蓄積層の電荷の状態を変化させることができる。

【0082】

電荷蓄積層に負の電荷を蓄積することを“1”の書き込みとする場合、電位の大小関係は第三の電位>第四の電位である。電荷蓄積層から負の電荷を引き抜くこと、つまり、正の電荷を蓄積することを“1”の書き込みとする場合、電位の大小関係は第三の電位<第四の電位である。これにより、電荷蓄積層の電荷の状態の変化を利用し、“0”、“1”を設定することができる。

このとき、第三の電位は、この電位と第四の電位との電位差により“1”が書き込める電位、つまり、この電位差により、第三の電位が与えられる第3の電極をゲート電極とするメモリ・トランジスタのトンネル酸化膜に流れる、電荷の状態を変化させる手段としてのF-N電流が十分発生する電位とする。

また、第七の電位は、電荷蓄積層の電荷の状態にかかわらず、メモリセルに常にセル電流が流れ得る電位、つまりメモリセルのチャネル部に反転層が形成され得る電位で、かつトンネル酸化膜に流れるF-N電流による電荷の変動が生じない電位とする。

【0083】

電荷蓄積層に電子を蓄積することを“1”の書き込みとする場合、第3の配線($3-j-1 \sim 3-j-(h-1)$)に接続されてなる第3の電極をゲート電極とするメモリ・トランジスタのとり得る閾値以上の電位で、かつ第七の電位が与えられる第3の電極をゲート電極とするメモリ・トランジスタのトンネル酸化膜に流れるF-N電流が十分に小さくなる電位であればよい。

第十一の電位は、第十一の電位が与えられる第3の電極をゲート電極とするメモリ・トランジスタのトンネル酸化膜に流れるF-N電流が十分に小さくなる電位であればよい。

第二の電位は、セル電流が流れ得ない電位、つまり、第二の電位が第2の配線(2-j)に接続されてなる第2の電極をゲート電極とするトランジスタの閾値以下であればよい。

第五の電位は、セル電流が流れ得る電位、つまり、第5の配線(5-j)に接続されてなる第5の電極をゲート電極とするトランジスタの閾値以上の電位であればよい。

【0084】

第六の電位は、セル電流が流れ得ない電位、つまり、第2の配線($\neq 2-j$)に接続されてなる第2の電極及び第5の配線($\neq 5-j$)に接続されてなる第5の電極をゲート電極とするトランジスタの閾値以下の電位であればよい。

第八の電位は、第5の配線(5-j)に接続されてなる第5の電極をゲート電極とし、第4の配線($\neq 4-i$)に接続されてなる第4の電極をソース又はドレイン電極とするトランジスタにおいて、第八の電位と第五の電位による電位差が閾値以上となって、カットオフ状態となり、トランジスタと直列に配置されるメモリセルのチャンネル領域に反転層が形成されないような電位であればよい。

第1の配線(1-1~1-N)は開放状態でもよい。また、第4の配線($\neq 4-i$)が開放状態であるか、第一の電位と第二の電位とが前述したカットオフ状態となる電位であつてもよい。

第八の電位は、第八の電位<第五の電位であつてよいし、第三の電位と第八の電位による電位差により、“1”が書き込まれない電位であればよい。例えば、この電位差により、第三の電位が与えられる第3の電極をゲート電極とするメモリ・トランジスタのトンネル酸化膜に流れるF-N電流が十分小さい電位であればよい。

【0085】

メモリセルのチャンネル部が半導体基板と電気的に繋がっている場合、つまり、不純物拡散層が、島状半導体層を半導体基板に対してフローティング状態にして

いない場合、半導体基板に与える第十の電位が第三の電位と第十の電位による電位差により“1”が書き込まれる電位であるとき、つまり、この電位差により、第三の電位が与えられる第3の電極をゲート電極とするメモリ・トランジスタのトンネル酸化膜に流れるF-N電流が十分大きくなる電位であるとき、第3の電位が与えられている第3の配線に接続する第3の電極を有する全てのメモリセルに同時に書き込みを行うこともできる。

また、選択セルを含まない島状半導体層に接続する第1の配線($\neq 1-j$)に与える第九の電位により広がる空乏層で、半導体基板に対して島状半導体層が電氣的にフローティング状態となる場合、島状半導体層＝メモリセルのチャネル部の電位が第九の電位で決まり、第九の電位がメモリ・トランジスタのトンネル酸化膜に流れるF-N電流が十分小さくなる電位である場合は書き込みが行われない。言い換えれば、第九の電位と第三の電位との電位差又は第九の電位と第七の電位差、第九の電位と第十一の電位との電位差がメモリ・トランジスタのトンネル酸化膜に流れるF-N電流が十分小さくなる電位差であれば書き込みが行われない。

メモリセルのチャネル部が半導体基板と電氣的に繋がっていない場合は、第九の電位による空乏層の拡がりはどのような状態でもよい。

【0086】

第1の配線(1-1～1-N)が半導体基板内に不純物拡散層として形成され、半導体基板に与えられる第十の電位が接地電位である場合、一般的に第一の電位は接地電位である。

第1の配線(1-1～1-N)が半導体基板と電氣的に絶縁されて形成されている場合、つまり、SOI基板に不純物拡散層からなる第1の配線(1-1～1-N)が形成され、半導体基板とは絶縁膜で絶縁されている場合は、第一の電位は第十の電位と必ずしも等しくすることはない。

第3の配線(3-j-L)に接続しているメモリセルから第3の配線(3-j-1)に接続しているメモリセルまで連続して書き込みしてもよいし、逆又はランダム順番でもよい。

第3の配線(3-j-h)に接続している複数又は全てのメモリセル、第3の配線(3-j-1～3-j-L)に接続している複数又は全てのメモリセル、第3の配線(3-1-1～3-N

-L)に接続している複数又は全てのメモリセルの書き込みは同時に行ってもよい。第3の配線(3-(j-8)-h)、第3の配線(3-j-h)、第3の配線(3-(j+8)-h)、第3の配線(3-(j+16)-h)のように、ある規則性をもって第3の配線を選択し、この配線に接続している複数又は全てのメモリセルを同時に書き込みを行ってもよい。

【0087】

第4の配線(4-i)に接続される1つの島状半導体層に含まれる複数又は全てのメモリセル、第4の配線(4-i)に接続される複数又は全ての島状半導体層に含まれる複数又は全てのメモリセルの書き込みを同時に行ってもよい。さらに、複数の第4の配線それぞれに接続される1つの島状半導体層にそれぞれ含まれる1つ又は複数又は全てのメモリセルの書き込みを同時に行ってもよい。複数の第4の配線それぞれに接続される複数又は全ての島状半導体層に含まれる複数又は全てのメモリセルの書き込みを同時に行ってもよい。

第3の配線(3-j-h)に接続しているメモリセルをある一定間隔、例えば8つおきの第4の配線ごとに、つまり、第4の配線(4-(i-16))、第4の配線(4-(i-8))、第4の配線(4-i)、第4の配線(4-(i+8))、第4の配線(4-(i+16))のように、書き込みを同時に行ってもよい。

【0088】

全ての第4の配線に第一の電位を与え、第1の配線(1-j)に第四の電位を与え、第1の配線($\neq 1-j$)に第八の電位を与え、第2の配線と第5の配線の電位を交換し、第3の配線(3-j-h)に第三の電位を与えることで、第3の配線(3-j-h)に接続する第3の電極をゲート電極とするメモリセル全てに同時に書き込みを行うこともできる。

複数の第1の配線に第四の電位を与え、この第1の配線が接続する第1の電極を有する島状半導体層に含まれるメモリセルの第3の電極が接続する第3の配線に第三の電位を与えることによって、第三の電位を与えられた第3の配線に接続する第3の電極をゲート電極とするメモリセルの全てに同時に書き込みを行うこともできる。

【0089】

上記の書き込み方法を組み合わせて用いてもよい。

図 6 8 は、第 1 の配線を第 4 の配線と平行に配置したときのメモリセルアレイ構造の等価回路を示す。第 1 の配線(1-i)に第一の電位を与え、第 1 の配線($\neq 1-i$)に第九の電位を与える以外は、図 6 3 の書き込みの電圧と同様である。

図 7 0 は、複数の第 1 の配線が電氣的に繋がって共通であるメモリセルアレイ構造の等価回路を示す。第 1 の配線(1-1)に第一の電位を与える以外は、図 6 3 の書き込みの電圧と同様である。

以下に、p型半導体で形成される L 個 (L は正の整数) の直列に並んだメモリセルと、メモリセルを間にはさむように形成した選択トランジスタを有する島状半導体層を $M \times N$ (M, N は正の整数) 個に配列し、第 1 の配線と第 3 の配線とが平行に配置している場合の上述の書き込み動作の各電圧のタイミングチャートを説明する。

【0090】

図 8 5 は、第 1 の配線が開放状態で、第 2 の配線、第 5 の配線に接続されるゲート電極を有するトランジスタの閾値を 0.5V とし、メモリセルの書き込み状態の定義を、メモリセルの閾値が 1.0V ~ 3.5V、消去状態の定義を -1.0V 以下とした場合の書き込みにおける各電位に与える電位のタイミングを示す。電荷蓄積層に負の電荷を蓄積することを“1”の書き込みとする場合、まず、第 1 の配線(1-1 ~ 1-N)、第 2 の配線(2-1 ~ 2-N)、第 3 の配線(3-1-1 ~ 3-N-L)、第 4 の配線(4-1 ~ 4-M)、第 5 の配線(5-1 ~ 5-N)のそれぞれに第一の電位である接地電位を与える。第 1 の配線(1-1 ~ 1-N)を開放状態とし、第 2 の配線($\neq 2-j$)及び第 5 の配線($\neq 5-j$)に第六の電位として -1V を与え、第 2 配線(2-j)に第二の電位として -1V を与え、第 5 の配線(5-j)に第五の電位として 1V を与え、第 4 の配線(4-i)に第四の電位として接地電位を与え続け、第 4 の配線(4-i)以外である第 4 の配線($\neq 4-i$)に第八の電位として 3V を与え、第 3 の配線(3-j-h)以外である第 3 の配線(3-j-1 ~ 3-j-(h-1)) (h は $1 \leq h \leq L$ の正の整数)に第七の電位として 10V を与え、第 3 の配線(3-j-(h+1) ~ 3-j-L) (h は $1 \leq h \leq L$ の正の整数)に第十一の電位として 10V を与え、これら以外の第 3 の配線($\neq 3-j-1 \sim 3-j-L$)に第十二の電位として接地電位を与え、第 3 の配線(3-j-h)に第三の電位として 20V を与える。この状態を所望の時間保持することにより、“1”の書き込み

を行うことができる。この際、第3の配線(3-j-h)に第三の電位として20Vが与えられている間に、少なくとも第4の配線($\neq 4-i$)に第八の電位として3Vが与えられているか、第5の配線($\neq 5-j$)が接地電位であれば、それぞれの配線に電位を与えるタイミングは前後しても同時でもよい。

【0091】

その後、第3の配線(3-j-h)、第3の配線(3-j-h)以外の第3の配線($\neq 3-j-h$)、第4の配線($\neq 4-i$)、第2の配線(2-j)及び第5の配線(5-j)、第2の配線($\neq 2-j$)及び第5の配線($\neq 5-j$)を、第1の配線(1-1~1-N)を接地電位に戻す。この際、第3の配線(3-j-h)に第三の電位として20Vが与えられている間に、少なくとも第4の配線($\neq 4-i$)に第八の電位として3Vが与えられているか、第5の配線($\neq 5-j$)が接地電位であれば、それぞれの電極を接地電位に戻すタイミングは前後しても同時でもよい。

与える電位は、所望のセルに“1”を書き込むための条件を満たすならば、いかなる電位の組合せでもよい。

【0092】

最初に第1の配線(1-1~1-N)、第2の配線(2-1~2-N)、第3の配線(3-1-1~3-N-L)、第4の配線(4-1~4-M)、第5の配線(5-1~5-N)のそれぞれに同電位である第一の電位を与えるのが好ましいが、異なる電位を与えてもよい。

上述においては、第3の配線(3-j-h)をゲート電極とするメモリセルを選択セルとした場合の書き込み方法について述べたが、第3の配線(3-j-h)以外の第3の配線の一つをゲート電極とするメモリセルを選択セルとした場合の書き込み方法についても同様である。

書き込みを行う際、F-Nトンネル電流はチャネルと浮遊ゲートが対抗する領域を流れてもよいし、LDD面と浮遊ゲートとが対抗する領域を流れてもよいし、それぞれの組み合わせでもよい。

【0093】

図86は、第十一の電位が接地電位である場合の書き込み時のタイミングチャートを示す。第3の配線(30-(h+1)~30-L) (h は $1 \leq h \leq L$ の正の整数)に第十一の電位として接地電位を与えても、選択セルの書き込み動作は影響を受けず、書き

込み動作は図 8 5 に準ずる。

図 8 7 は、第 1 の配線が接地電位である場合の書き込み時のタイミングチャートを示す。第二の電位が第 2 の配線(2-j)をゲート電極とするトランジスタの閾値以下であれば、第 1 の配線(1-j)に接地電位を与えても、選択セルの書き込み動作は影響を受けず、書き込み動作は図 8 5 に準ずる。

図 8 8 は、第 1 の配線が接地電位である場合の書き込み時のタイミングチャートを示す。第二の電位が第 2 の電極 2 0 をゲート電極とするトランジスタの閾値以下であれば、第 1 の配線(1-j)に接地電位を与えても、選択セルの書き込み動作は影響を受けず、書き込み動作は図 8 6 に準ずる。

【0094】

図 1 1 8 ～図 1 2 1 は、第 3 の電極(30-h)に第三の電位として -20V を与えることで電荷蓄積層に負の電荷を引き抜き、“0”を書き込む場合の書き込み時のタイミングチャートを示す。書き込み動作は、第三の電位の極性が変わることで以外、図 8 5 ～図 8 8 に準ずる。

図 8 9 ～図 9 2 は、第 1 の配線を第 4 の配線と平行に配置している場合の書き込み時のタイミングチャートを示す。図 8 9 ～図 9 2 は、選択されたセルを含む島状半導体の端部に接続する第 1 の配線(1-j)が、第 1 の配線(1-i)に替わった以外は、それぞれ図 8 5 ～図 8 8 に準ずる。

【0095】

図 1 2 2 ～図 1 2 5 は、第 3 の電極(30-h)に第三の電位として -20V を与えることで電荷蓄積層に負の電荷を引き抜き、“0”を書き込む場合の書き込み時のタイミングチャートを示す。書き込み動作は、第三の電位の極性が変わることで以外は図 8 9 ～図 9 2 に準ずる。

図 9 3 ～図 9 6 は、第 1 の配線がアレイ全体で共通に接続している場合の書き込み時のタイミングチャートを示す。図 9 3 ～図 9 6 は、選択されたセルを含む島状半導体の端部に接続する第 1 の配線(1-j)が、第 1 の配線(1-1)に替わった以外は図 8 5 ～図 8 8 に準ずる。

図 1 2 6 ～図 1 2 9 は、第 3 の電極(30-h)に第三の電位として -20V を与えることで電荷蓄積層に負の電荷を引き抜き、“0”を書き込む場合の書き込み時

のタイミングチャートを示す。書き込み動作は、第三の電位の極性が変わることであり、図 9 3 ～ 図 9 6 に準ずる。

【0 0 9 6】

以下に、ゲート電極として第 2 の電極及び第 5 の電極をそれぞれ備えるトランジスタを選択ゲート・トランジスタとして有し、これらの選択ゲート・トランジスタの間に電荷蓄積層と制御ゲート電極として第 3 の電極とを備えるメモリセルを L 個 (L は正の整数) 直列に接続した島状半導体層を有するメモリセルの F-N トンネリング電流を用いた消去手法について説明する。

図 6 1 は、上記メモリセル構造の等価回路を示す。

島状半導体層が p 型半導体で形成される場合、図 6 1 に示す選択セルを消去するには、選択セルを含む島状半導体層に接続する第 1 の電極 1 0 に第一の電位を与え、選択セルと直列に配置される第 2 の電極 2 0 に第二の電位を与え、選択セルに接続される第 3 の電極 (30-h) (h は $1 \leq h \leq L$ の正の整数) に第三の電位を与え、選択セルと直列に配置されている非選択セルと接続される第 3 の電極 (30-1 ～ 30-(h-1)) に第七の電位を与え、同じく第 3 の電極 (30-(h+1) ～ 30-L) に第十一の電位を与え、選択セルを含む島状半導体層に接続する第 4 の電極 4 0 に第四の電位を与え、選択セルと直列に配置される第 5 の電極 5 0 に第五の電位を与える。これらの電圧により、選択セルのトンネル酸化膜のみに F-N 電流を発生させ、電荷蓄積層の電荷の状態を変化させることができる。

【0 0 9 7】

電荷蓄積層から負の電荷を引き抜くことを消去とする場合、電位の大小関係は、第三の電位 < 第四の電位である。

電荷蓄積層に負の電荷を蓄積した状態を “1” とする場合、電荷蓄積層の電荷の状態が変化し、“0” にすることができる。このとき、第三の電位は、この電位と第四の電位との電位差により “0” にできる電位、つまり、第三の電位が与えられる第 3 の電極をゲート電極とするメモリ・トランジスタのトンネル酸化膜に流れる電荷の状態を変化させる手段としての F-N 電流が十分発生する電位とする。

第 1 の電極 1 0 は開放状態でもよい。

【0098】

第1の電極10が半導体基板内に不純物拡散層として形成され、第1の電極10の電位が浮遊で、メモリセルのチャネル部が半導体基板と電氣的に繋がっている場合、選択セルを含む島状半導体層に接続する第1の電極10に与える第四の電位は、この電位加えることで半導体基板側に拡がる空乏層により島状半導体層が半導体基板に対して電氣的にフローティング状態となる電位とする。これにより、島状半導体層の電位が第四の電位と等しくなり、島状半導体層上の選択セルにはメモリ・トランジスタのトンネル酸化膜に流れるF-N電流が十分大きくなる電位となり、消去を行うことができる。つまり、第四の電位と第三の電位との電位差がメモリ・トランジスタのトンネル酸化膜に流れるF-N電流が十分流れる電位差となる。

【0099】

メモリセルのチャネル部が半導体基板と電氣的に繋がっていない場合、第四の電位による空乏層の拡がりはどのような状態であってもよい。

第七の電位は、電荷蓄積層の電荷の状態の変化が選択セルに比べ十分小さいような電位、つまり、第七の電位と第四の電位との電位差により、第七の電位が与えられる第3の電極(30-1 ~ 30-(h-1))をゲート電極とするメモリ・トランジスタのトンネル酸化膜のF-N電流が十分に小さい電位であればよい。

第十一の電位は、電荷蓄積層の電荷の状態の変化が選択セルに比べ十分小さいような電位、つまり、第十一の電位と第四の電位との電位差により、第十一の電位が与えられる第3の電極(30-(h+1) ~ 30-L)をゲート電極とするメモリ・トランジスタのトンネル酸化膜のF-N電流が十分に小さい電位であればよい。

第二の電位は、第2の電極20をゲート電極とするトランジスタのゲート酸化膜にF-N電流が流れない電位であればよい。

第五の電位は、第5の電極50をゲート電極とするトランジスタのゲート酸化膜にF-N電流が流れない電位であればよい。

【0100】

第1の電極10が半導体基板と電氣的に絶縁されて形成されている場合、つまり、SOI基板に不純物拡散層からなる第1の電極10が形成され半導体基板と

絶縁膜で絶縁されている場合、第一の電位は第十の電位と必ずしも等しくすることはない。

メモリセルのチャネル部が半導体基板と電氣的に繋がっている場合、つまり、不純物拡散層が、島状半導体層を半導体基板に対してフローティング状態にしている場合、半導体基板に与える第十の電位は、第十の電位と第三の電位との電位差による電荷蓄積層の電荷の状態が十分に变化する電位であるなら、第三の電位が与えられている第三の電極をゲート電極とする全てのメモリセルに対し、同時に消去を行うことができる。

第3の電極(30-L)から第3の電極(30-1)まで、連続して消去してもよいし、逆又はランダム順番でもよい。

【0101】

本発明においては、電荷蓄積層の電荷の状態を変化させ、選択したメモリ・トランジスタの閾値を上げることを消去としてもよい。この場合には第三の電位>第四の電位とし、第三の電位は第三の電位と第四の電位との電位差による電荷蓄積層の電荷の状態が十分に变化する電位、つまり、F-N電流が十分に大きい電位であればよい。

以下に、p型半導体で形成されるL個（Lは正の整数）の直列に並んだメモリセルと、メモリセルを間にはさむように形成した選択トランジスタを有する島状半導体層をM×N(M、Nは正の整数)個に配列し、第3の電極をゲート電極とするメモリセルを選択セルとした場合の消去動作の各電圧のタイミングチャートについて述べる。

図97は、図61に示すような選択された第3の電極に負バイアスを与え、第2の電極、第5の電極をゲート電極とするトランジスタの閾値を0.5Vとし、メモリセルの書き込み状態の定義を、メモリセルの閾値が1.0～3.5V、消去状態の定義を-1.0V以下とした場合の消去における各電位に与える電位のタイミングを示す。

【0102】

電荷蓄積層より負の電荷を引きぬく場合、まず第1の電極10、第2の電極20、第3の電極(30-1～30-L)、第4の電極40、第5の電極50のそれぞれに第

一の電位である接地電位を与える。

第2の電極20に、第二の電位として6Vを与え、第5の電極50に第五の電位として6Vを与え、第1の電極10に第四の電位として6Vを与え、第4の電極40に第四の電位として6Vを与える。その後、第3の電極(30-h)以外である第3の電極(30-1~30-(h-1)) (h は $1 \leq h \leq L$ の正の整数)に第七の電位として6Vを与え、第3の電極(30-(h+1)~30-L) (h は $1 \leq h \leq L$ の正の整数)に第十一の電位として6Vを与え、第3の電極(30-h)に第三の電位として-12Vを与える。この状態を所望の時間保持することにより“0”の消去状態を行う。各電極に電位を与えるタイミングは前後しても同時でもよい。

【0103】

その後、第3の電極(30-h)、第3の電極(30-h)以外の第3の電極($\neq 30-h$)、第4の電極40、第1の電極10、第2の電極20、第5の電極50を接地電位に戻す。各電極を接地電位に戻すタイミングは前後しても同時でもよい。与える電位は、所望のセルを消去するための条件を満たすならばいかなる電位の組合せでもよい。

第2の電極20に第二の電位として接地電位を与え、第5の電極50に第五の電位として接地電位を与えてもよい。

最初に、第1の電極20、第2の電極20、第3の電極(30-1~30-L)、第4の電極40、第5の電極50のそれぞれに同電位である第一の電位を与えるのが好ましいが、異なる電位を与えてもよい。

これにより、図61に示すような選択されたセルの消去動作が行われる。

また、上述においては、第3の電極(30-h)をゲート電極とするメモリセルを選択セルとした場合の消去方法について述べたが、第3の電極(30-h)以外の第3の電極に接続されるゲート電極とするメモリセルを選択セルとした場合の消去方法も同様に行うことができる。

【0104】

図98は、第一の電極が開放状態である場合の消去時のタイミングチャートを示す。非選択の第3の電極($\neq 30-h$) (h は $1 \leq h \leq L$ の正の整数)及び第4の電極40に、第一の電位として接地電位を与え、第一の電極を開放状態とする以外は、

図 9 7 に準じる。図 6 1 に示すような選択されたセルの消去動作には影響を与えない。

また、第 3 の電極(30-1~30-(h-1))及び第 3 の電極(30-(h-1)~30-L)に第三の電位として -1.2 V を与えた場合、図 6 2 に示すように、第 3 の電極(30-1~30-L)に接続される複数のセルの消去動作を行うことができる。

第 1 の電極に第四の電位として 1.8 V を与え、第 2 の電極、第 5 の電極をゲート電極とするトランジスタの閾値を 0.5 V とし、メモリセルの書き込み状態の定義をメモリセルの閾値が $1.0 \sim 3.5\text{ V}$ 、消去状態の定義を -1.0 V 以下とした場合の消去における各電位に与える電位のタイミングを、図 9 9 に示す。

電荷蓄積層に負の電荷を引きぬく場合、まず、第 1 の電極 10、第 2 の電極 20、第 3 の電極(30-1~30-L)、第 4 の電極 40、第 5 の電極 50 それぞれに第一の電位である接地電位を与える。

【0105】

第 2 の電極 20 に第二の電位として 1.8 V を与え、第 5 の電極 50 に第五の電位として 1.8 V を与え、第 4 の電極 40 に第四の電位として 1.8 V を与え、第 1 の電極 10 に第四の電位として 1.8 V を与え、第 3 の電極(30-h)以外である第 3 の電極(30-1~30-(h-1)) (h は $1 \leq h \leq L$ の正の整数)に第七の電位として 1.0 V を与え、第 3 の配線(30-(h+1)~30-L) (h は $1 \leq h \leq L$ の正の整数)に第十一の電位として 1.0 V を与え、第 3 の配線(30-h)に第三の電位として接地電位を与え続ける。この状態を所望の時間保持することにより “0” の消去状態を行う。各電極に電位を与えるタイミングは、前後しても同時でもよい。

その後、第 3 の電極(30-h)以外の第 3 の電極($\neq 30-h$)、第 4 の電極 40、第 1 の電極 10、第 2 の電極 20 及び第 5 の電極 50 を接地電位に戻す。各電極を接地電位に戻すタイミングは前後しても同時でもよい。与える電位は所望のセルを消去するための条件を満たすならば、いかなる電位の組合せでもよい。

【0106】

最初に第 1 の電極 10、第 2 の電極 20、第 3 の電極(30-1~30-L)、第 4 の電極 40、第 5 の電極 50 のそれぞれに同電位である第一の電位を与えるのが好ましいが、異なる電位を与えてもよい。

これにより、図 6 1 に示すような選択されたセルの消去動作が行われる。

上述においては第 3 の電極(30-h)をゲート電極とするメモリセルを選択セルとした場合の消去方法について述べたが、第 3 の電極(30-h)以外の第 3 の電極の一つをゲート電極とするメモリセルを選択セルとした場合の消去方法についても同様に行うことができる。

図 1 0 0 に示す各電位に与える電位のタイミングのように、第 3 の電極(30-1 ~ 30-(h-1))及び第 3 の電極(30-(h-1) ~ 30-L)に第三の電位として 1 8 V 与えた場合、図 6 2 に示すような第 3 の電極(30-1 ~ 30-L)に接続される複数のセルを消去することができる。

図 1 3 0 ~ 図 1 3 1 は、第 3 の電極(30-h)に第三の電位として - 2 0 V を与え、電荷蓄積層に負の電荷を蓄積することで消去を行う場合の消去時のタイミングチャートを示す。消去動作は、第三の電位の極性が変わることを以外は図 9 7 ~ 図 9 8 に準ずる。

【0107】

以下に、ゲート電極として第 2 の電極及び第 5 の電極をそれぞれ備えるトランジスタを選択ゲート・トランジスタとして有し、これらの選択ゲート・トランジスタの間に電荷蓄積層と制御ゲート電極として第 3 の電極とを備えるメモリセルを L 個(L は正の整数)直列に接続した島状半導体層を有し、この島状半導体層を M × N 個(M、N は正の整数)備え、このメモリセルアレイにおいて半導体基板に平行に配置される M 本の第 4 の配線がこれら島状半導体層の各々一方の端部に接続し、他方の端部には第 1 の配線が接続され、半導体基板に平行で、かつ、第 4 の配線と交差する方向に配置される N × L 個の第 3 の配線がメモリセルの第 3 の電極と接続している半導体記憶装置の F-N 電流を用いた消去手法について述べる。

図 6 3 は、第 1 の配線を第 3 の配線と平行に配置したときの上記メモリセルアレイの等価回路を示す。

【0108】

島状半導体層が p 型半導体で形成される場合、図 6 3 に示す選択セルを消去するには、選択セルを含む島状半導体層に接続する第 1 の電極に接続する第 1 の配線(1-j) (j は $1 \leq j \leq N$ の正の整数)に第一の電位を与え、これ以外の第 1 の配線

である第 1 の配線($\neq 1-j$)に第九の電位を与え、選択セルと直列に配置される第 2 の電極に接続する第 2 の配線($2-j$)に第二の電位を与え、選択セルに接続される第 3 の配線($3-j-h$) (h は $1 \leq h \leq L$ の正の整数)に第三の電位を与え、選択セルと直列に配置されている非選択セルと接続される第 3 の配線($3-j-1 \sim 3-j-(h-1)$)に第七の電位を与え、第 3 の配線($3-j-(h+1) \sim 3-j-L$)に第十一の電位を与え、これら以外の第 3 の配線($\neq 3-j-1 \sim 3-j-L$)に第十二の電位を与え、選択セルを含む島状半導体層に接続する第 4 の電極に接続する第 4 の配線($4-i$) (i は $1 \leq i \leq M$ の正の整数)に第四の電位を与え、これ以外の第 4 の配線($\neq 4-i$)に第八の電位を与え、選択セルと直列に配置される第 5 の電極に接続する第 5 の配線($5-j$)に第五の電位を与え、第 2 の配線($2-j$)を除く第 2 の配線($\neq 2-j$)又は第 5 の配線($5-j$)を除く第 5 の配線($\neq 5-j$)に第六の電位を与える。

【0 1 0 9】

これらの電圧配置により選択セルのトンネル酸化膜のみにF-N電流を発生させ、電荷蓄積層の電荷の状態を変化させることができる。

電荷蓄積層から負の電荷を引き抜くことを消去とする場合、電位の大小関係は第三の電位<第四の電位である。電荷蓄積層に負の電荷を蓄積した状態を“1”とすると、電荷蓄積層の電荷の状態を変化させて“0”にすることができる。このとき第三の電位は、この電位と第四の電位との電位差により“0”にできる電位とする。つまり、第三の電位は、第三の電位が与えられる第 3 の電極をゲート電極とするメモリ・トランジスタのトンネル酸化膜に流れ、電荷の状態を変化させる手段としてのF-N電流が十分発生する電位とする。

第七の電位は、電荷蓄積層の電荷の状態の変化が選択セルに比べ十分小さいような電位であればよい。つまり、第七の電位と第四の電位との電位差により、第七の電位が与えられる第 3 の配線($3-j-1 \sim 3-j-(h-1)$)に接続する第 3 の電極をゲート電極とするメモリ・トランジスタのトンネル酸化膜のF-N電流が十分に小さい電位であればよい。

【0 1 1 0】

第十一の電位は、電荷蓄積層の電荷の状態の変化が選択セルに比べ十分小さいような電位であればよい。つまり、第十一の電位と第四の電位との電位差により、

第十一の電位が与えられる第3の配線(3-j-(h+1)~3-j-L)に接続する第3の電極をゲート電極とするメモリ・トランジスタのトンネル酸化膜のF-N電流が十分に小さい電位であればよい。

第二の電位は、第2の配線に接続される第2の電極をゲート電極とするトランジスタのゲート酸化膜にF-N電流が流れない電位であればよい。

第五の電位は、第5の配線に接続される第5の電極をゲート電極とするトランジスタのゲート酸化膜にF-N電流が流れない電位であればよい。

第六の電位は、第二の電位又は第五の電位と同様とすることができる。

【0111】

第八の電位は、島状半導体層を介して接続される端子に与えられる第四の電位又は第九の電位と等しい電位が好ましい。

第十二の電位は、電荷蓄積層の電荷の状態の変化が選択セルに比べ十分小さような電位であればよい。つまり、第十二の電位と第八の電位との電位差および第十二の電位と第四の電位との電位差により、第十二の電位が与えられる第3の配線(\neq 3-j-1~3-j-L)に接続する第3の電極をゲート電極とするメモリ・トランジスタのトンネル酸化膜のF-N電流が十分に小さい電位であればよい。

第1の配線(1-1~1-M)は開放状態でもよいし、第九の電位は開放状態でもよい。

【0112】

第1の配線(1-1~1-N)が半導体基板内に不純物拡散層として形成され、第1の配線(1-1~1-N)の電位が浮遊であり、メモリセルのチャネル部が半導体基板と電氣的に繋がっている場合、選択セルを含む島状半導体層に接続する第1の配線(1-j)に与える第四の電位は、この電位を加えることで半導体基板側に拡がる空乏層により島状半導体層が半導体基板と電氣的にフローティング状態となる電位とする。これにより、島状半導体層の電位が第四の電位と等しくなり、島状半導体層上の選択セルにはメモリ・トランジスタのトンネル酸化膜に流れるF-N電流が十分大きくなる電位となり、消去を行うことができる。つまり、第四の電位と第三の電位との電位差が、メモリ・トランジスタのトンネル酸化膜に流れるF-N電流が十分流れる電位差となる。

【0113】

また、メモリセルのチャネル部が半導体基板と電氣的に繋がっていない場合は、第四の電位による空乏層の拡がりはどのような状態でもよい。

第1の配線(1-1~1-N)が半導体基板と電氣的に絶縁されて形成されている場合、例えばSOI基板に不純物拡散層からなる第1の配線(1-1~1-N)が形成され、半導体基板とは絶縁膜で絶縁されている場合、第一の電位は第十の電位と必ずしも等しくすることはない。

メモリセルのチャネル部が半導体基板と電氣的に繋がっている場合、つまり、不純物拡散層が、島状半導体層を基板よりフローティング状態にしていない場合、半導体基板に与える第十の電位は、第十の電位と第三の電位との電位差による電荷蓄積層の電荷の状態が十分に变化する電位であれば、第三の電位が与えられている第三の配線に接続される第三の電極をゲート電極とする全てのメモリセルに対し、同時に消去を行うことができる。

【0114】

第3の配線(3-j-L)から第3の配線(3-j-1)まで連続して消去してもよいし、逆でもランダム順番でもよい。

第3の配線(3-j-h)に接続している複数又は全てのメモリセル、第3の配線(3-j-1~3-j-L)に接続している複数又は全てのメモリセルの消去を同時に行ってもよいし、第3の配線(3-1-1~3-N-L)に接続している複数又は全てのメモリセルの消去を同時に行ってもよい。第3の配線(3-(j-8)-h)、第3の配線(3-j-h)、第3の配線(3-(j+8)-h)、第3の配線(3-(j+16)-h)・・・のように、ある規則性をもって、第3の配線を選択し、この配線に接続している複数又は全てのメモリセルを同時に消去を行ってもよい。

【0115】

第4の配線(4-i)に接続される一つの島状半導体層に含まれる複数又は全てのメモリセル、第4の配線(4-i)に接続される複数又は全ての島状半導体層に含まれる複数若しくは全てのメモリセルの消去を同時に行ってもよい。複数の第4の配線のそれぞれに接続される一つの島状半導体層にそれぞれ含まれる一つ、複数又は全てのメモリセルの消去を同時に行ってもよいし、複数の第4の配線それぞ

れに接続される複数又は全ての島状半導体層に含まれる複数又は全てのメモリセルの消去を同時に行ってもよい。第4の配線(4-j-h)に接続しているメモリセルをある一定間隔、例えば第4の配線(4-(i-16))、第4の配線(4-(i-8))、第4の配線(4-i)、第4の配線(4-(i+8))、第4の配線(4-(i+16))・・・のような、8つおきの第4の配線ごとに消去を同時に行ってもよい。

【0116】

全ての第4の配線に第一の電位を与え、第1の配線(1-j)に第四の電位を与え、第1の配線($\neq 1-j$)に第八の電位を与え、第2の配線と第5の配線の電位を交換し、第3の配線(3-j-h)に第三の電位を与えることで、第3の配線(3-j-h)に接続する第3の電極をゲート電極とするメモリセル全てに同時に消去を行うこともできる。このとき、任意の第4の配線に第四の電位を与えてもよい。

複数の第1の配線に第四の電位を与え、この第1の配線が接続する第1の電極を有する島状半導体層に含まれるメモリセルの第3の電極が接続する第3の配線に第三の電位を与えることによって、第三の電位が与えられた第3の配線に接続する第三の電極をゲート電極とするメモリセル全てを同時に消去することができる。

上記の消去方法は、組み合わせて用いてもよい。

【0117】

電荷蓄積層の電荷の状態を変化させ、選択したメモリ・トランジスタの閾値を上げることの消去としてもよい。この場合には第三の電位<第四の電位とし、第三の電位は第三の電位と第四の電位との電位差による電荷蓄積層の電荷の状態が十分に变化する電位、例えばF-N電流が十分に大きい電位であればよい。また、電荷蓄積層の電荷の状態を変化させる手段はF-N電流に限らない。

図64は、第1の配線を第3の配線と平行に配置したときのメモリセルアレイ構造の等価回路を示す。第1の配線(1-j)と第4の配線(4-i)で決まる島状半導体層上の全てのメモリセルを選択して、消去することができる。第3の配線(3-j-1~3-j-L)に第三の電位を与える以外は図63の消去の電圧配置と同様である。

図65は、第1の配線を第3の配線と平行に配置したときのメモリセルアレイ構造の等価回路を示す。第1の配線(1-j)に接続する全ての島状半導体層上の全

てのメモリセルを選択して、消去することができる。第3の配線(3-j-1~3-j-L)に第三の電位を与え、第4の配線(4-1~4-M)に第四の電位を与える以外は図63の消去の電圧配置と同様である。

【0118】

図66は、第1の配線を第3の配線と平行に配置したときのメモリセルアレイ構造の等価回路を示す。第1の配線(1-1~1-N)に接続する全ての島状半導体層上の全てのメモリセルを選択して、消去することができる。第1の配線(1-1~1-N)に第四の電位を与え、第3の配線(3-j-1~3-N-L)に第三の電位を与え、第4の配線(4-1~4-M)に第四の電位を与える以外は図63の消去の電圧配置と同様である。

図68は、第1の配線を第4の配線と平行に配置したときのメモリセルアレイ構造の等価回路を示す。第1の配線(1-i)に第四の電位を与え、第1の配線($\neq 1-i$)に第九の電位を与える以外は図63の消去の電圧配置と同様である。

図69は、第1の配線を第4の配線と平行に配置したときのメモリセルアレイ構造の等価回路を示す。第1の配線(1-i)と第4の配線(4-i)で決まる島状半導体層上の全てのメモリセルを選択して、消去することができる。第3の配線(3-j-1~3-N-L)に第三の電位を与える以外は図63の消去の電圧配置と同様である。

【0119】

図70は、複数の第1の配線が電氣的に繋がって共通であるメモリセルアレイ構造の等価回路を示す。第1の配線(1-1)に第四の電位を与える以外は図63の消去の電圧配置と同様である。

図71は、複数の第1の配線が電氣的に繋がって共通であるメモリセルアレイ構造の等価回路を示す。第1の配線(1-1)に接続する全ての島状半導体層上の全てのメモリセルを選択して、消去することができる。第1の配線(1-1)に第四の電位を与え、第3の配線(3-j-1~3-(j+1)-L)に第三の電位を与え、第4の配線(4-1~4-M)に第四の電位を与える以外は図70の消去の電圧配置と同様である。

図72は、複数の第1の配線が電氣的に繋がって共通であるメモリセルアレイ構造の等価回路を示す。第3の配線(3-j-h)に接続する全てのメモリセルを選択して、消去することができる。第1の配線(1-1)に第四の電位を与え、第3の配線

(3-j-h)に第三の電位を与え、第4の配線(4-1~4-M)に第四の電位を与える以外は図70の消去の電圧配置と同様である。

【0120】

以下に、p型半導体で形成されるL個(Lは正の整数)の直列に並んだメモリセルと、メモリセルを間にはさむように形成した選択トランジスタを有する島状半導体層をM×N(M、Nは正の整数)個に配列し、第1の配線と第3の配線とが平行に配置している場合で選択された第3の配線に接続されるゲート電極とするメモリセルを選択セルとした場合の消去動作の各電圧のタイミングチャートについて述べる。

図101は、図67に示すような選択された第3の配線に負バイアスを与え、第2の配線、第5の配線に接続されるゲート電極を有するトランジスタの閾値を0.5Vとし、メモリセルの書き込み状態の定義を、メモリセルの閾値が1.0~3.5V、消去状態の定義を-1.0V以下とした場合の消去における各電位に与える電位のタイミングを示す。

【0121】

電荷蓄積層より負の電荷を引きぬく場合、まず第1の配線(1-1~1-N)、第2の配線(2-1~2-N)、第3の配線(3-1-1~3-N-L)、第3の配線(4-1~4-M)、第5の配線(5-1~5-N))それぞれに第一の電位である接地電位を与える。

第1の配線(1-j)以外である第1の配線($\neq 1-j$)に第八の電位として第四の電位と等しい6Vを与え、第4の配線(4-i)以外である第4の配線($\neq 4-i$)に第八の電位として第四の電位と等しい6Vを与え、第1の配線(1-j)に第四の電位として6Vを与え、第4の配線(4-i)に第四の電位として6Vを与え、第3の配線(3-j-h)以外である第3の配線(3-j-1~3-j-(h-1)) (hは $1 \leq h \leq L$ の正の整数)に第七の電位として6Vを与え、第3の配線(3-j-(h+1)~3-j-L) (hは $1 \leq h \leq L$ の正の整数)に第十一の電位として6Vを与え、これら以外の第3の配線($\neq 3-j-1 \sim 3-j-L$)に第十二の電位として6Vを与え、第3の配線(3-j-h)に第三の電位として-1.2Vを与える。この状態を所望の時間保持することにより“0”の消去状態を行う。各配線に電位を与えるタイミングは前後しても同時でもよい。

【0122】

その後、第3の配線(3-j-h)、第3の配線(3-j-h)以外である第3の配線($\neq 3-j-h$)、第4の配線(4-1~4-M)、第1の配線(1-1~1-N)を接地電位に戻す。各配線を接地電位に戻すタイミングは前後しても同時でもよい。与える電位は所望のセルを消去するための条件を満たすならば、いかなる電位の組合せでもよい。

最初に第1の配線(1-1~1-N)、第2の配線(2-1~2-N)、第3の配線(3-1-1~3-N-L)、第4の配線(4-1~4-M)、第5の配線(5-1~5-N)のそれぞれに同電位である第一の電位を与えるのが好ましいが、異なる電位を与えてもよい。

これにより、図67に示すような選択された第3の配線に接続される複数のセルの消去動作が行われる。

上述においては第3の配線(3-j-h)をゲート電極とするメモリセルを選択セルとした場合の消去方法について述べたが、第3の配線(3-j-h)以外の第3の配線に接続されるゲート電極とするメモリセルを選択セルとした場合の消去方法についても同様に行うことができる。

【0123】

図102は、第一の配線が開放状態である場合の書き込み時のタイミングチャートをに示す。非選択の第3の配線($\neq 3-i-h$) (h は $1 \leq h \leq L$ の正の整数)及び第4の配線($\neq 4-i$)に接地電位を与え、第一の配線が開放状態とする以外は図101に準じる。図63に示すような選択されたセルの消去動作には影響を与えない。

第4の配線($\neq 4-i$)に第八の電位として6Vを与えた場合、図67に示すような選択された第3の配線に接続される複数のセルの消去動作を行うことができる。第4の配線($\neq 4-i$)に第八の電位として6Vを与え、かつ第3の配線(3-i-1~3-i-(h-1))及び第3の配線(3-i-(h-1)~3-i-L)に第三の電位として-12Vを与えた場合、図65に示すような第1の配線(1-j)に接続される複数のセルの消去動作を行うことができる。

全ての第4の配線(4-1~4-M)に第四の電位として6Vを与え、全ての第3の配線(3-1-1~3-N-L)に第三の電位として-12Vを与えた場合、図66に示すような全てのセルの消去動作を行うことができる。

図103は、第1の配線に第四の電位及び第九の電位として18Vを与え、第

2 の配線、第 5 の配線に接続されるゲート電極を有するトランジスタの閾値を 0.5V とし、メモリセルの書き込み状態の定義をメモリセルの閾値を 1.0～3.5V、消去状態の定義を -1.0V 以下とした場合の消去における各電位に与える電位のタイミングを示す。

【0124】

電荷蓄積層に負の電荷を引きぬく場合、まず第 1 の配線(1-1～1-N)、第 2 の配線(2-1～2-N)、第 3 の配線(3-1-1～3-N-L)、第 4 の配線(4-1～4-M)、第 5 の配線(5-1～5-N)のそれぞれに接地電位を与える。第 2 の配線($\neq 2-j$)及び第 5 の配線($\neq 5-j$)に第六の電位として 1.8V を与え、第 2 の配線(2-j)に第二の電位として 1.8V を与え、第 5 の配線(5-j)に第五の電位として 1.8V を与え、第 4 の配線(4-i)以外である第 4 の配線($\neq 4-i$)に第八の電位として第四の電位と等しい 1.8V を与え、第 1 の配線(1-j)以外である第 1 の配線($\neq 1-j$)に第八の電位として第四の電位と等しい 1.8V を与え、第 4 の配線(4-i)に第四の電位として 1.8V を与え、第 1 の配線(1-j)に第四の電位として 1.8V を与え、第 3 の配線(3-j-h)以外である第 3 の配線(3-j-1～3-j-(h-1)) (hは $1 \leq h \leq L$ の正の整数)に第七の電位として 1.0V を与え、第 3 の配線(3-j-(h+1)～3-j-L) (hは $1 \leq h \leq L$ の正の整数)に第十一の電位として 1.0V を与え、これら以外の第 3 の配線($\neq 3-j-1 \sim 3-j-L$)に第十二の電位として 1.0V を与え、第 3 の配線(3-j-h)に第三の電位として接地電位を与え続ける。この状態を所望の時間保持することにより“0”の消去状態を行う。各配線に電位を与えるタイミングは前後しても同時でもよい。

【0125】

その後、第 3 の配線(3-j-h)以外である第 3 の配線($\neq 3-j-h$)、第 4 の配線(4-1～4-M)、第 1 の配線(1-1～1-N)、第 2 の配線(2-1～2-N)及び第 5 の配線(5-1～5-N)を接地電位に戻す。各配線を接地電位に戻すタイミングは前後しても同時でもよい。与える電位は所望のセルを消去するための条件を満たすならば、いかなる電位の組合せでもよい。

最初に第 1 の配線(1-1～1-N)、第 2 の配線(2-1～2-N)、第 3 の配線(3-1-1～3-N-L)、第 4 の配線(4-1～4-M)、第 5 の配線(5-1～5-N)それぞれに同電位である第一の電位を与えるのが好ましいが、異なる電位を与えてもよい。

これにより、図 6 7 に示すような選択された第 3 の配線に接続される複数のセルの消去動作を行うことができる。

上述においては第 3 の配線(3-j-h)をゲート電極とするメモリセルを選択セルとした場合の消去方法について述べたが、第 3 の配線(3-j-h)以外の第 3 の配線の一つをゲート電極とするメモリセルを選択セルとした場合の消去方法についても同様に行うことができる。

【0126】

第 3 の配線(3-i-1~3-i-(h-1))及び第 3 の配線(3-i-(h-1)~3-i-L)に第三の電位として接地電位を与えた場合、図 6 5 に示すような第 1 の配線(1-j)に接続される複数のセルの消去動作を行うことができる。

全ての第 3 の配線(3-1-1~3-N-L)に第三の電位として接地電位を与え、図 1 0 4 に示す各電位に与える電位のタイミングとした場合、図 6 6 に示すような全てのセルの消去動作を行うことができる。

図 1 3 2 ~図 1 3 3 は、第 3 の電極(30-h)に第三の電位として 2 0 Vを与え、電荷蓄積層に負の電荷を蓄積することで消去とする場合の消去時のタイミングチャートを示す。消去動作は第三の電位の極性が変わること以外は図 1 0 1 ~図 1 0 2 に準ずる。

図 1 0 5 ~図 1 0 8 は、第 1 の配線を第 4 の配線と平行に配置している場合の消去時のタイミングチャートを示す。図 1 0 5 ~図 1 0 8 は選択されたセルを含む島状半導体の端部に接続する第 1 の配線(1-j)が第 1 の配線(1-i)に代わった以外は、それぞれ図 1 0 1 ~図 1 0 4 に準ずる。図 1 0 5 ~図 1 0 8 のように、第 5 の配線($\neq 5-j$)、第 4 の配線($\neq 4-i$)、第 3 の配線($\neq 3-j-1 \sim 3-j-L$)、第 2 の配線($\neq 2-j$)、第 1 の配線($\neq 1-i$)を接地電位としてもよい。

【0127】

第 3 の配線(3-j-1~3-j-L)に第三の電位として接地電位を与え、図 1 0 8 に示す各電位に与える電位のタイミングとした場合、図 6 5 に示すような第 1 の配線(1-i)に接続されるセルの消去動作を行うことができる。図 1 0 9 に示すように、第 5 の配線($\neq 5-j$)に第五の電位として 1 8 Vを与え、第 2 の配線($\neq 2-j$)に第二の電位として 1 8 Vを与え、第 4 の配線($\neq 4-i$)及び第 1 の配線($\neq 1-i$)に第

四の電位として18Vを与えることにより、図66に示すような全てのセルの消去動作を行うことができる。

図134～図135は、第3の電極(30-h)に第三の電位として20Vを与え、電荷蓄積層に負の電荷を蓄積することで消去とする場合の消去時のタイミングチャートを示す。消去動作は第三の電位の極性が変わること以外は図105～図110に準ずる。

【0128】

図110～図113は、第1の配線がアレイ全体で共通に接続している場合の消去時のタイミングチャートを示す。図110～図113は選択されたセルを含む島状半導体の端部に接続する第1の配線(1-j)から第1の配線(1-1)に替わった以外は図101～図104に準ずる。

全ての第3の配線(3-1-1～3-N-L)に第三の電位として接地電位を与え、図113に示す各電位に与える電位のタイミングとした場合、図66に示すような全てのセルの消去動作を行うことができる。

図136～図137は、第3の電極(30-h)に第三の電位として20Vを与え、電荷蓄積層に負の電荷を蓄積することで消去とする場合の消去時のタイミングチャートを示す。消去動作は第三の電位の極性が変わること以外は図110～図111に準ずる。

【0129】

メモリセルアレイの製造方法における実施の形態

本発明の半導体記憶装置の製造方法及びこの方法により形成された半導体記憶装置の実施の形態を図面に基づいて説明する。

この実施の形態の半導体記憶装置は、半導体基板を、少なくとも一つ以上の段を有する柱状に加工して島状半導体層を形成し、この島状半導体層の側面を活性領域とし、各段の側部にトンネル酸化膜及び電荷蓄積層として浮遊ゲートが形成され、浮遊ゲートの側面の少なくとも一部に層間絶縁膜を介して制御ゲートが形成されてメモリ・トランジスタを構成する。各段の角部には、不純物拡散層を浮遊ゲートに対して自己整合で形成されている。メモリ・トランジスタは、例えば2個配置されている。

【0130】

島状半導体層の上部と下部における段の側面には、メモリ・トランジスタを挟むように、ゲート酸化膜と選択ゲートを形成して選択ゲート・トランジスタが配置されている。選択ゲート・トランジスタのチャネル層は、メモリ・トランジスタのチャネル層と電氣的に接続するように、不純物拡散層が、浮遊ゲート及び選択ゲートに対して自己整合で形成されており、島状半導体層に沿って、メモリ・トランジスタと直列に接続されている。

選択ゲート・トランジスタのゲート絶縁膜の膜厚は、メモリ・トランジスタのゲート絶縁膜厚と等しい。各トランジスタの選択ゲート及び浮遊ゲートは一括で形成される。

なお、以下の各製造例で行われる各工程又は態様は、別の製造例で行われる各工程又は態様と種々組み合わせて適用することができる。

【0131】

製造例 1

この実施の形態の半導体記憶装置の製造方法は、図138～図207に示されており、このうち偶数図面は、図1のA-A'断面図、奇数図面はB-B'断面図である。

まず、半導体基板として、例えばp型のシリコン基板100の表面にマスク層となる第一の絶縁膜であるシリコン酸化膜410を200～2000nm堆積する。公知のフォトリソグラフィ技術によりパターンニングされたレジストR1をマスクとして用いて、反応性イオンエッチングにより、シリコン酸化膜410をエッチングする（図138及び図139）。

なお、第一の絶縁膜は、p型シリコン基板100に対する反応性エッチング時においてエッチングされないか、エッチング速度がシリコンより遅い材料であれば限定されるものではなく、シリコン窒化膜又は導電膜でもよく、二種以上の材料膜の積層膜でもよい。

【0132】

シリコン酸化膜410をマスクに用いて、反応性イオンエッチングによりシリコン基板100を50～5000nmエッチングし、その後シリコン基板100

の露出部を熱酸化し、第二の絶縁膜となるシリコン酸化膜 421 を 5～100 nm 形成する(図 140 及び図 141)。

次に、第三の絶縁膜としてシリコン窒化膜 311 を 10～1000 nm 堆積し、異方性エッチングにより、シリコン酸化膜 410 及び柱状に加工されたシリコン基板 100 の側壁に、シリコン酸化膜 421 を介して、シリコン窒化膜 311 をサイドウォール状に加工する(図 142 及び図 143)。

続いて、サイドウォール状のシリコン窒化膜 311 をマスクにして、反応性イオンエッチングによりシリコン酸化膜 421 をエッチング除去し、露出したシリコン基板 100 を 50～5000 nm エッチングして、シリコン基板 100 を、一つの段差を有する柱状に加工する。その後、シリコン基板 100 の露出部を熱酸化し、第二の絶縁膜となるシリコン酸化膜 422 を 5～100 nm 形成する(図 144 及び図 145)。

【0133】

次に、第三の絶縁膜としてシリコン窒化膜 312 を 10～1000 nm 堆積し、異方性エッチングにより、シリコン酸化膜 410、シリコン窒化膜 311 及び柱状のシリコン基板 100 の側壁に、シリコン酸化膜 422 を介して、シリコン窒化膜 312 をサイドウォール状に加工する。

続いて、サイドウォール状のシリコン窒化膜 312 をマスクにして、反応性イオンエッチングによりシリコン酸化膜 422 をエッチング除去し、露出したシリコン基板 100 を 50～5000 nm エッチングして、シリコン基板 100 を、二つの段差を有する柱状に加工する。その後、シリコン基板 100 の露出部を熱酸化し、第二の絶縁膜となるシリコン酸化膜 423 を 5～100 nm 形成する(図 146 及び図 147)。

【0134】

次に、第三の絶縁膜としてシリコン窒化膜 313 を 10～1000 nm 堆積し、異方性エッチングにより、シリコン酸化膜 410、シリコン窒化膜 312 及び二つの段を有する柱状のシリコン基板 100 の側壁に、シリコン酸化膜 423 を介して、シリコン窒化膜 313 をサイドウォール状に加工する。

続いて、サイドウォール状のシリコン窒化膜 313 をマスクにして、反応性イ

オンエッチングによりシリコン酸化膜 423 をエッチング除去し、露出したシリコン基板 100 を 50～5000 nm エッチングすることで、シリコン基板 100 を、三つの段差を有する柱状に加工する。

以上の工程により、シリコン基板 100 は、段差を有する柱状の、複数の島状半導体層 110 に分離される。

【0135】

その後、シリコン基板 100 の露出部を熱酸化して、第二の絶縁膜としてシリコン酸化膜 424 を 5～100 nm 形成する(図 148 及び図 149)。なお、第二の絶縁膜は、シリコン酸化膜のみならず、シリコン窒化膜でもよく、CVD 法等によって形成してもよい。

得られた島状半導体層 110 の底部に n 型不純物拡散層 710 を形成する。不純物拡散層 710 は、例えばイオン注入法により、0～7° 程度傾斜した方向から 5～100 keV 程度の注入エネルギー、砒素又は燐を $1 \times 10^{13} \sim 1 \times 10^{17} / \text{cm}^2$ 程度のドーズで、形成することができる。

【0136】

続いて、等方性エッチングにより、シリコン窒化膜、シリコン酸化膜を選択除去する(図 150 及び図 151)。これにより、島状半導体層 110 の最上部の径が小さくなるため、島状半導体層 110 の最上部の径が最小加工寸法で形成されていた場合には、シリコン酸化膜 430 の形成により最小加工寸法以下になる。

次いで、島状半導体層 110 の表面に、第四の絶縁膜となるシリコン酸化膜 430 を 10～100 nm 形成する(図 152 及び図 153)。

シリコン酸化膜 430 を、等方性エッチングによりエッチバックすることにより、島状半導体層 110 の底部の所望の高さまで埋め込む(図 154 及び図 155)。

【0137】

次に、必要に応じて斜めイオン注入を利用して、各島状半導体層 110 の側壁にチャネルイオン注入を行う(図示せず)。チャネルイオン注入は、例えば、5～45° 程度傾斜した方向から 5～100 keV 程度の注入エネルギー、硼素を $1 \times 10^{11} \sim 1 \times 10^{13} / \text{cm}^2$ 程度のドーズで、行うことができる。なお、チャネ

ルイオン注入は、島状半導体層 110 の多方向から注入することが、表面不純物濃度を均一とすることができるため好ましい。あるいは、チャネルイオン注入に代えて、CVD法により、硼素を含む酸化膜を堆積し、その酸化膜からの硼素拡散を利用してよい。また、島状半導体層 110 の表面からの不純物の導入は、島状半導体層 110 の不純物濃度分布が同等であれば、島状半導体層 110 の表面をシリコン酸化膜 430 で被覆する前に行ってもよいし、島状半導体層 110 を形成する前に導入を完了してもよいし、どのような時期及び手段でもよい。

続いて、熱酸化法により、各島状半導体層 110 の周囲に、第十五の絶縁膜として 20 nm 程度のシリコン酸化膜 400 (ゲート酸化膜) を形成する(図 156 及び図 157)。

【0138】

次に、第十六の絶縁膜としてシリコン窒化膜 360 を 10 ~ 1000 nm 堆積し(図 158 及び図 159)、異方性エッチングによりシリコン窒化膜 360 を、島状半導体層 110 の各段の側壁に、シリコン酸化膜 400 を介して、シリコン窒化膜サイドウォール 361、362、363、364 に加工する(図 160 及び図 161)。

続いて、シリコン窒化膜サイドウォール 361、362、363、364 をマスクに選択的にシリコン酸化膜 400 の一部を除去し、希釈 HF 法によって島状半導体層 110 の各段の水平面を露出させる(図 162 及び図 163)。なお、シリコン酸化膜 400 の除去は、CDE などの等方性ドライエッチを利用してよいし、RIE などの異方性ドライエッチと希釈 HF 法又は等方性エッチとの組み合わせを利用してよい。

【0139】

次いで、等方性エッチングによりシリコン窒化膜サイドウォール 361、362、363、364 を選択的に除去し、熱酸化により、各島状半導体層 110 の露出部に、第五の絶縁膜として 10 nm 程度のシリコン酸化膜 440 (トンネル酸化膜) を形成すると同時に、膜厚が 250 nm に増加した第十七の絶縁膜であるシリコン酸化膜 401 を形成する。トンネル酸化膜は、熱酸化膜に限らず、CVD 酸化膜又はオキシナイトライド膜でもよく、第五の絶縁膜と第十五の絶縁膜、

第十七の絶縁膜の膜厚、膜種の組合わせはこれらに限定されない。続いて、第一の導電膜となる多結晶シリコン膜 510 を 20～200 nm 程度堆積する(図 164 及び図 165)。

その後、第六の絶縁膜としてシリコン酸化膜 451 を 20～200 nm 程度堆積し、所望の深さまでエッチバックを行う(図 166 及び図 167)。

【0140】

次いで、異方性エッチングにより多結晶シリコン膜 510 をサイドウォール状に加工することにより、島状半導体層 110 の各段の側壁に、多結晶シリコン膜 511、512、513、514 を一括分離形成する。なお、最下段の多結晶シリコン膜 511 (選択ゲート) はシリコン酸化膜 451 の保護により、全て接続された状態を保つ。これにより、サイドウォール状に加工された多結晶シリコン膜 511、512、513、514 と島状半導体層 110 に挟まれる絶縁膜は、シリコン酸化膜 440 とシリコン酸化膜 401 とで構成される。続いて、段差を有する島状半導体層 110 の角部に対して不純物導入を行い、n 型不純物拡散層 721、722、723、724 を形成する(図 168 及び図 169)。不純物拡散層 721、722、723、724 は、例えば、0～45° 程度傾斜した方向から 5～100 keV の注入エネルギー、砒素又は磷を $1 \times 10^{12} \sim 1 \times 10^{15} / \text{cm}^2$ 程度のドーズによるイオン注入により形成することができる。イオン注入は、島状半導体層 110 の一方向又は数方向からの注入でもよいし、全周囲から行ってもよい。

【0141】

その後、公知のフォトリソグラフィ技術によりパターンニングされたレジスト R2 をマスクとして用いて、反応性イオンエッチングにより、シリコン酸化膜 451 をエッチングし、多結晶シリコン膜 511、シリコン酸化膜 430 及び不純物拡散層 710 をエッチングし、第一の溝部 211 を形成する(図 170 及び図 171)。これにより、図 1 の A-A' 方向について連続する第一の配線層及び選択ゲート線となる第二の配線層を分離する。

次に、第七の絶縁膜としてシリコン酸化膜 461 を 20～200 nm 程度堆積し、等方性エッチングにより第一の溝部 211 及び多結晶シリコン膜 511 の上

部を埋設するように、シリコン酸化膜 461 を埋め込む(図 172 及び図 173)。

【0142】

続いて、露出した多結晶シリコン膜 512、513、514 の表面に層間絶縁膜 610 を形成する。この層間絶縁膜 610 は、例えば ONO 膜とする。ONO 膜は、熱酸化法により多結晶シリコン膜表面に 5～10 nm 程度のシリコン酸化膜、CVD 法により 5～10 nm のシリコン窒化膜、さらに CVD 法により 5～10 nm のシリコン酸化膜を順次堆積することにより形成することができる。続いて、第二の導電膜として多結晶シリコン膜 520 を 15～150 nm 堆積する(図 174 及び図 175)。

その後、第六の絶縁膜としてシリコン酸化膜 452 を 20～200 nm 程度堆積し、所望の深さまでエッチバックを行う(図 176 及び図 177)。

次いで、多結晶シリコン膜 520 を異方性エッチングによりサイドウォール状に加工することにより、島状半導体層 110 の各段の多結晶シリコン膜 512、513、514 の側壁に、層間絶縁膜 610 を介して、多結晶シリコン膜 522、523、524 を一括分離形成する(図 178 及び図 179)。なお、下段の制御ゲート、すなわち多結晶シリコン膜 522 はシリコン酸化膜 452 の保護により全て接続された状態を保つ。

【0143】

その後、公知のフォトリソグラフィ技術によりパターンニングされたレジスト R3 をマスクとして用いて、反応性イオンエッチングによりシリコン酸化膜 452 をエッチングし、多結晶シリコン膜 522 をエッチングし、第一の溝部 212 を形成する(図 180 及び図 181)。これにより、図 1 の A-A' 方向について連続する制御ゲート線となる第三の配線層を分離形成する。

次に、第七の絶縁膜としてシリコン酸化膜 462 を 20～200 nm 程度堆積し、等方性エッチングにより第一の溝部 212 及び多結晶シリコン膜 522 の上部を埋設するようにシリコン酸化膜 462 を埋め込む(図 182 及び図 183)。

続いて、第三の導電膜として多結晶シリコン膜 533 を 15～150 nm 堆積する(図 184 及び図 185)。

その後、第六の絶縁膜としてシリコン酸化膜 453 を 20～200 nm 程度堆積し、所望の深さまでエッチバックを行う(図 186 及び図 187)。

【0144】

次いで、等方性エッチングにより、シリコン酸化膜 453 をマスクにして多結晶シリコン膜 533 の露出部及び多結晶シリコン膜 524 を選択除去する(図 188 及び図 189)。なお、上段の制御ゲート、すなわち多結晶シリコン膜 523 は、多結晶シリコン膜 533 により接続され、シリコン酸化膜 453 の保護により等方性エッチ後も全て接続された状態を保つ。

その後、公知のフォトリソグラフィ技術によりパターンニングされたレジスト R4 をマスクとして用いて、反応性イオンエッチングによりシリコン酸化膜 453 をエッチングし、多結晶シリコン膜 533 をエッチングし、第一の溝部 213 を形成する(図 190 及び図 191)。これにより、図 1 の A-A' 方向について連続する制御ゲート線となる第三の配線層を分離形成する。

次に、第七の絶縁膜としてシリコン酸化膜 463 を 20～400 nm 程度堆積し、等方性エッチングにより第一の溝部 213、多結晶シリコン膜 523 及び多結晶シリコン膜 533 の上部を埋設するようにシリコン酸化膜 463 を埋め込む(図 192 及び図 193)。

【0145】

その後、シリコン酸化膜 463 をマスクとして、露出した層間絶縁膜 610 を除去し、島状半導体層 110 の頂上部及び島状半導体層 110 の最上段に形成された選択ゲート、すなわち多結晶シリコン膜 514 の少なくとも一部を露出させる(図 194 及び図 195)。

続いて、第三の導電膜として多結晶シリコン膜 534 を 15～150 nm 堆積する(図 196 及び図 197)。

その後、第六の絶縁膜としてシリコン酸化膜 454 を 20～200 nm 程度堆積し、所望の深さまでエッチバックを行う(図 198 及び図 199)。なお、最上段の選択ゲート、すなわち多結晶シリコン膜 514 は多結晶シリコン膜 534 により全て接続された状態を保つ。

【0146】

続いて、シリコン酸化膜 454 をマスクとして、露出した多結晶シリコン膜 534 を等方性エッチングにより選択的に除去する(図 200 及び図 201)。この際、島状半導体層 110 の頂上部及び島状半導体層 110 の最上段に形成された選択ゲート、すなわち多結晶シリコン膜 514 の一部がエッチングを受けるが、エッチングを受けた島状半導体層 110 の頂上部の高さが、エッチング後の多結晶シリコン膜 534 の最上端の高さより上であることが保たれていればよい。

その後、公知のフォトリソグラフィ技術によりパターンニングされたレジスト R5 をマスクとして用いて、反応性イオンエッチングによりシリコン酸化膜 454 をエッチングし、多結晶シリコン膜 534 をエッチングし、第一の溝部 214 を形成する。これにより、図 1 の A-A' 方向について連続する選択ゲート線となる第二の配線層を分離形成する。

【0147】

次に、第七の絶縁膜としてシリコン酸化膜 464 を 20～400 nm 程度堆積し、エッチバック又は化学機械的研磨(CMP)技術などにより、不純物拡散層 724 を備える島状半導体層 110 の上部を露出させ、必要に応じて島状半導体層 110 の頂上部に対してイオン注入法により不純物濃度の調整を行い、第四の配線層 840 を、第二及び第三の配線層と、交差するように、島状半導体層 110 の上部と接続する。

その後、公知の技術により層間絶縁膜を形成し、コンタクトホール及びメタル配線を形成する。

これにより、多結晶シリコン膜を浮遊ゲートとする電荷蓄積層に蓄積される電荷状態によってメモリ機能を有する半導体記憶装置が実現する(図 202 及び図 203)。このように複数のメモリセルの上部と下部に選択ゲートを配置することで、メモリセルトランジスタの過剰消去の状態を防止することができる。

【0148】

上記の製造例では、p 型半導体基板に対し島状半導体層 110 を形成しているが、n 型半導体基板内に形成された p 型不純物拡散層又は p 型シリコン基板内に形成された n 型不純物拡散層内にさらに形成された p 型不純物拡散層に対し、島状半導体層 110 を形成してもよい。各不純物拡散層の導電型は、各々逆導電型

でも構わない。

また、島状半導体層 110 を階段状に加工するために、シリコン窒化膜 311、312、313 をサイドウォール状に加工し、これらのサイドウォールをマスクとして用いたが、例えば、絶縁膜又は導電膜の埋め込みにより島状半導体層 110 の先端部のみを露出させ、この露出部に対して熱酸化又は等方性エッチングを行うことで島状半導体層 110 の先端部を細らせ、これを繰り返すことにより島状半導体層 110 を階段状に加工してもよい。

【0149】

埋め込みは、所望の溝部に対して、例えばシリコン酸化膜及び多結晶シリコン膜又はシリコン酸化膜及びシリコン窒化膜の積層膜を堆積し、半導体基板上面から等方性エッチングを行うことにより、直接行ってもよいし、レジストエッチバック法により間接的に行ってもよい。埋め込みに用いるシリコン酸化膜は、CVD 法その他、シリコン酸化膜を回転塗布により形成してもよい。

レジストエッチバック法による埋め込み高さの制御は、露光時間及び／又は露光量によって行ってもよいし、露光後の現像工程を含めて、どのような方法を採用してもよい。また露光ではなく、アッシングによりレジストエッチバックを行ってもよいし、エッチバックを行わず、レジスト塗布の時点で所望の深さになるような埋め込みを行ってもよい。後者の場合には、レジストは粘性の低いものを用いることが好ましい。これらの方法は組み合わせてもよい。さらにレジストの塗布表面は親水性にすることが好ましく、例えばシリコン酸化膜上に塗布することが適当である。

【0150】

製造例 2

この実施の形態の半導体記憶装置の製造方法は、図 204～図 209 に示されており、このうち偶数図面は、図 1 の A-A' 断面図、奇数図面は B-B' 断面図である。

島状半導体層 110 の側壁に、第十五の絶縁膜であるシリコン酸化膜 400 を介してシリコン窒化膜サイドウォール 361、362、363、364 を配置するまでは製造例 1 に準じる。

シリコン窒化膜サイドウォール361、362、363、364をマスクとしてもちいて、選択的にシリコン酸化膜400のを、希釈HF法によって、島状半導体層110の各段の水平面の一部において除去する（図204及び図205）。

続いて、シリコン窒化膜サイドウォール361、362、363、364を選択的に除去し、熱酸化法を用いて各島状半導体層110の露出部に第五の絶縁膜として、10nm程度の膜厚のシリコン酸化膜440（トンネル酸化膜）を形成すると同時に、膜厚が250nm程度に増加した第十七の絶縁膜であるシリコン酸化膜401を形成する（図206及び図207）。

その後、製造例1に準じ、製造例1よりトンネル酸化膜の領域が小さい半導体記憶装置（図208及び図209）を製造することができる。

【0151】

製造例3

この実施の形態の半導体記憶装置の製造方法は、図210～図215に示されており、このうち偶数図面は、図1のA-A'断面図、奇数図面はB-B'断面図である。

島状半導体層110の側壁に、第十五の絶縁膜であるシリコン酸化膜400を介してシリコン窒化膜サイドウォール361、362、363、364を配置するまでは製造例1に準じる。

シリコン窒化膜サイドウォール361、362、363、364をマスクとしてもちいて、選択的にシリコン酸化膜400を、希釈HF法によって島状半導体層110の各段の水平面の一部及び側面の一部において除去する（図210及び図211）。

続いて、シリコン窒化膜サイドウォール361、362、363、364を選択的に除去し、熱酸化法を用いて各島状半導体層110の露出部に第五の絶縁膜とし、10nm程度の膜厚のシリコン酸化膜440（トンネル酸化膜）を形成すると同時に、膜厚が250nm程度に増加した第十七の絶縁膜であるシリコン酸化膜401を形成する（図212及び図213）。

その後、製造例1に準じ、製造例1よりトンネル酸化膜の領域が大きい半導体記

憶装置(図 2 1 4 及び図 2 1 5)を製造することができる。

【0152】

製造例 4

この実施の形態の半導体記憶装置の製造方法は、図 2 1 6 ～図 2 2 1 に示されており、このうち偶数図面は、図 1 の A-A' 断面図、奇数図面は B-B' 断面図である。

製造例 1 と同様の方法により、島状半導体層 1 1 0 の各段の側壁に、第五の絶縁膜であるシリコン酸化膜 4 4 0 と第十七の絶縁膜であるシリコン酸化膜 4 0 1 とを介して、第一の導電膜である多結晶シリコン膜のサイドウォール 5 1 1、5 1 2、5 1 3、5 1 4 を形成する。最下段の選択ゲート、すなわち多結晶シリコン膜 5 1 1 は、第六の絶縁膜であるシリコン酸化膜 4 5 1 の保護により全て接続された状態を保つ。このように、サイドウォール状の多結晶シリコン膜と島状半導体層 1 1 0 に挟まれる絶縁膜は、シリコン酸化膜 4 4 0 とシリコン酸化膜 4 0 1 とで構成される(図 2 1 6 及び図 2 1 7)。

その後、公知のフォトリソグラフィ技術によりパターンニングされたレジスト R 2 をマスクとして用いて、反応性イオンエッチングによりシリコン酸化膜 4 5 1 をエッチングし、多結晶シリコン膜 5 1 1、第四の絶縁膜であるシリコン酸化膜 4 3 0、不純物拡散層 7 1 0 をエッチングし、第一の溝部 2 1 1 を形成する。これにより、図 1 の A-A' 方向について連続する第一の配線層及び選択ゲート線となる第二の配線層を分離形成する。

【0153】

次に、第七の絶縁膜としてシリコン酸化膜 4 6 1 を 20 ～ 200 nm 程度堆積し、等方性エッチングにより第一の溝部 2 1 1 及び多結晶シリコン膜 5 1 1 の上部を埋設するように、シリコン酸化膜 4 6 1 を埋め込む

続いて、露出した多結晶シリコン膜 5 1 2、5 1 3、5 1 4 の表面に、ONO 膜により層間絶縁膜 6 1 0 を形成する。次いで、第二の導電膜として多結晶シリコン膜 5 2 0 を 15 ～ 150 nm 程度堆積する(図 2 1 8 及び図 2 1 9)。この際、多結晶シリコン膜 5 1 1、5 1 2 の間に多結晶シリコン膜 5 2 0 が配置されるように、シリコン酸化膜 4 6 1 の埋め込み位置を設定する。

その後、製造例 1 に準じ、同様に制御ゲート又は選択ゲートを、メモリ・トランジスタ間又は選択トランジスタとメモリ・トランジスタとの間の島状半導体層 110 に対して、ONO 膜を介してオーバーラップさせることにより、スプリットゲート構造となる各々のトランジスタが島状半導体層に沿って直列に接続されてなる半導体記憶装置(図 220 及び図 221)を製造することができる。

【0154】

製造例 5

この実施の形態の半導体記憶装置の製造方法は、図 222～図 229 に示されており、このうち偶数図面は、図 1 の A-A' 断面図、奇数図面は B-B' 断面図である。

この実施の形態で形成する半導体記憶装置は、製造例 1 に準じ、島状半導体層 110 に沿ってメモリ・トランジスタおよび選択トランジスタのゲート電極断面形状を L 字型に形成する製造方法である。

島状半導体層 110 の側壁に、第十七の絶縁膜であるシリコン酸化膜 401 が形成されるまでは製造例 1 に準じる。

続いて、第一の導電膜となる多結晶シリコン膜 510 を 10～100 nm 程度堆積し(図 222 及び図 223)、その後、第十八の絶縁膜としてシリコン酸化膜 496 を 10～100 nm 程度堆積し、異方性エッチングして、島状半導体層 110 の段差高さにシリコン酸化膜 496 がサイドウォール状に収まるように配置する(図 224 及び図 225)。

シリコン酸化膜 496 のサイドウォールをマスクとして用いて異方性エッチング又は等方性エッチングし、島状半導体層 110 の各段の側壁に、それぞれ多結晶シリコン膜 510 を L 字型サイドウォール状に形成することで、多結晶シリコン膜 511、512、513、514 を一括分離形成する(図 226 及び図 227)。

その後、製造例 1 に準じ、島状半導体層 110 の各段の水平面に形成されるトンネル酸化膜の領域を、第一の導電膜である多結晶シリコン膜の加工時に設定して、半導体記憶装置(図 228 及び図 229)を製造することができる。

【0155】

製造例 6

この実施の形態の半導体記憶装置の製造方法は、図 230～図 237 に示されており、このうち偶数図面は、図 1 の A-A' 断面図、奇数図面は B-B' 断面図である。

この実施の形態で形成する半導体記憶装置は、製造例 5 に準じ、島状半導体層 110 に沿ってメモリ・トランジスタのゲート電極断面形状を L 字型に選択トランジスタのゲート電極断面形状を I 字型に形成する製造方法である。

製造例 5 と同様の方法により、島状半導体層 110 の側壁に、第十七の絶縁膜であるシリコン酸化膜 401 を介して第一の導電膜となる多結晶シリコン膜 510 を 10～100 nm 程度堆積する。その後、第六の絶縁膜としてシリコン酸化膜 451 を 20～200 nm 程度堆積し、所望の深さまでエッチバックを行う。第十八の絶縁膜としてシリコン酸化膜 496 を 10～100 nm 程度堆積し、シリコン酸化膜 496 を異方性エッチングして、島状半導体層 110 の段差高さに収まるようにシリコン酸化膜 496 のサイドウォールを配置する（図 230 及び図 231）。

【0156】

その後、レジストエッチバック法により、最上段の選択ゲート、すなわち第一の導電膜である多結晶シリコン膜 514 の側部に配置されてなるシリコン酸化膜 496 のサイドウォールのみを、希釈 HF により除去する（図 232 及び図 233）。

レジストをハクリ除去した後、残存したシリコン酸化膜 496 のサイドウォールをマスクとして用いて異方性エッチングを行うことにより、島状半導体層 110 のメモリ・トランジスタ部に、それぞれ多結晶シリコン膜 510 を L 字型サイドウォール状の多結晶シリコン膜 511、512、513 及び I 字型サイドウォール状の多結晶シリコン膜 514 に、一括分離加工する（図 234 及び図 235）。

その後、製造例 1 に準じ、選択ゲート絶縁膜とトンネル酸化膜とを含むメモリゲート絶縁膜を個別に設計して、半導体記憶装置（図 236 及び図 237）を製造することができる。

【0157】

【発明の効果】

本発明の半導体記憶装置によれば、メモリ・トランジスタを島状半導体層に形成することにより、メモリ・トランジスタの大容量化が可能となり、ビット当りのセル面積が縮小し、チップの縮小化及び低コスト化を図ることができる。特に、メモリ・トランジスタを備える島状半導体層が、最小加工寸法の直径（長さ）となるように形成され、互いの半導体基板柱とのスペース幅の最短距離を最小加工寸法で構成した場合には、島状半導体層当りのメモリ・トランジスタの数が2つであれば、従来の2倍の容量が得られる。よって、島状半導体層当りのメモリ・トランジスタ段数倍の大容量化が実現する。デバイス性能を決定する方向である垂直方向は最小加工寸法に依存せず、デバイスの性能を維持できる。

【0158】

また、段差を有する島状半導体層の表面に対して、例えば熱酸化法によりトンネル酸化膜を形成し、続いて多結晶シリコン膜を堆積させた状態において、反応性イオンエッチングにより多結晶シリコン膜に異方性エッチングを施ことにより、各段毎に多結晶シリコン膜がサイドウォール状に一括に分離形成されるため、ゲート形成工程が段数に依存することなく、レジストエッチバック法等による困難な高さ位置合わせ工程を要することが無くなり、特性ばらつきの小さい半導体記憶装置を得ることが可能となる。

さらに、島状半導体層の段差形状に対し自己整合的にトンネル領域を形成でき、かつ、トンネル領域面積を容易に設計でき、メモリセルの占有面積を増加させずに半導体層と電荷蓄積層の間の容量に対する電荷蓄積層と制御ゲートの間の容量比を増大させることが可能となり、メモリ動作電圧の低電圧化及び動作速度の向上を図ることができる。

【0159】

また、各メモリセルの活性領域を基板に対してフローティング状態となるように不純物拡散層を形成することで、基板からのバックバイアス効果がなくなり、読み出し時における各メモリセルの閾値の低下によるメモリセルの特性のばらつきが発生しなくなり、ビットラインとソースライン間に直列に接続するセルの数

を多くでき、大容量化が可能となる。さらに、島状半導体層の底部をソースとした場合、各メモリセルの活性領域を基板に対してフローティング状態としない場合においても、ソースにおいては段を有する島状半導体層内で最大の径を有しており、島状半導体層を階段状構造にすることによってソース抵抗は低減化し、バックバイアス効果を抑制する効果が期待され、高性能の半導体記憶装置を得ることが可能となる。

【0160】

さらに、島状半導体層を、少なくとも一つの段差を有する柱状に加工した側面を活性領域面とし、各段の側面にそれぞれトンネル酸化膜及び電荷蓄積層として浮遊ゲートを配置し、浮遊ゲートの側部の少なくとも一部に層間絶縁膜を介して制御ゲートを配置することで、制御性の高いイオン注入法を用いることにより、ゲートに対して自己整合で素子間拡散層を容易に形成することが可能となる。浮遊ゲート及び制御ゲートへの不純物導入時に同時に素子間拡散層を形成することも可能であり、実質的に素子間拡散層形成工程を導入することなく、該拡散層を形成することも可能である。

また、高濃度に不純物導入した膜からの拡散による素子間拡散層形成と比較して、イオン注入法は、偏析の問題による拡散種の制限が無い場合、大変自由度が高く、拡散では困難である砒素の導入等も比較的容易に行うことが可能であり、所望の拡散層分布をより自由に得ることができる。

【0161】

しかも、n型のみならずp型半導体記憶装置の形成も比較的容易に実現され、半導体基板円柱を用いたトランジスタによるインバータ若しくは論理回路等の構築の実現も期待される。

また、ゲートの一括分離形成が極めて容易に実現し、かつ段数に依存しないため、複数のメモリセルが半導体基板面に対し垂直方向に直列に配置されてなる構造を有する半導体記憶装置を、少ない工程で制御よく形成し、安価に、短期間で製造することができるとともに、トンネル酸化膜及び電荷蓄積層又はゲート酸化膜及び制御ゲートは各々のメモリセル又は選択ゲート・トランジスタに対して同質のものが得られ、同様に、層間絶縁膜及び制御ゲートも各々のメモリセルに対し

て同質のものが得られ、特性ばらつきの小さい半導体記憶装置を容易に製造することが可能となる。

【図面の簡単な説明】

【図 1】 本発明の半導体記憶装置において電荷蓄積層として浮遊ゲートを有する E E P R O M のメモリセルアレイを示す平面図である。

【図 2】 電荷蓄積層として浮遊ゲートを有する E E P R O M の別のメモリセルアレイを示す平面図である。

【図 3】 電荷蓄積層として浮遊ゲートを有する E E P R O M の別のメモリセルアレイを示す平面図である。

【図 4】 電荷蓄積層として浮遊ゲートを有する E E P R O M の別のメモリセルアレイを示す平面図である。

【図 5】 電荷蓄積層として浮遊ゲートを有する E E P R O M の別のメモリセルアレイを示す平面図である。

【図 6】 電荷蓄積層として浮遊ゲートを有する E E P R O M の別のメモリセルアレイを示す平面図である。

【図 7】 本発明の半導体記憶装置において電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における A - A ' 断面図に対応する断面図である。

【図 8】 電荷蓄積層として浮遊ゲートを有する別の半導体記憶装置の図 1 における B - B ' 断面図に対応する断面図である。

【図 9】 電荷蓄積層として浮遊ゲートを有する別の半導体記憶装置の図 1 における A - A ' 断面図に対応する断面図である。

【図 10】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における B - B ' 断面図に対応する断面図である。

【図 11】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における A - A ' 断面図に対応する断面図である。

【図 12】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における B - B ' 断面図に対応する断面図である。

【図 13】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における A - A ' 断面図に対応する断面図である。

【図 14】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 15】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における A-A' 断面図に対応する断面図である。

【図 16】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 17】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における A-A' 断面図に対応する断面図である。

【図 18】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 19】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における A-A' 断面図に対応する断面図である。

【図 20】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 21】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における A-A' 断面図に対応する断面図である。

【図 22】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 23】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における A-A' 断面図に対応する断面図である。

【図 24】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 25】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における A-A' 断面図に対応する断面図である。

【図 26】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 27】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における A-A' 断面図に対応する断面図である。

【図 28】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 におけ

る B-B' 断面図に対応する断面図である。

【図 29】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における A-A' 断面図に対応する断面図である。

【図 30】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 31】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における A-A' 断面図に対応する断面図である。

【図 32】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 33】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における A-A' 断面図に対応する断面図である。

【図 34】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 35】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における A-A' 断面図に対応する断面図である。

【図 36】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 37】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における A-A' 断面図に対応する断面図である。

【図 38】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 39】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における A-A' 断面図に対応する断面図である。

【図 40】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 41】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における A-A' 断面図に対応する断面図である。

【図 42】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 4 3】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における A-A' 断面図に対応する断面図である。

【図 4 4】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 4 5】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における A-A' 断面図に対応する断面図である。

【図 4 6】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 4 7】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における A-A' 断面図に対応する断面図である。

【図 4 8】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 4 9】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における A-A' 断面図に対応する断面図である。

【図 5 0】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 5 1】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における A-A' 断面図に対応する断面図である。

【図 5 2】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 5 3】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における A-A' 断面図に対応する断面図である。

【図 5 4】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 5 5】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における A-A' 断面図に対応する断面図である。

【図 5 6】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 5 7】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 にお

る A-A' 断面図に対応する断面図である。

【図 58】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 59】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における A-A' 断面図に対応する断面図である。

【図 60】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 61】 本発明の半導体記憶装置の等価回路図である。

【図 62】 本発明の半導体記憶装置の等価回路図である。

【図 63】 本発明の半導体記憶装置の等価回路図である。

【図 64】 本発明の半導体記憶装置の等価回路図である。

【図 65】 本発明の半導体記憶装置の等価回路図である。

【図 66】 本発明の半導体記憶装置の等価回路図である。

【図 67】 本発明の半導体記憶装置の等価回路図である。

【図 68】 本発明の半導体記憶装置の等価回路図である。

【図 69】 本発明の半導体記憶装置の等価回路図である。

【図 70】 本発明の半導体記憶装置の等価回路図である。

【図 71】 本発明の半導体記憶装置の等価回路図である。

【図 72】 本発明の半導体記憶装置の等価回路図である。

【図 73】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 74】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 75】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 76】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 77】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 7 8】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 7 9】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 8 0】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 8 1】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 8 2】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 8 3】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 8 4】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 8 5】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 8 6】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 8 7】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 8 8】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 8 9】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 9 0】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 9 1】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 9 2】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す

図である。

【図 9 3】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 9 4】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 9 5】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 9 6】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 9 7】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 9 8】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 9 9】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 0 0】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 0 1】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 0 2】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 0 3】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 0 4】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 0 5】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 0 6】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 0 7】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 0 8】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 0 9】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 1 0】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 1 1】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 1 2】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 1 3】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 1 4】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 1 5】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 1 6】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 1 7】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 1 8】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 1 9】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 2 0】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 2 1】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示

す図である。

【図 1 2 2】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 2 3】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 2 4】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 2 5】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 2 6】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 2 7】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 2 8】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 2 9】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 3 0】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 3 1】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 3 2】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 3 3】 本発明の半導体記憶装置の動作時電圧のタイミングチャートを示す図である。

【図 1 3 4】 本発明の半導体記憶装置の動作時電圧のタイミングチャートの一例を示す図である。

【図 1 3 5】 本発明の半導体記憶装置の動作時電圧のタイミングチャートの一例を示す図である。

【図 1 3 6】 本発明の半導体記憶装置の動作時電圧のタイミングチャートの一例を示す図である。

【図 1 3 7】 本発明の半導体記憶装置の動作時電圧のタイミングチャートの一例を示す図である。

【図 1 3 8】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A' 線）工程図である。

【図 1 3 9】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B - B' 線）工程図である。

【図 1 4 0】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A' 線）工程図である。

【図 1 4 1】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B - B' 線）工程図である。

【図 1 4 2】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A' 線）工程図である。

【図 1 4 3】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B - B' 線）工程図である。

【図 1 4 4】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A' 線）工程図である。

【図 1 4 5】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B - B' 線）工程図である。

【図 1 4 6】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A' 線）工程図である。

【図 1 4 7】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B - B' 線）工程図である。

【図 1 4 8】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A' 線）工程図である。

【図 1 4 9】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B - B' 線）工程図である。

【図 1 5 0】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A' 線

）工程図である。

【図 1 5 1】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B - B' 線）工程図である。

【図 1 5 2】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A' 線）工程図である。

【図 1 5 3】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B - B' 線）工程図である。

【図 1 5 4】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A' 線）工程図である。

【図 1 5 5】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B - B' 線）工程図である。

【図 1 5 6】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A' 線）工程図である。

【図 1 5 7】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B - B' 線）工程図である。

【図 1 5 8】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A' 線）工程図である。

【図 1 5 9】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B - B' 線）工程図である。

【図 1 6 0】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A' 線）工程図である。

【図 1 6 1】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B - B' 線）工程図である。

【図 1 6 2】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A' 線）工程図である。

【図 1 6 3】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B - B' 線）工程図である。

【図 1 6 4】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A' 線）工程図である。

【図 1 6 5】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B - B' 線）工程図である。

【図 1 6 6】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A' 線）工程図である。

【図 1 6 7】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B - B' 線）工程図である。

【図 1 6 8】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A' 線）工程図である。

【図 1 6 9】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B - B' 線）工程図である。

【図 1 7 0】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A' 線）工程図である。

【図 1 7 1】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B - B' 線）工程図である。

【図 1 7 2】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A' 線）工程図である。

【図 1 7 3】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B - B' 線）工程図である。

【図 1 7 4】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A' 線）工程図である。

【図 1 7 5】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B - B' 線）工程図である。

【図 1 7 6】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A' 線）工程図である。

【図 1 7 7】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B - B' 線）工程図である。

【図 1 7 8】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A' 線）工程図である。

【図 1 7 9】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B - B' 線）

）工程図である。

【図 180】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A-A' 線）工程図である。

【図 181】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B-B' 線）工程図である。

【図 182】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A-A' 線）工程図である。

【図 183】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B-B' 線）工程図である。

【図 184】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A-A' 線）工程図である。

【図 185】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B-B' 線）工程図である。

【図 186】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A-A' 線）工程図である。

【図 187】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B-B' 線）工程図である。

【図 188】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A-A' 線）工程図である。

【図 189】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B-B' 線）工程図である。

【図 190】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A-A' 線）工程図である。

【図 191】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B-B' 線）工程図である。

【図 192】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A-A' 線）工程図である。

【図 193】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B-B' 線）工程図である。

【図 1 9 4】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A' 線）工程図である。

【図 1 9 5】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B - B' 線）工程図である。

【図 1 9 6】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A' 線）工程図である。

【図 1 9 7】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B - B' 線）工程図である。

【図 1 9 8】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A' 線）工程図である。

【図 1 9 9】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B - B' 線）工程図である。

【図 2 0 0】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A' 線）工程図である。

【図 2 0 1】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B - B' 線）工程図である。

【図 2 0 2】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A' 線）工程図である。

【図 2 0 3】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B - B' 線）工程図である。

【図 2 0 4】 本発明の半導体記憶装置の製造例 2 を示す断面（図 1 の A - A' 線）工程図である。

【図 2 0 5】 本発明の半導体記憶装置の製造例 2 を示す断面（図 1 の B - B' 線）工程図である。

【図 2 0 6】 本発明の半導体記憶装置の製造例 2 を示す断面（図 1 の A - A' 線）工程図である。

【図 2 0 7】 本発明の半導体記憶装置の製造例 2 を示す断面（図 1 の B - B' 線）工程図である。

【図 2 0 8】 本発明の半導体記憶装置の製造例 2 を示す断面（図 1 の A - A' 線）工程図である。

線) 工程図である。

【図 2 0 9】 本発明の半導体記憶装置の製造例 2 を示す断面 (図 1 の B - B' 線) 工程図である。

【図 2 1 0】 本発明の半導体記憶装置の製造例 3 を示す断面 (図 1 の A - A' 線) 工程図である。

【図 2 1 1】 本発明の半導体記憶装置の製造例 3 を示す断面 (図 1 の B - B' 線) 工程図である。

【図 2 1 2】 本発明の半導体記憶装置の製造例 3 を示す断面 (図 1 の A - A' 線) 工程図である。

【図 2 1 3】 本発明の半導体記憶装置の製造例 3 を示す断面 (図 1 の B - B' 線) 工程図である。

【図 2 1 4】 本発明の半導体記憶装置の製造例 3 を示す断面 (図 1 の A - A' 線) 工程図である。

【図 2 1 5】 本発明の半導体記憶装置の製造例 3 を示す断面 (図 1 の B - B' 線) 工程図である。

【図 2 1 6】 本発明の半導体記憶装置の製造例 4 を示す断面 (図 1 の A - A' 線) 工程図である。

【図 2 1 7】 本発明の半導体記憶装置の製造例 4 を示す断面 (図 1 の B - B' 線) 工程図である。

【図 2 1 8】 本発明の半導体記憶装置の製造例 4 を示す断面 (図 1 の A - A' 線) 工程図である。

【図 2 1 9】 本発明の半導体記憶装置の製造例 4 を示す断面 (図 1 の B - B' 線) 工程図である。

【図 2 2 0】 本発明の半導体記憶装置の製造例 4 を示す断面 (図 1 の A - A' 線) 工程図である。

【図 2 2 1】 本発明の半導体記憶装置の製造例 4 を示す断面 (図 1 の B - B' 線) 工程図である。

【図 2 2 2】 本発明の半導体記憶装置の製造例 5 を示す断面 (図 1 の A - A' 線) 工程図である。

【図 2 2 3】 本発明の半導体記憶装置の製造例 5 を示す断面（図 1 の B - B' 線）工程図である。

【図 2 2 4】 本発明の半導体記憶装置の製造例 5 を示す断面（図 1 の A - A' 線）工程図である。

【図 2 2 5】 本発明の半導体記憶装置の製造例 5 を示す断面（図 1 の B - B' 線）工程図である。

【図 2 2 6】 本発明の半導体記憶装置の製造例 5 を示す断面（図 1 の A - A' 線）工程図である。

【図 2 2 7】 本発明の半導体記憶装置の製造例 5 を示す断面（図 1 の B - B' 線）工程図である。

【図 2 2 8】 本発明の半導体記憶装置の製造例 5 を示す断面（図 1 の A - A' 線）工程図である。

【図 2 2 9】 本発明の半導体記憶装置の製造例 5 を示す断面（図 1 の B - B' 線）工程図である。

【図 2 3 0】 本発明の半導体記憶装置の製造例 6 を示す断面（図 1 の A - A' 線）工程図である。

【図 2 3 1】 本発明の半導体記憶装置の製造例 6 を示す断面（図 1 の B - B' 線）工程図である。

【図 2 3 2】 本発明の半導体記憶装置の製造例 6 を示す断面（図 1 の A - A' 線）工程図である。

【図 2 3 3】 本発明の半導体記憶装置の製造例 6 を示す断面（図 1 の B - B' 線）工程図である。

【図 2 3 4】 本発明の半導体記憶装置の製造例 6 を示す断面（図 1 の A - A' 線）工程図である。

【図 2 3 5】 本発明の半導体記憶装置の製造例 6 を示す断面（図 1 の B - B' 線）工程図である。

【図 2 3 6】 本発明の半導体記憶装置の製造例 6 を示す断面（図 1 の A - A' 線）工程図である。

【図 2 3 7】 本発明の半導体記憶装置の製造例 6 を示す断面（図 1 の B - B' 線）工程図である。

線) 工程図である。

【図 2 3 8】 従来のEEPROMを示す平面図である。

【図 2 3 9】 図 2 3 8 の A - A' 及び B - B' 断面図である。

【図 2 4 0】 従来のEEPROMの製造方法を示す工程断面図である。

【図 2 4 1】 従来のEEPROMの製造方法を示す工程断面図である。

【図 2 4 2】 従来のEEPROMの製造方法を示す工程断面図である。

【図 2 4 3】 従来のEEPROMの製造方法を示す工程断面図である。

【図 2 4 4】 従来のEEPROMの平面図及び対応する等価回路図である。

【図 2 4 5】 従来のMNOS構造のメモリセルの断面図である

【図 2 4 6】 従来の別のMNOS構造のメモリセルの断面図である

【図 2 4 7】 一つの柱状シリコン層に複数のメモリセルを形成した半導体装置の断面図である。

【符号の説明】

100 p 型半導体基板

101 p 型SOI半導体基板層

110 島状半導体層

210、211、212、213、214 溝部

400、401、410、421、422、423、424、430、451、452、453、454、460、461、
462、463、464、480、490、495、496 シリコン酸化膜

311、312、313、320、330、340、353、354、360、361、362、363、364 シリ
コン窒化膜

500、510、511、512、513、514、520、521、522、523、524、530、533、534、
540、550、563、564 多結晶シリコン膜

610、611、612、613 層間絶縁膜

710、720、721、722、723、724、725 不純物拡散層

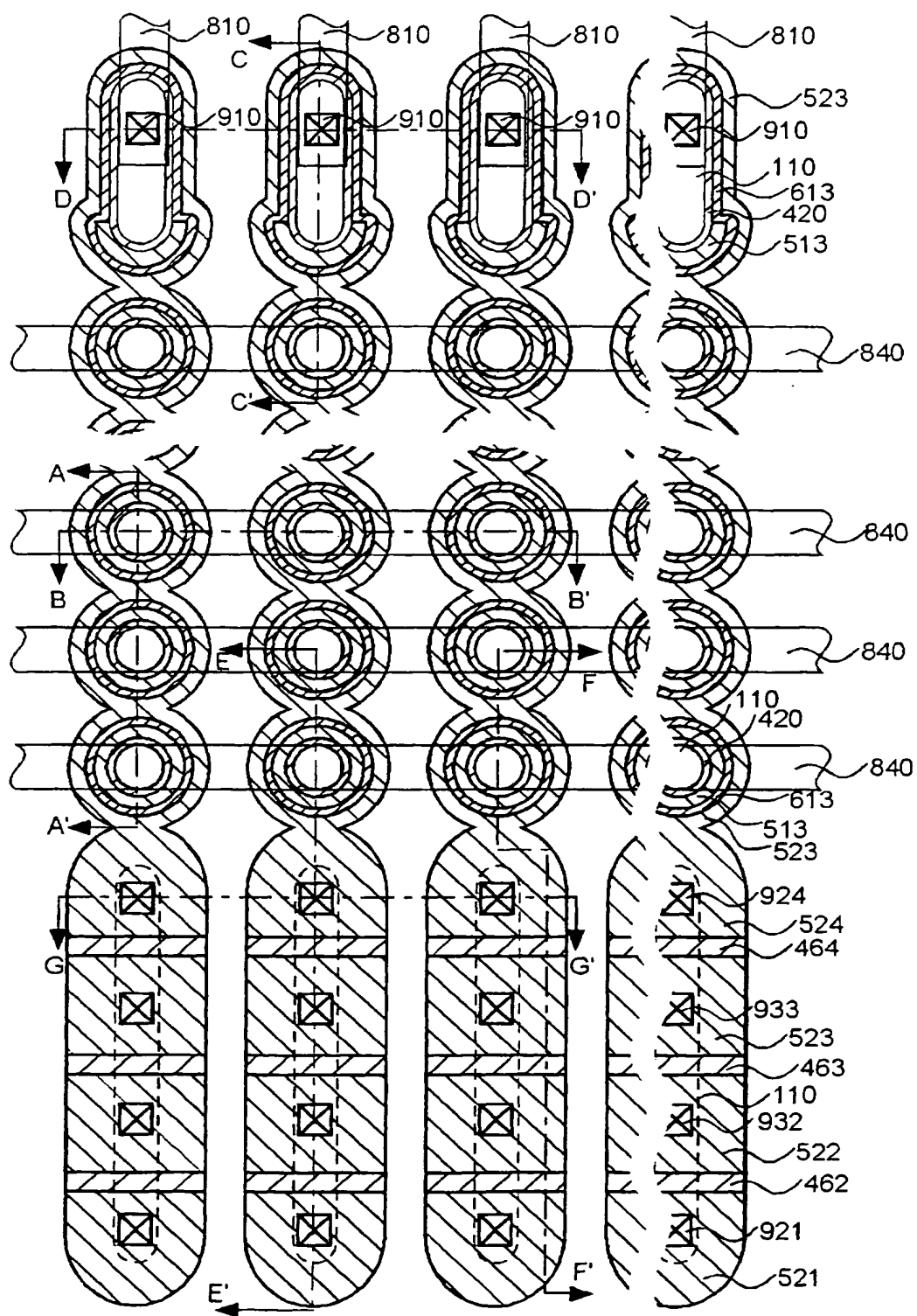
810、821、824、832、833、840 配線層

910、921、932、933、924 コンタクト部

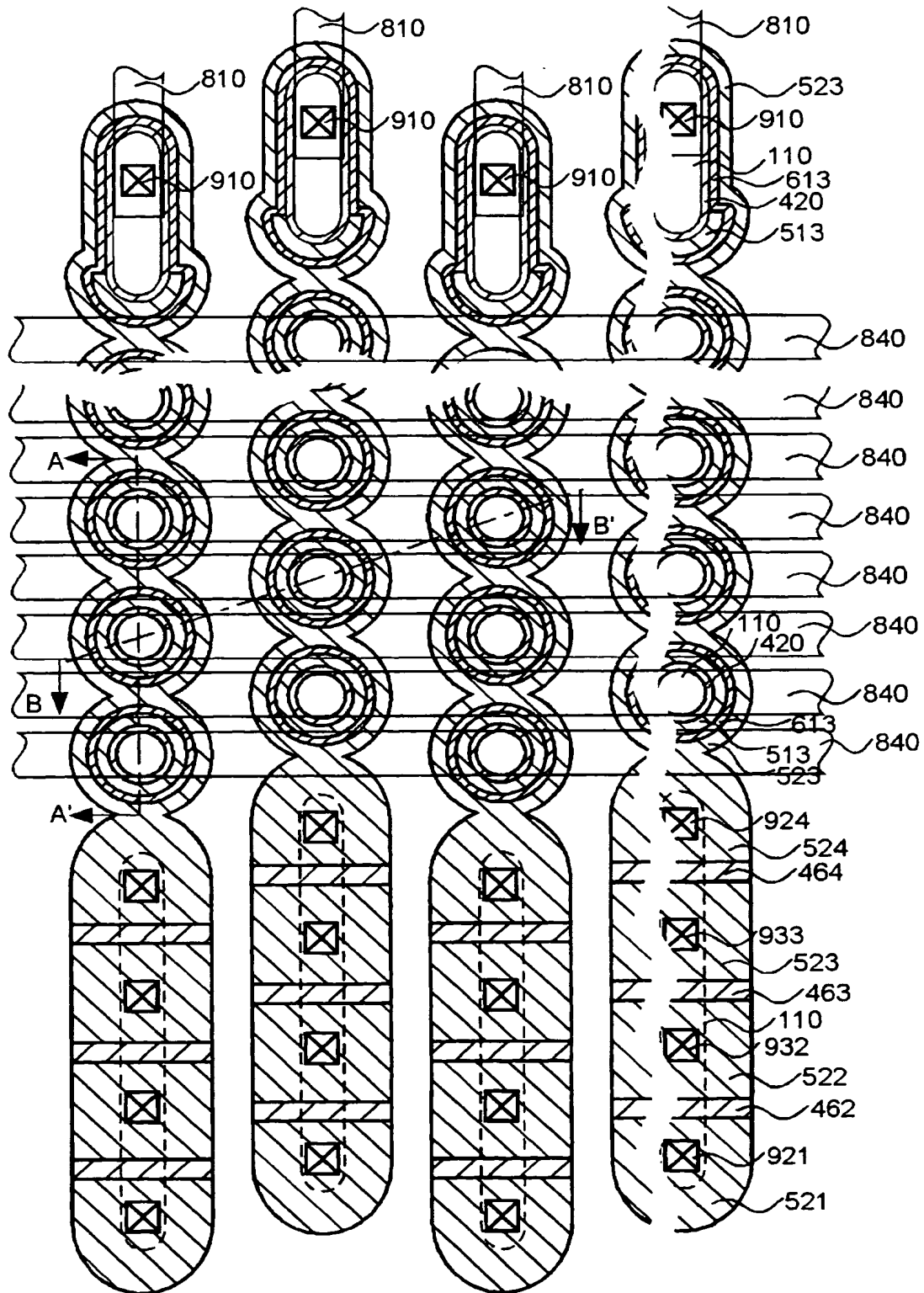
R1、R2、R3、R4、R5、R6 レジスト

【書類名】 図面

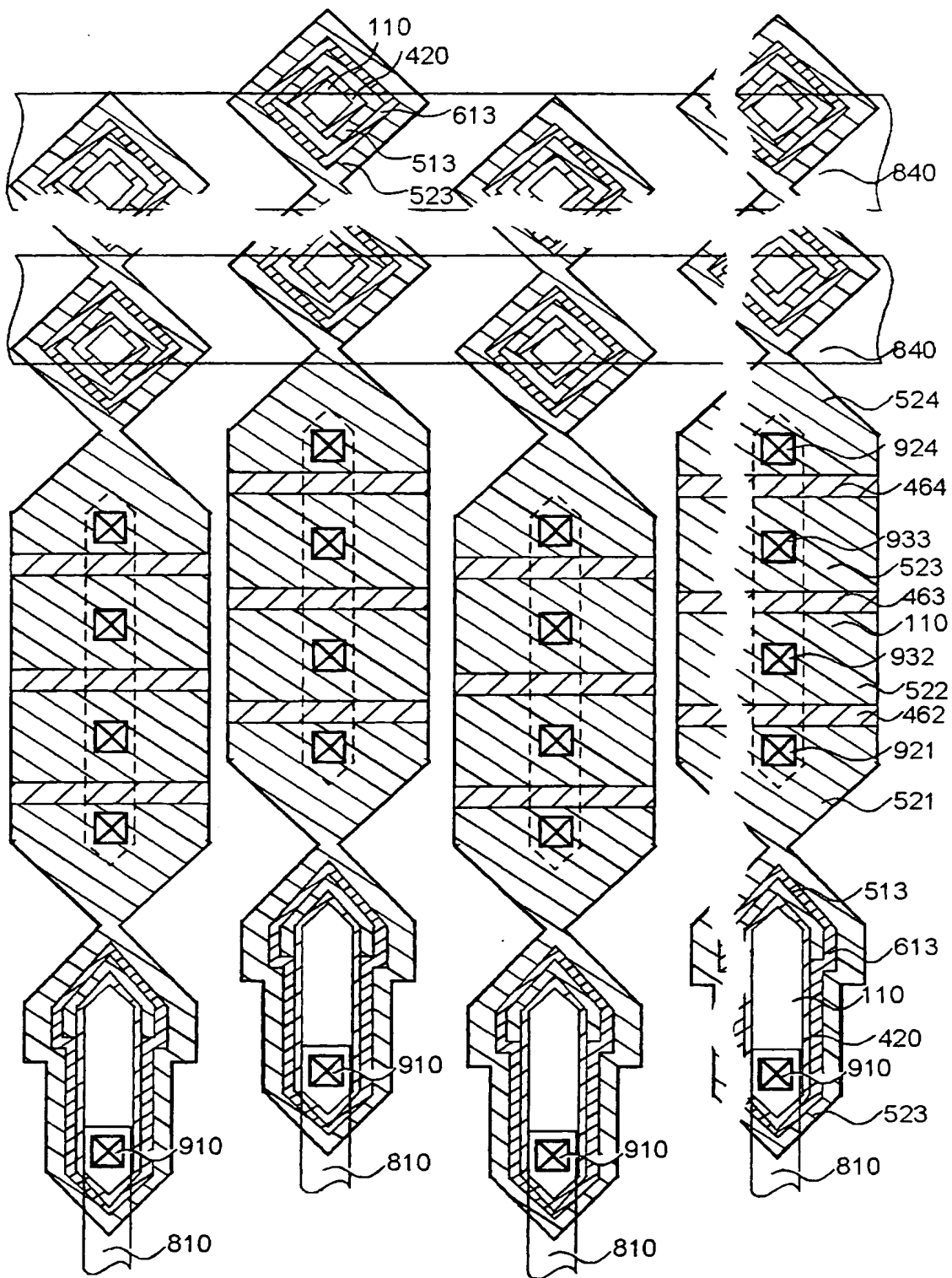
【図 1】



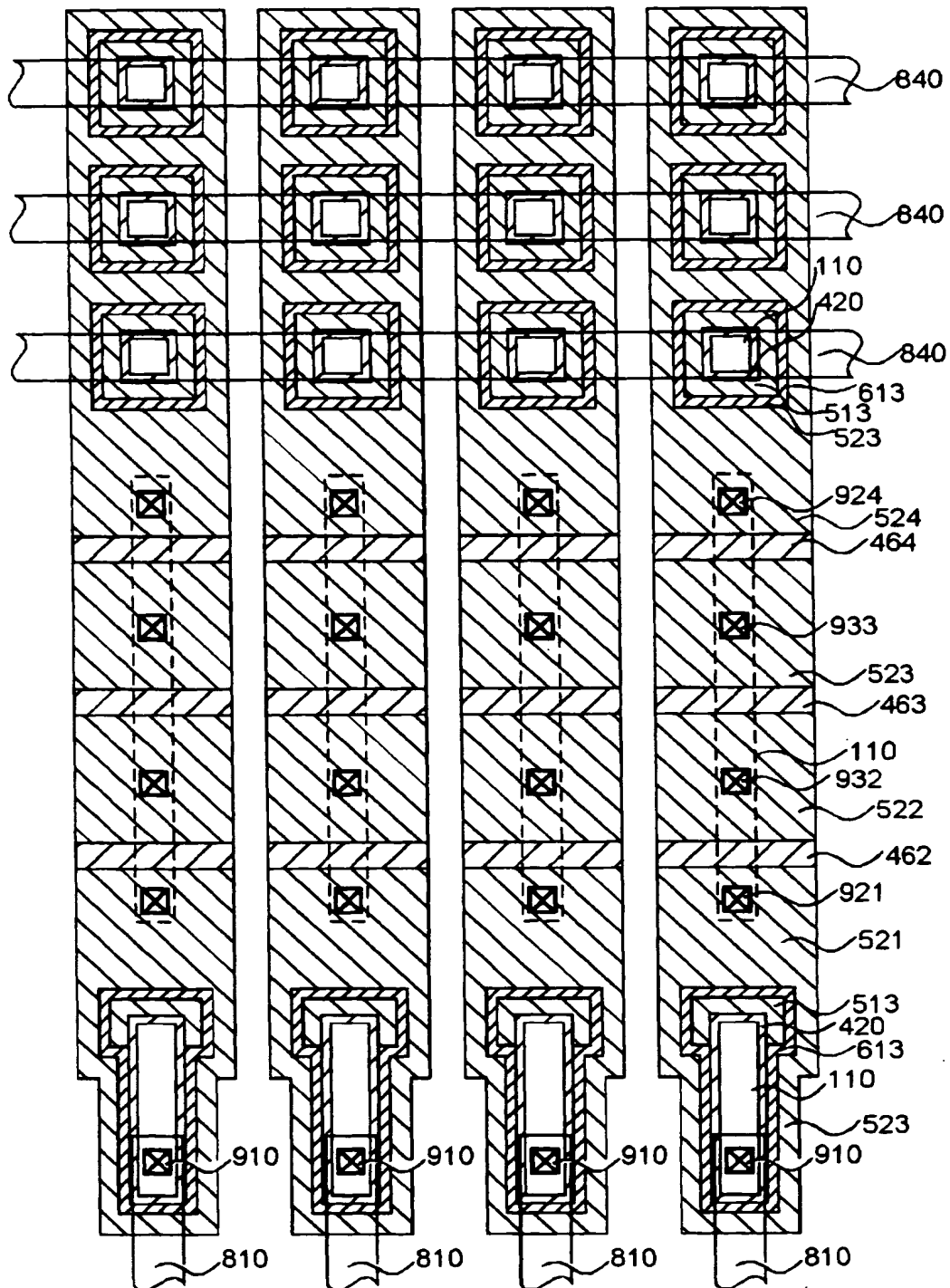
【図 2】



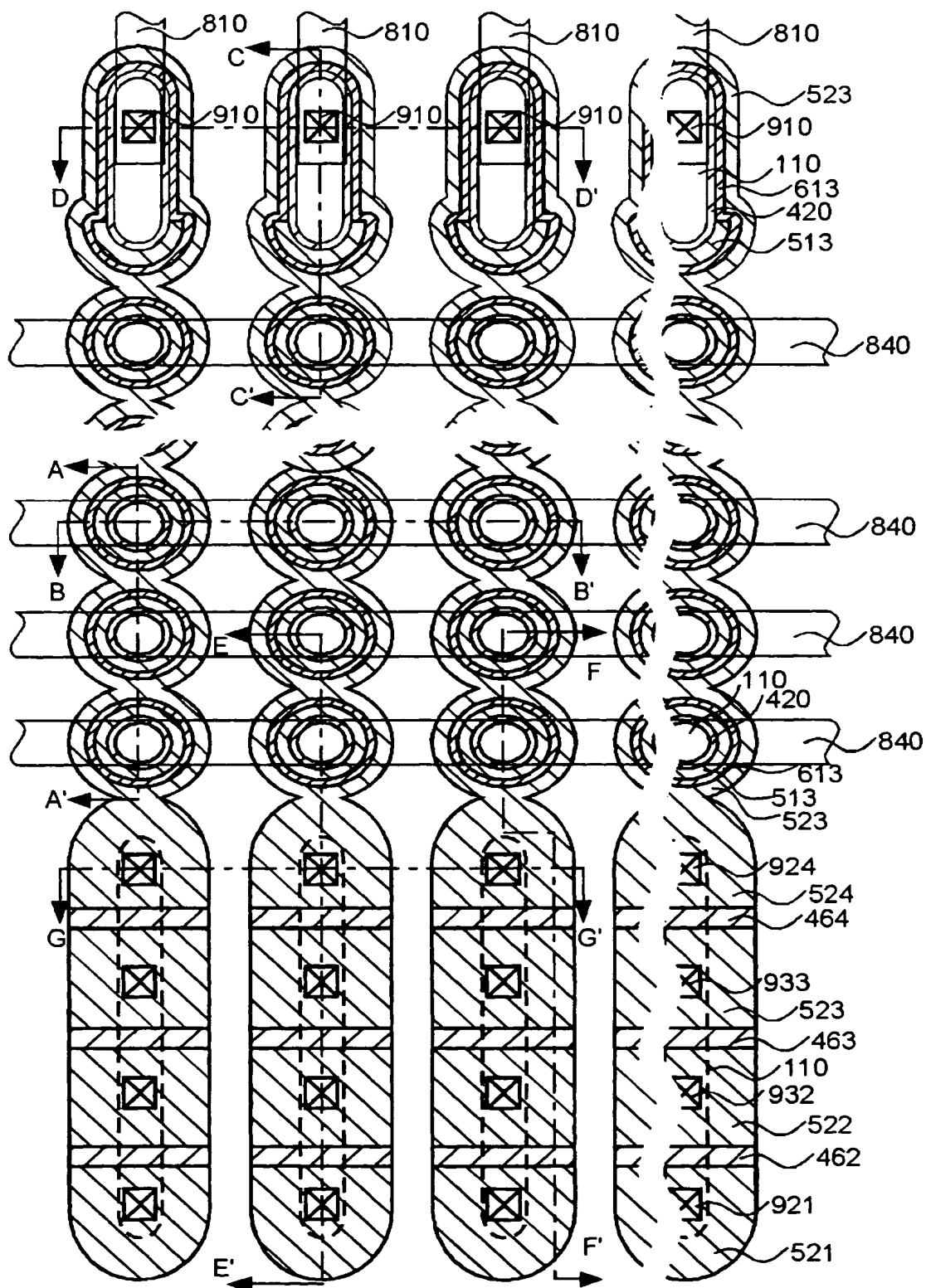
【図 3】



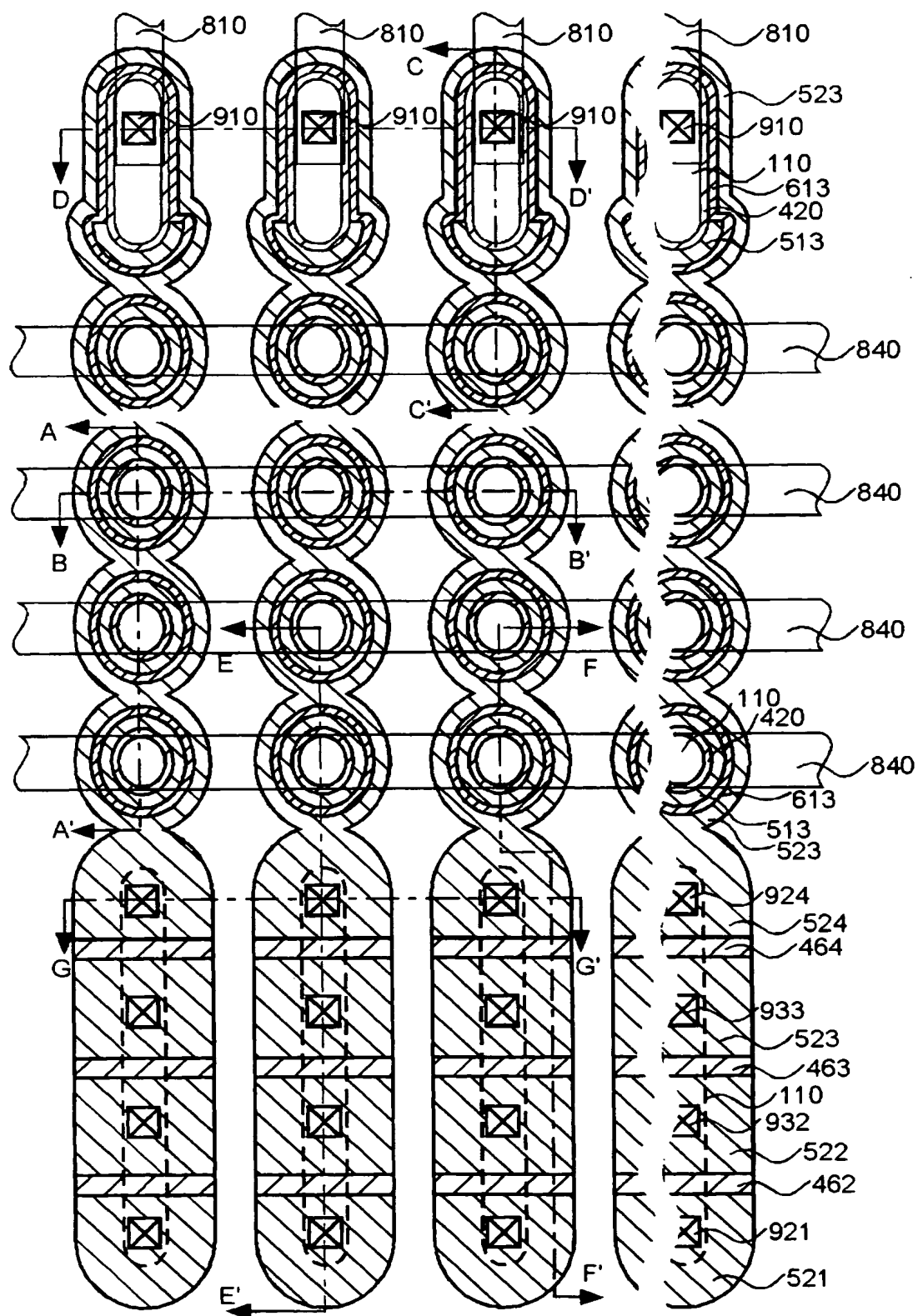
【図 4】



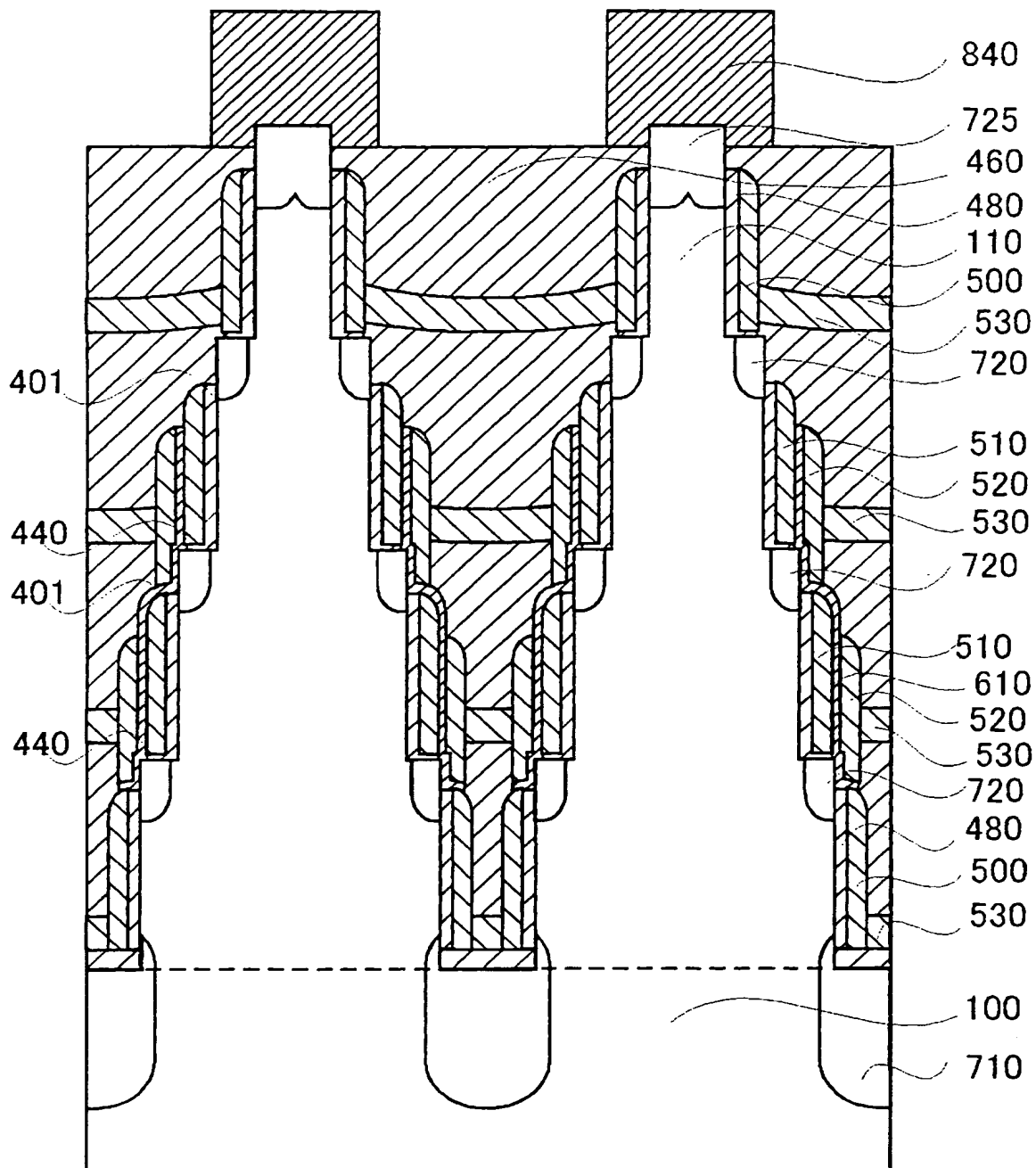
【図 5】



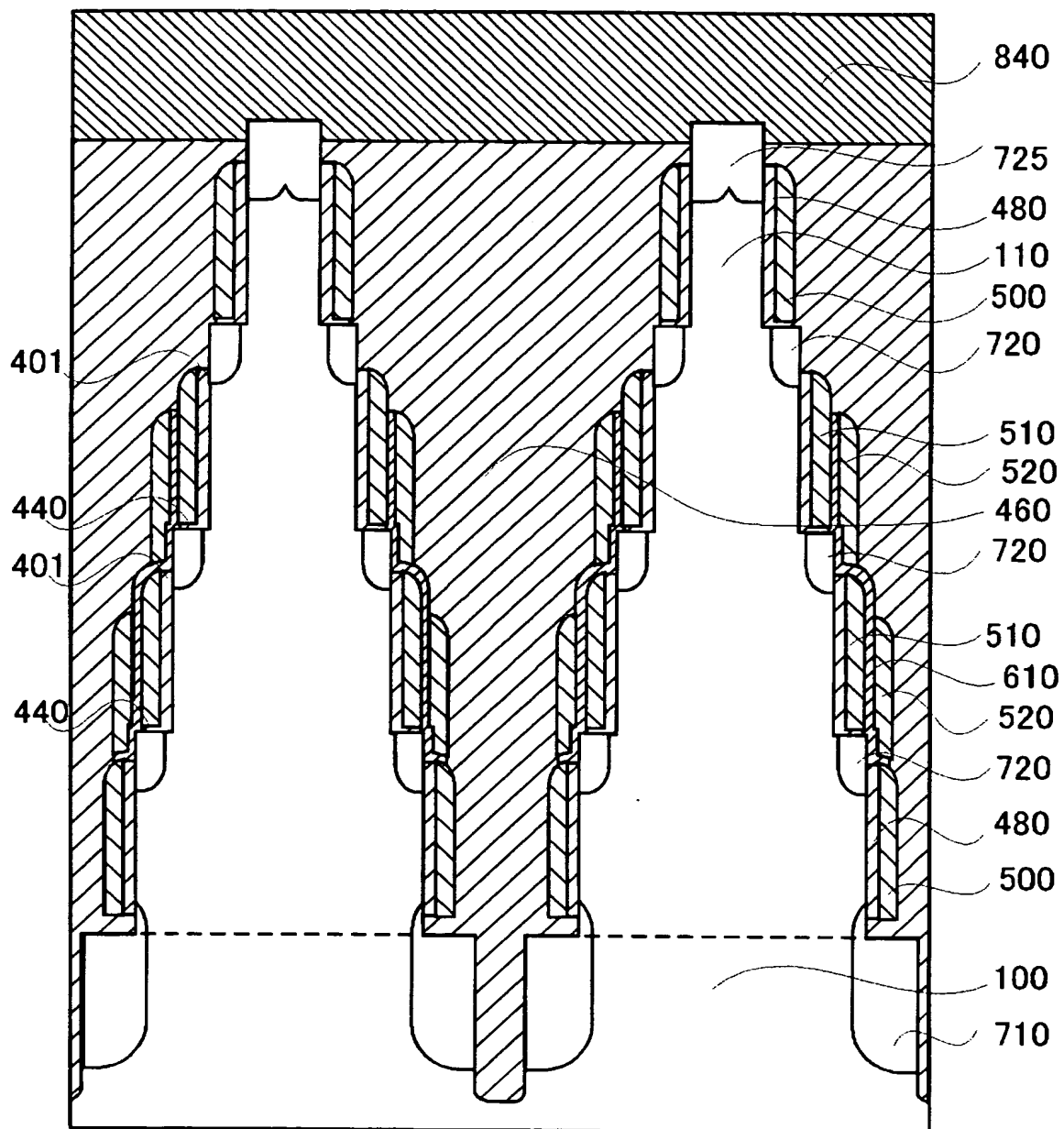
【図 6】



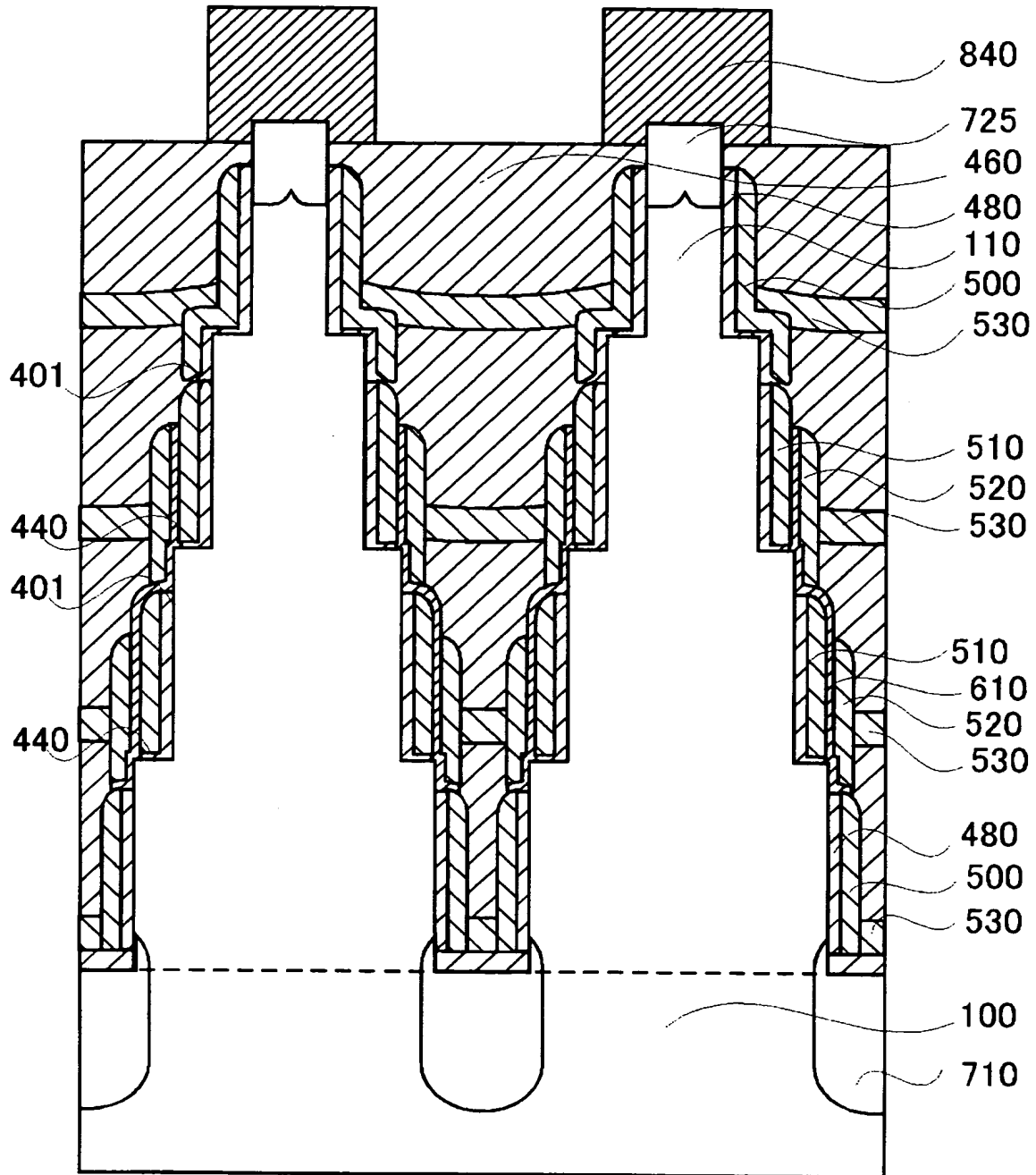
【図 7】



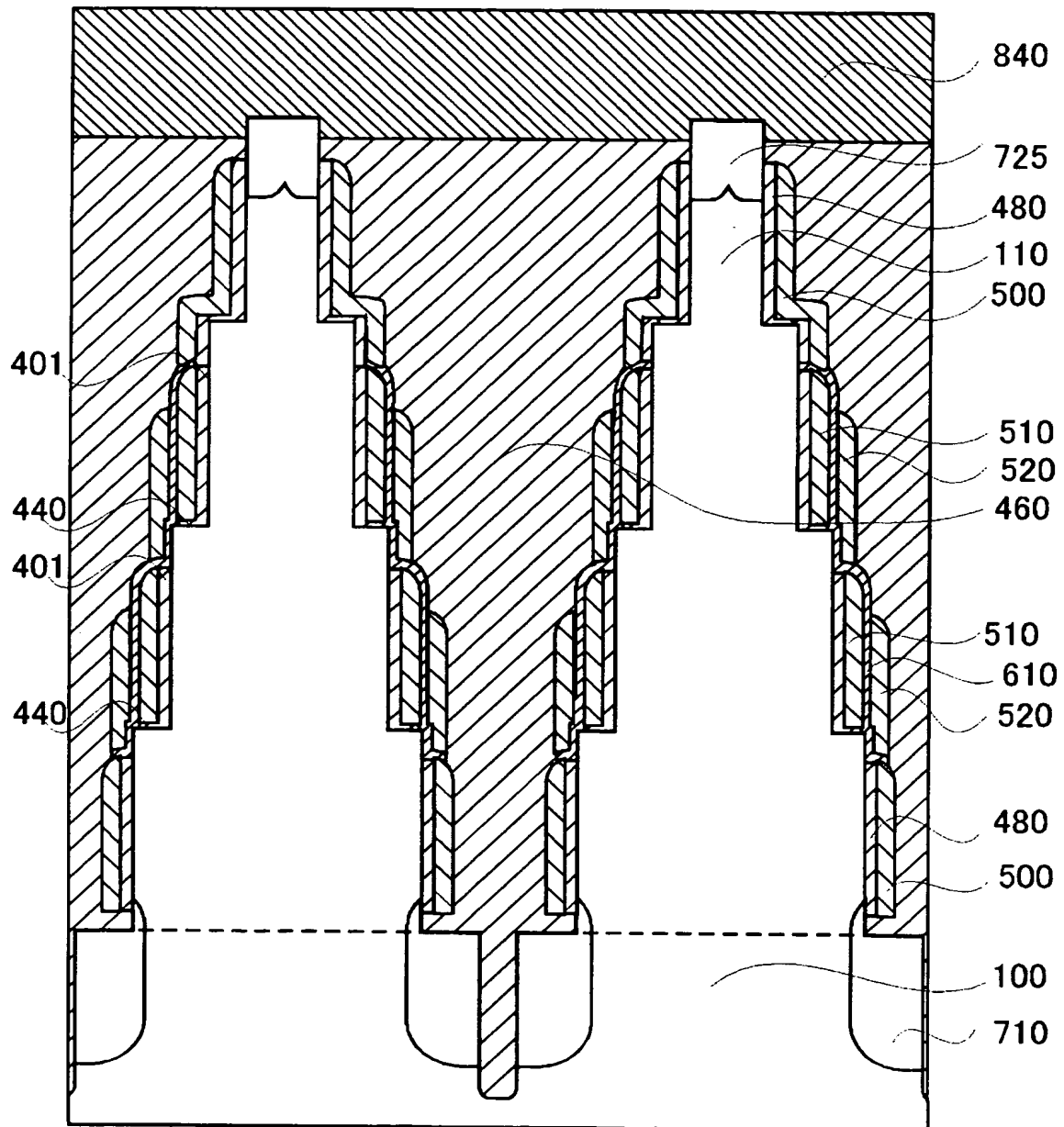
【図 8】



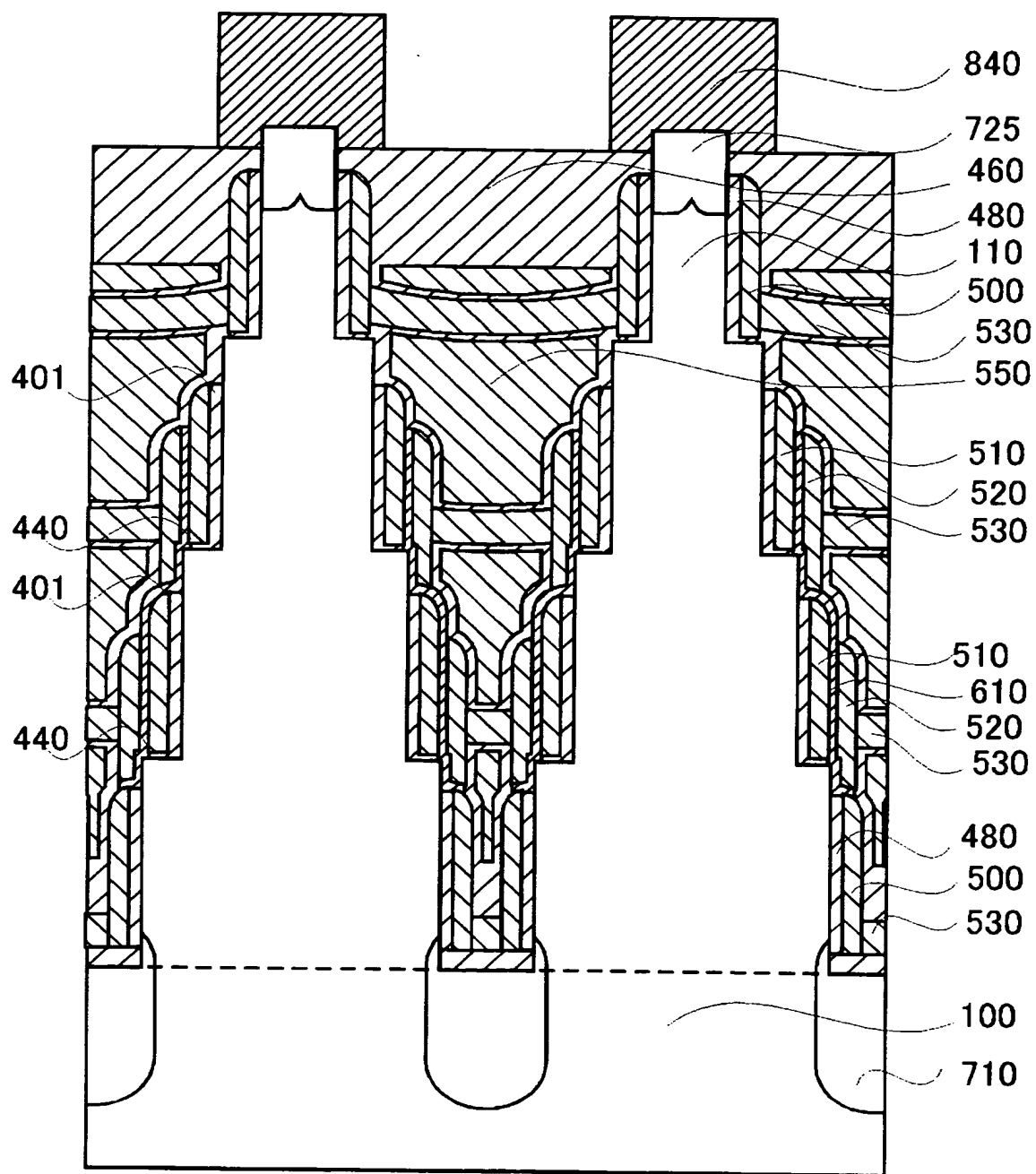
【図 9】



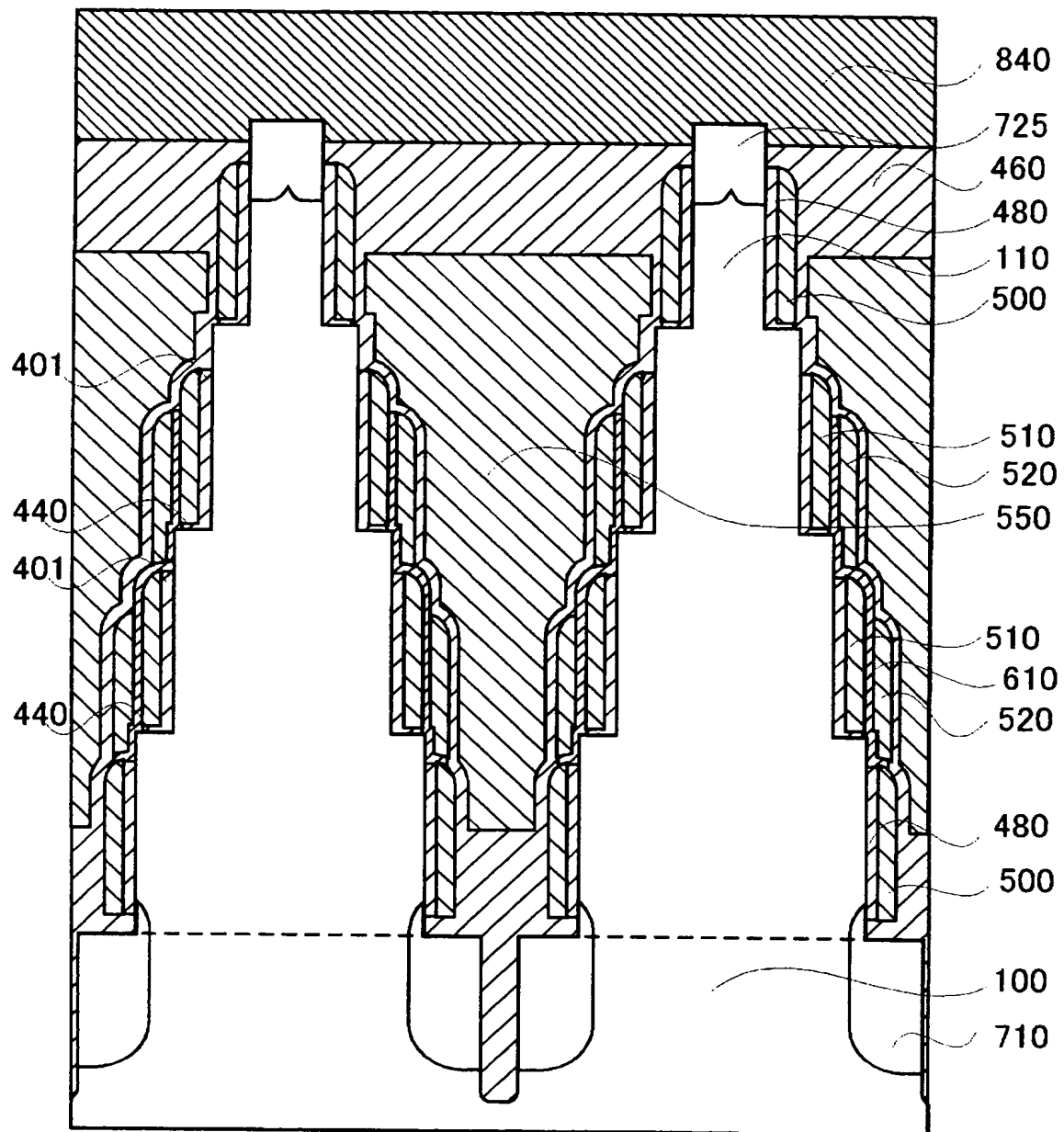
【図 10】



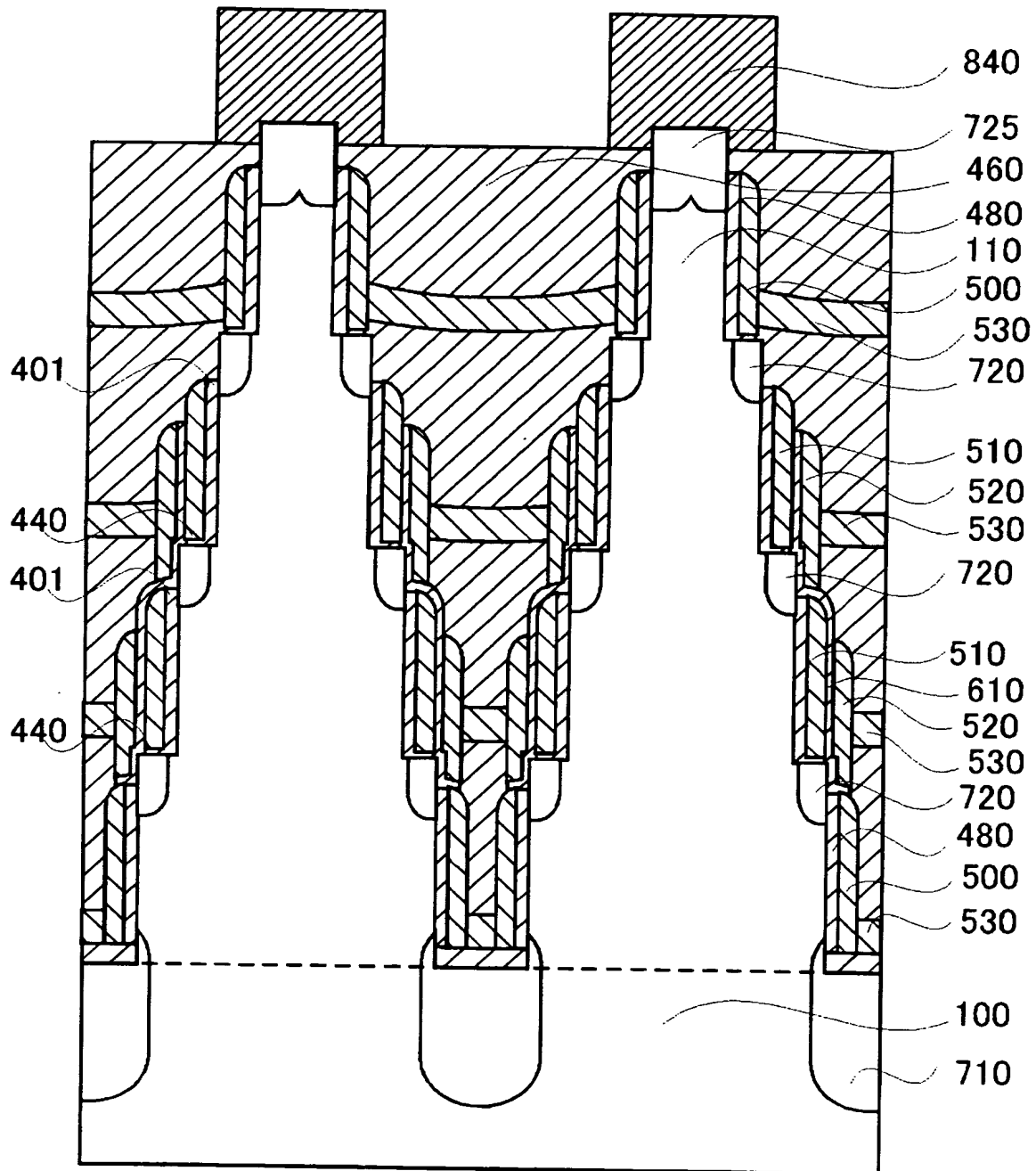
【図 11】



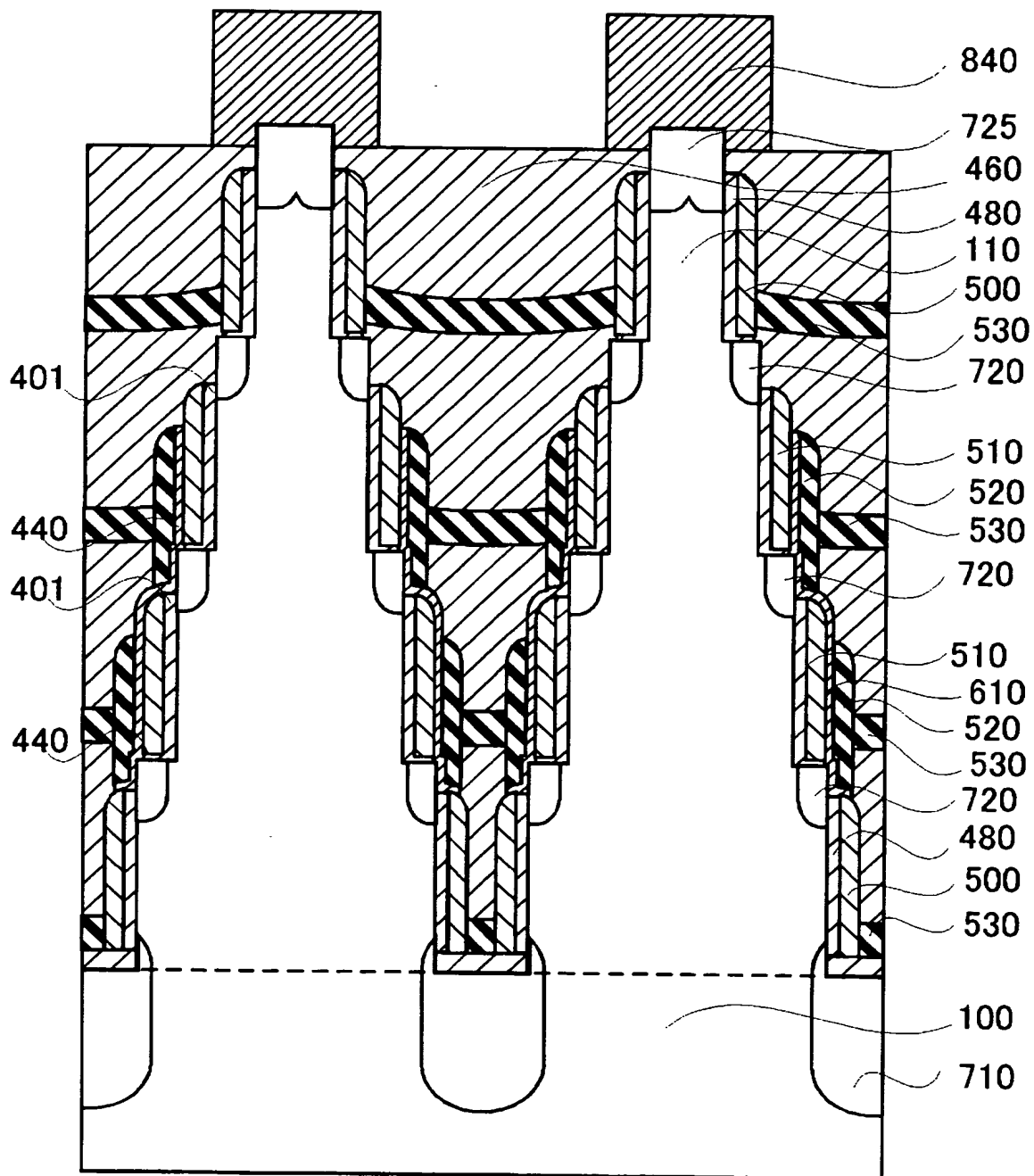
【図 12】



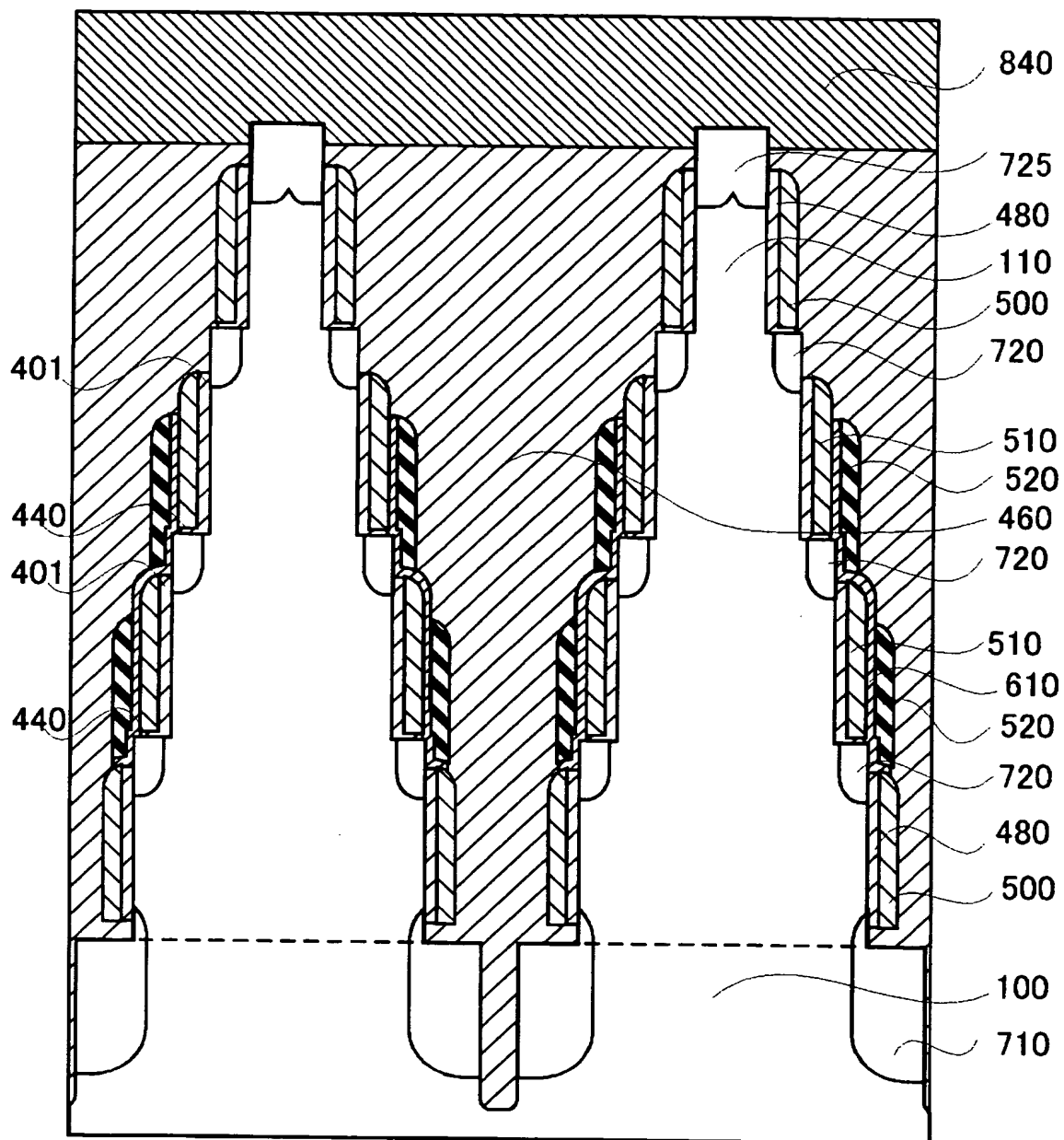
【図 13】



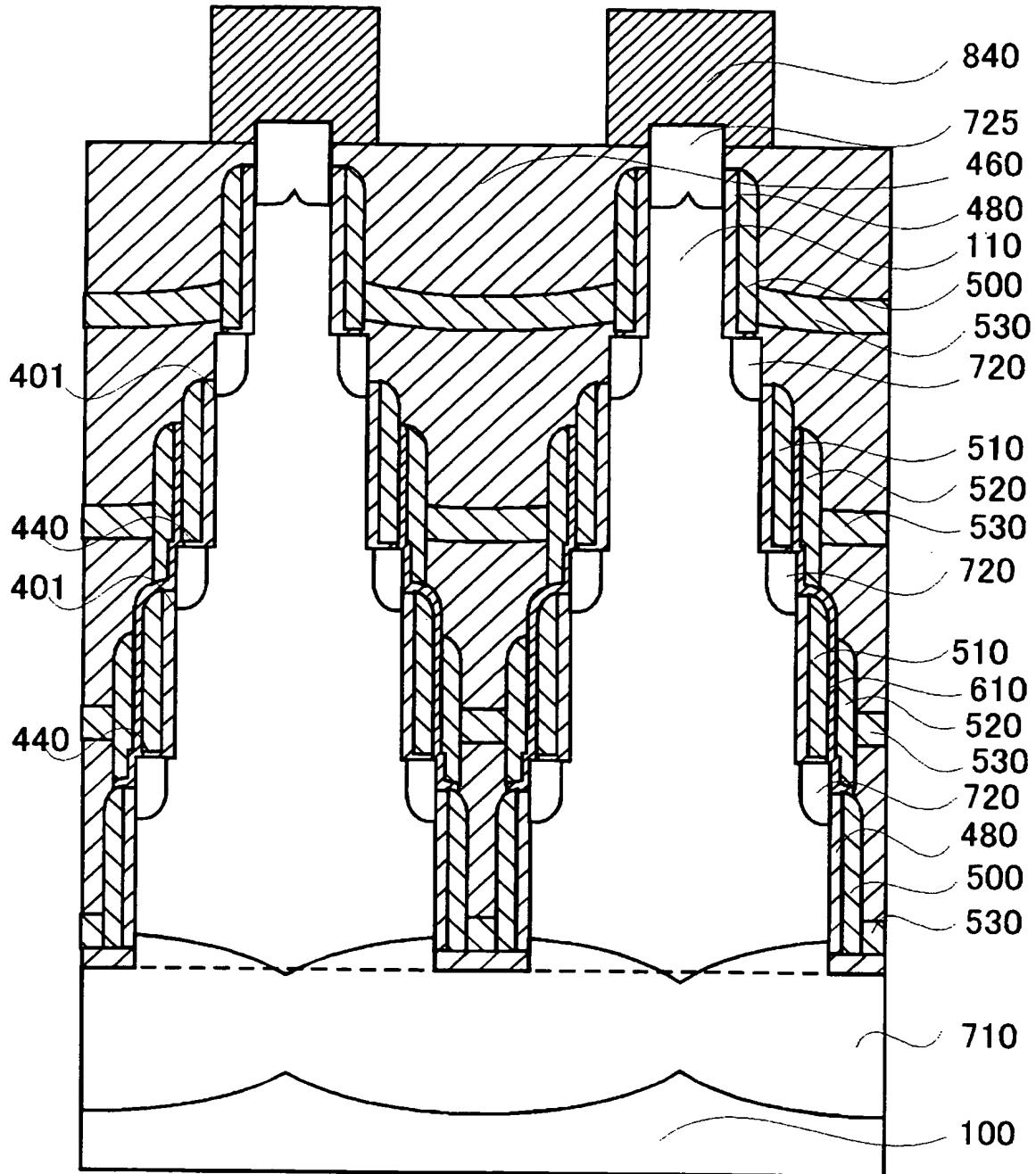
【図 15】



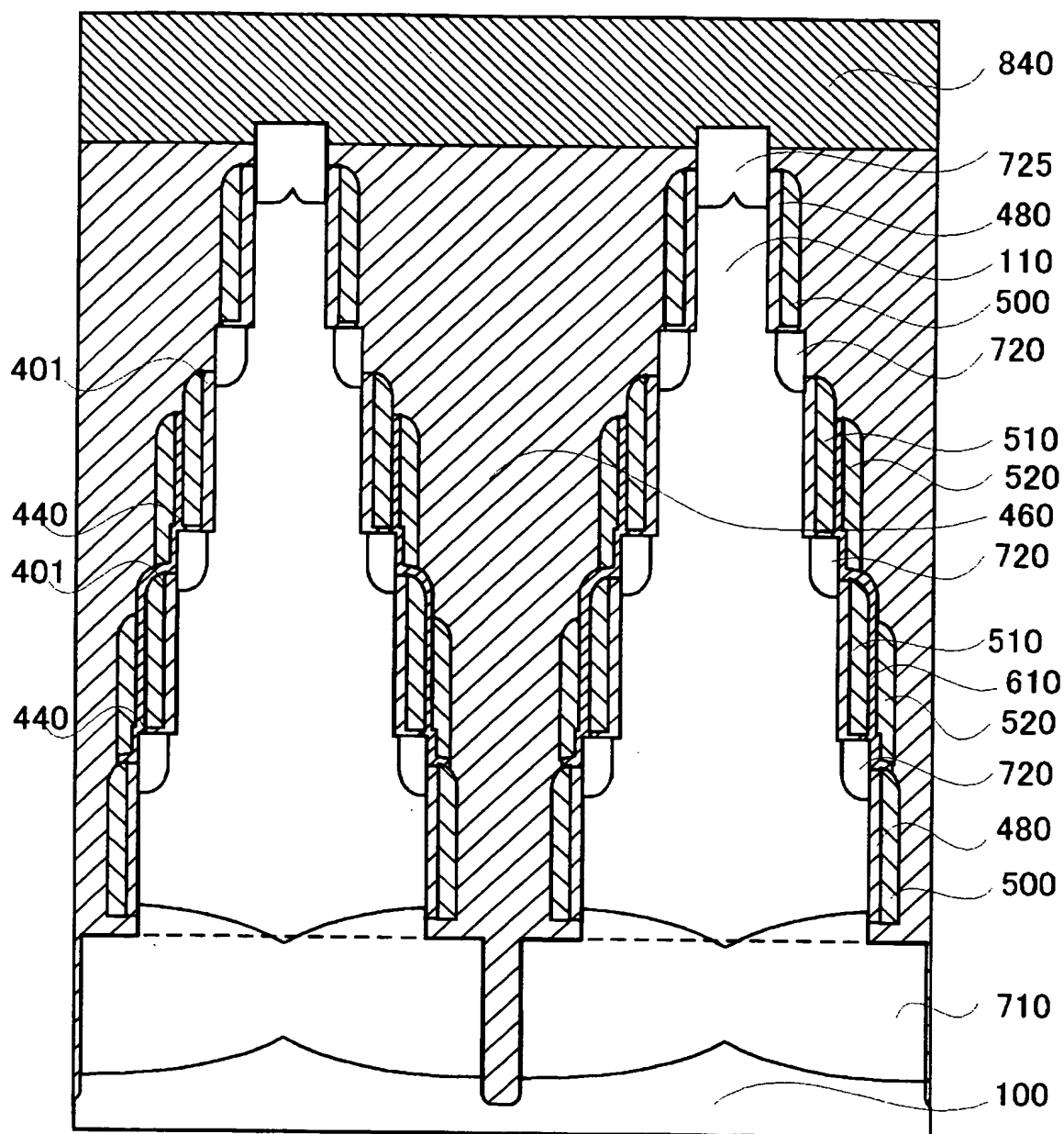
【図 16】



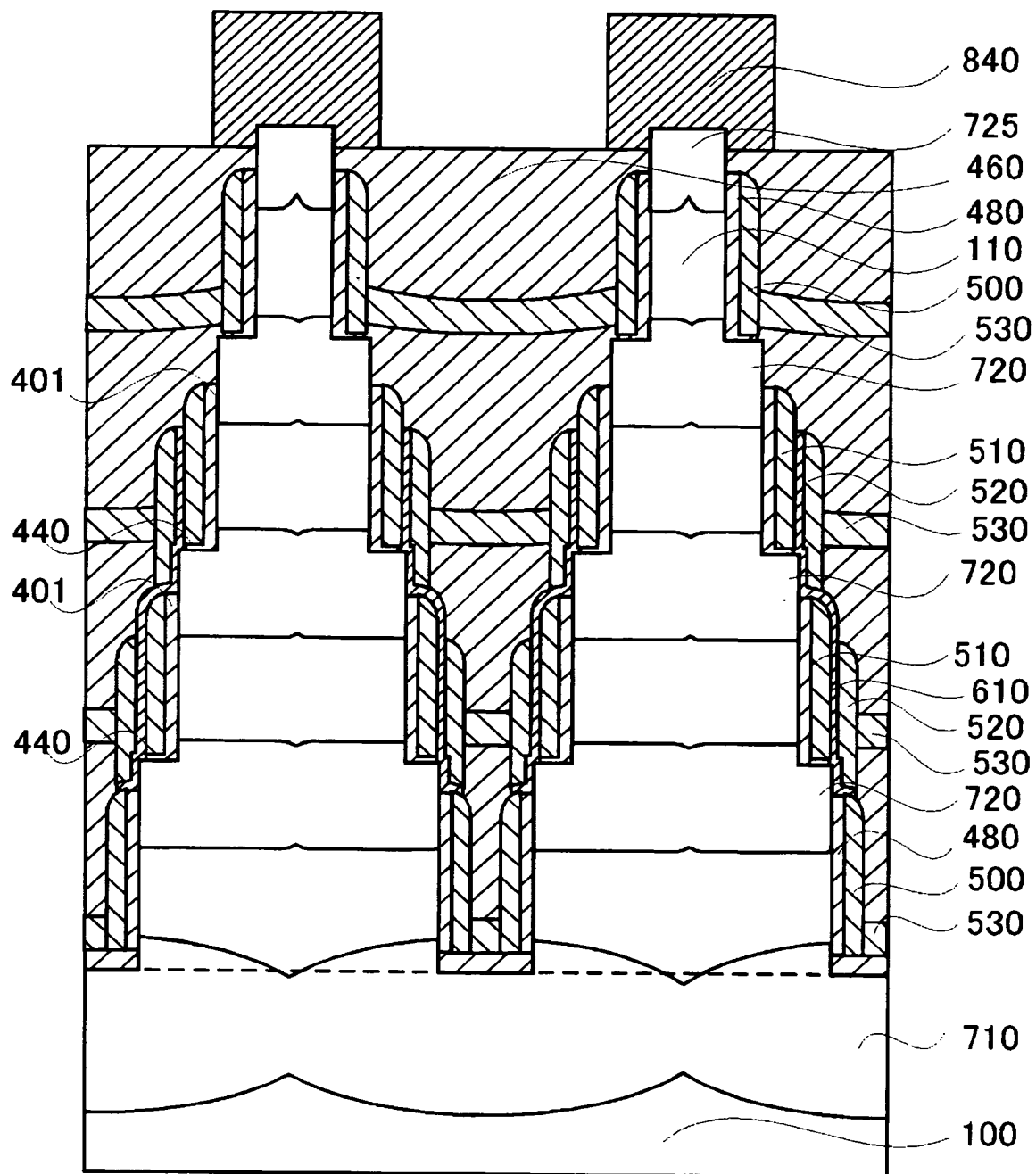
【図 17】



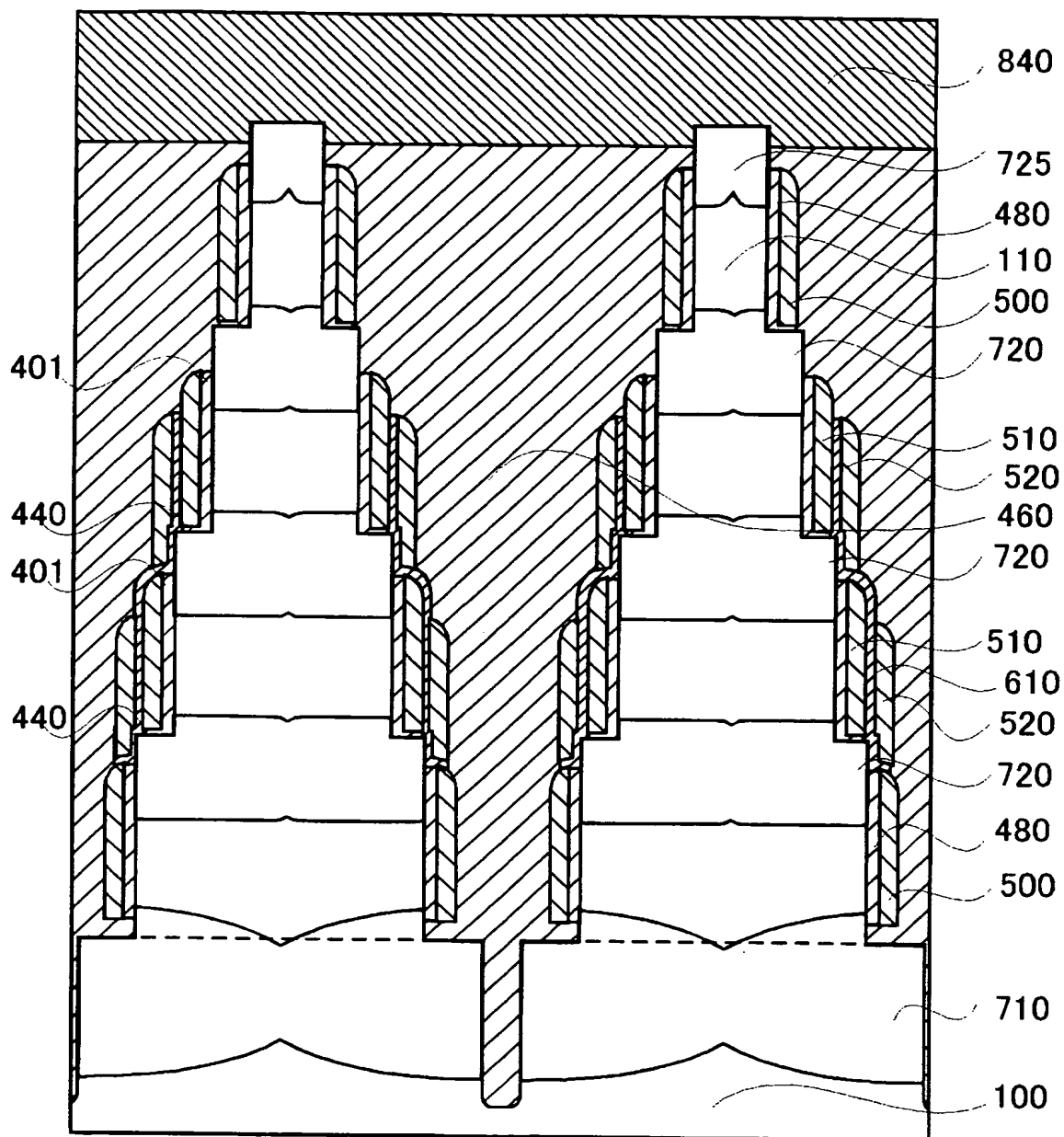
【図 18】



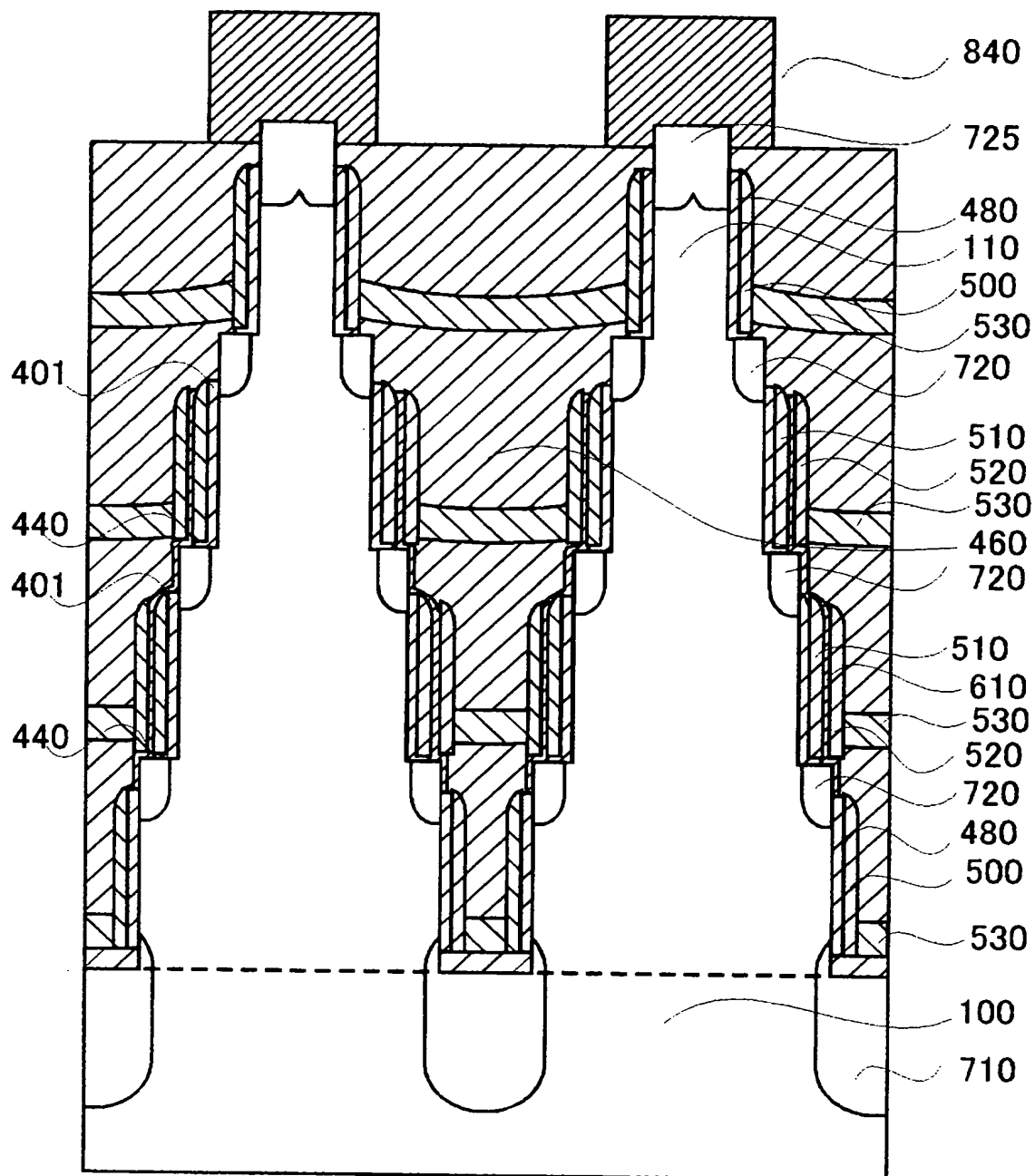
【図 19】



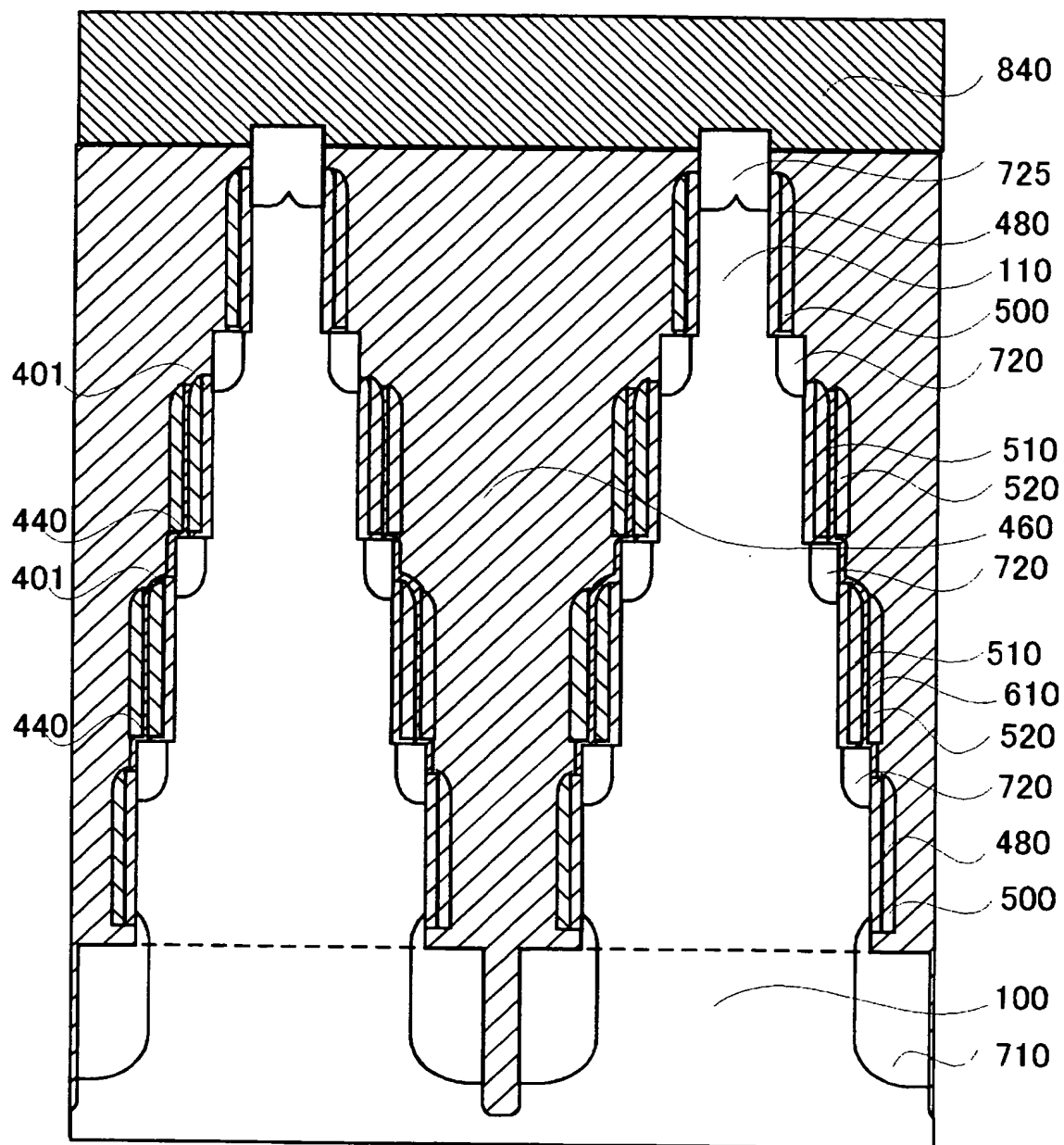
【図 20】



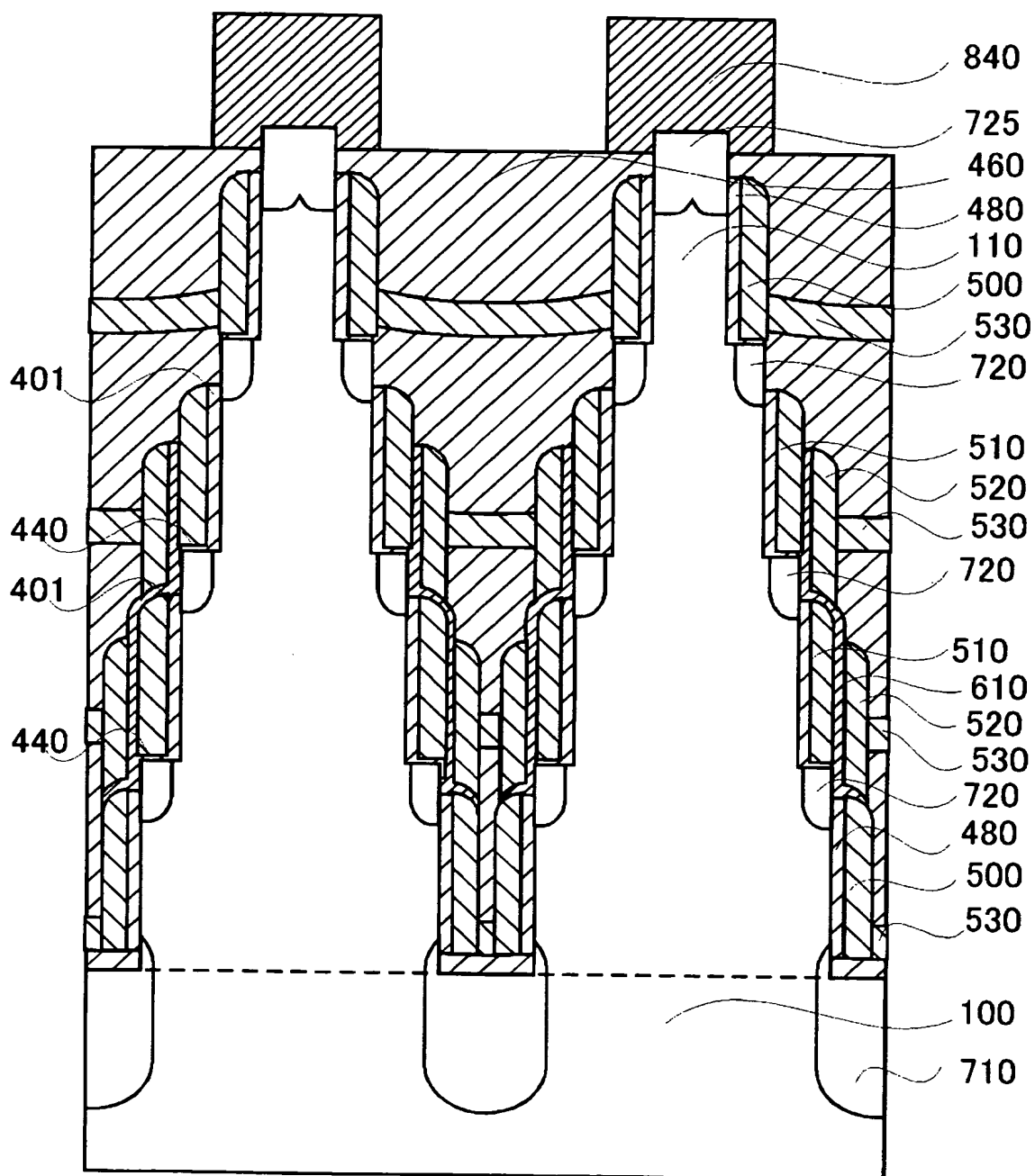
【図 21】



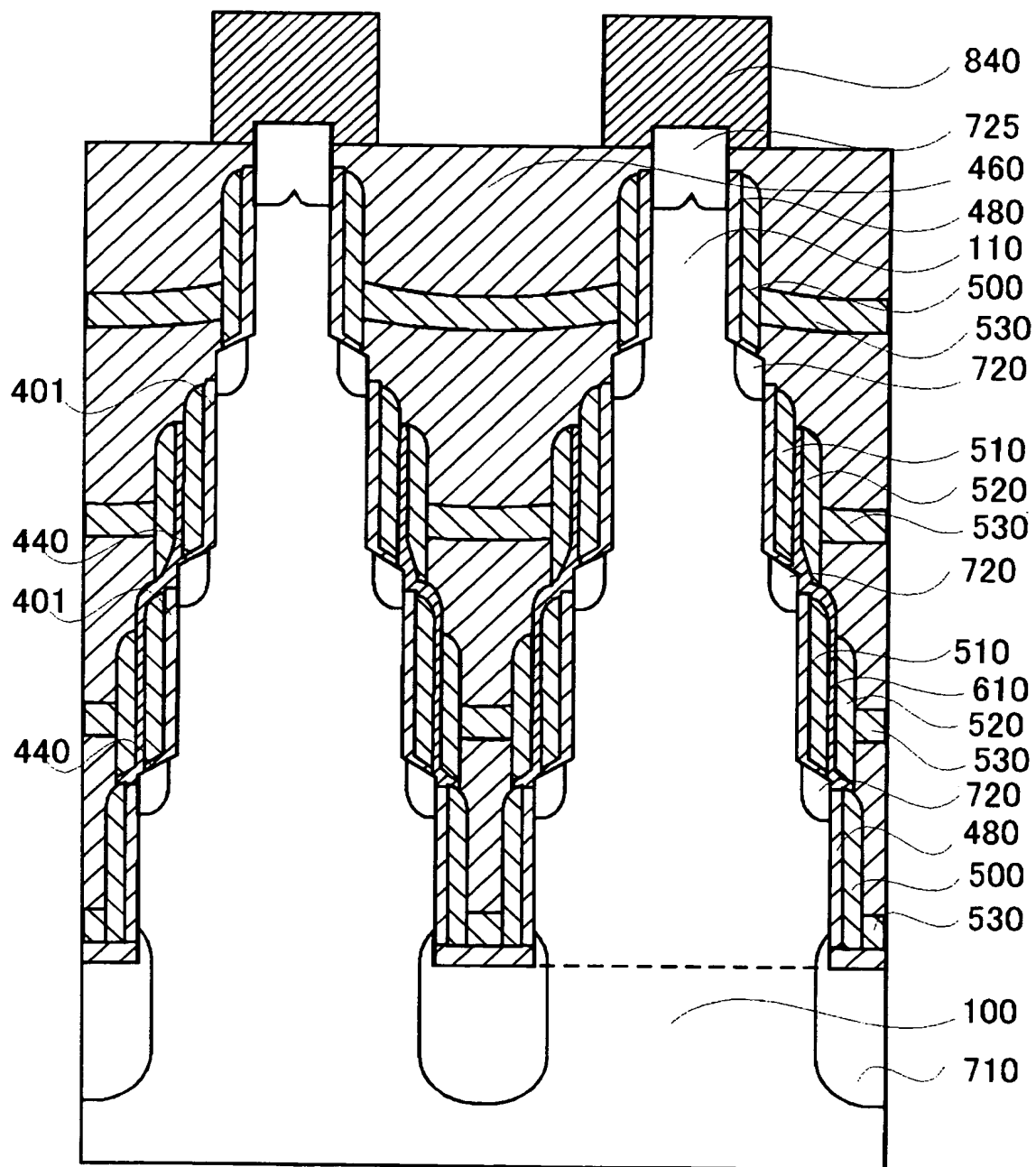
【図 22】



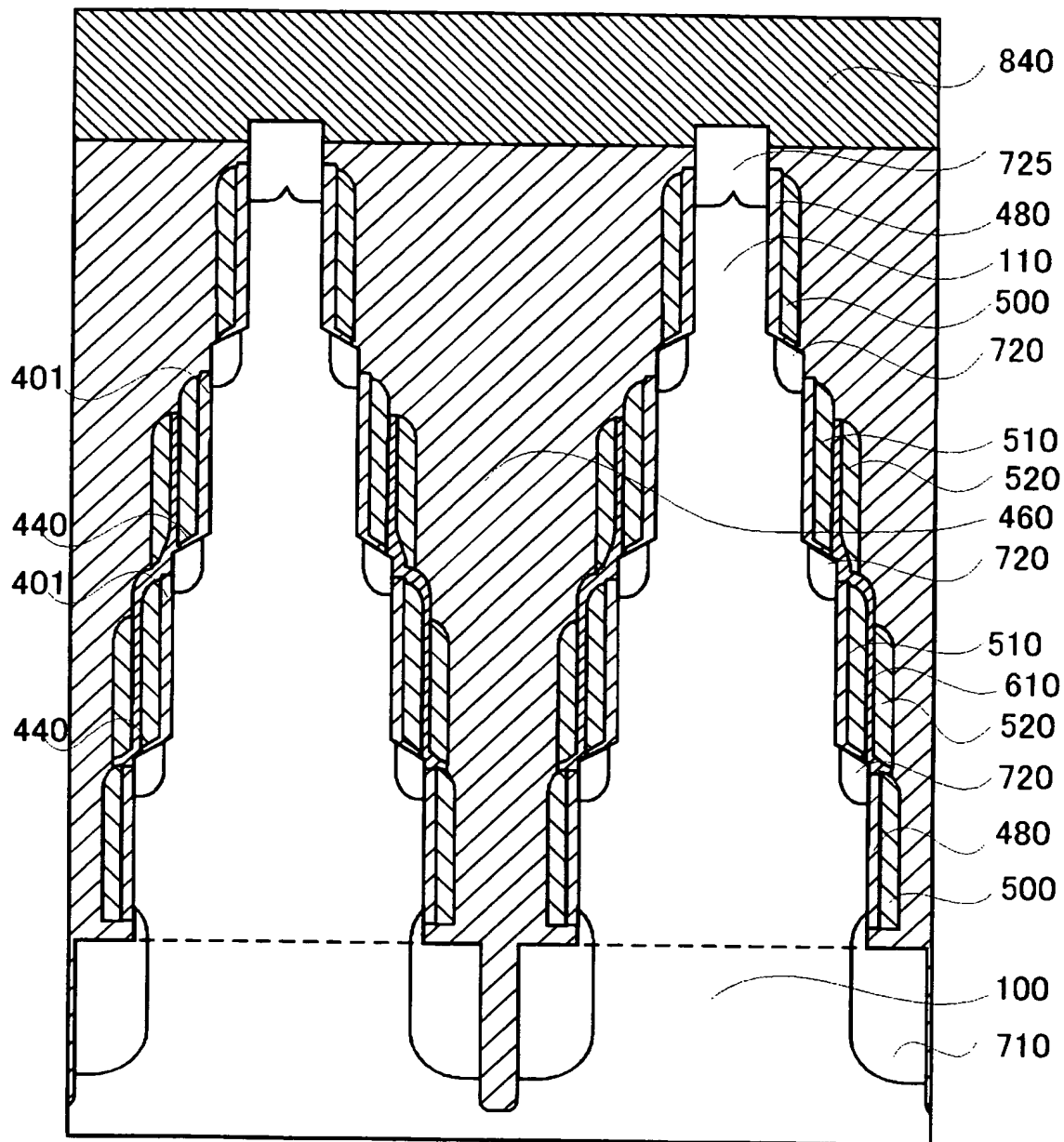
【図 23】



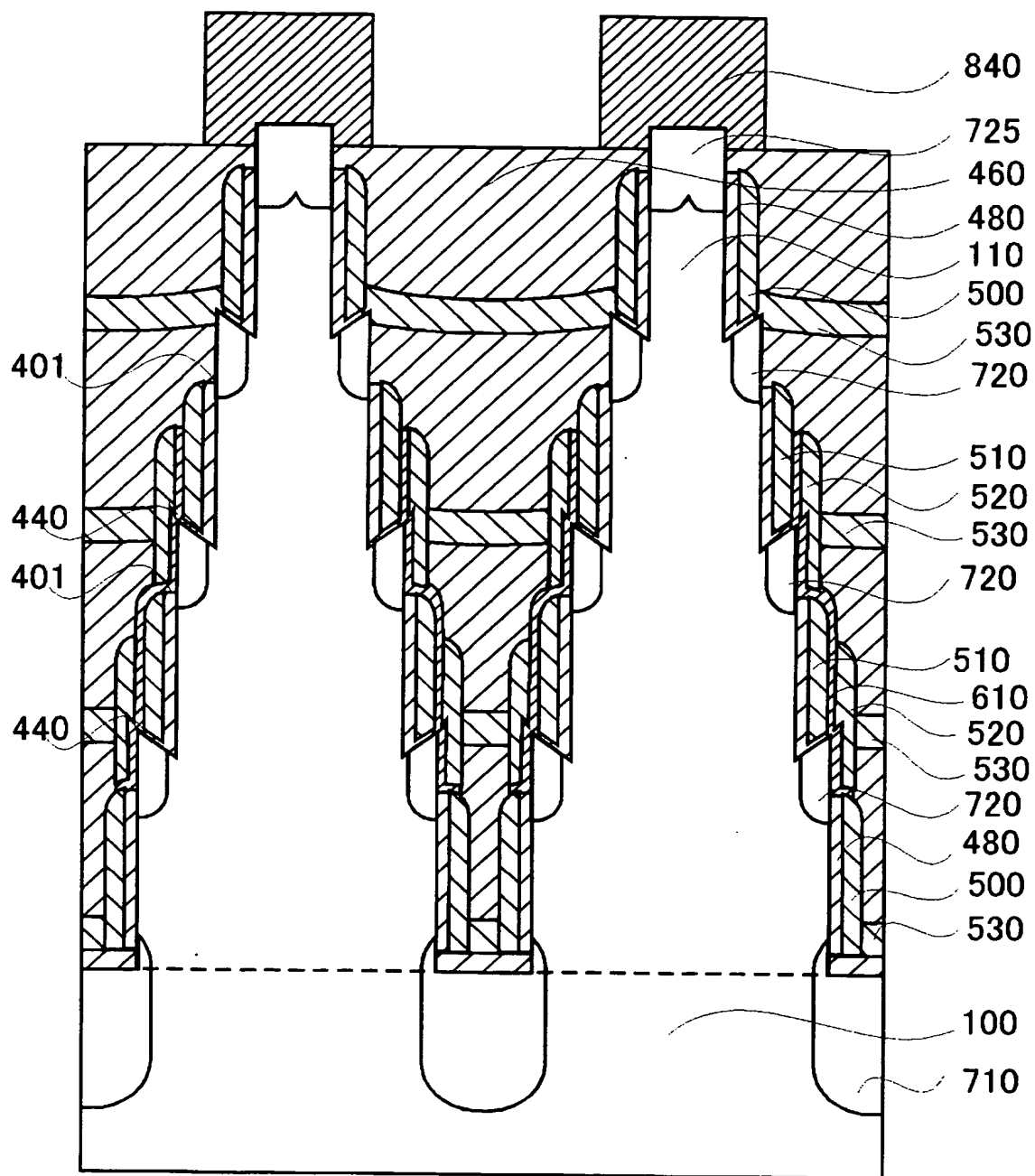
【図 25】



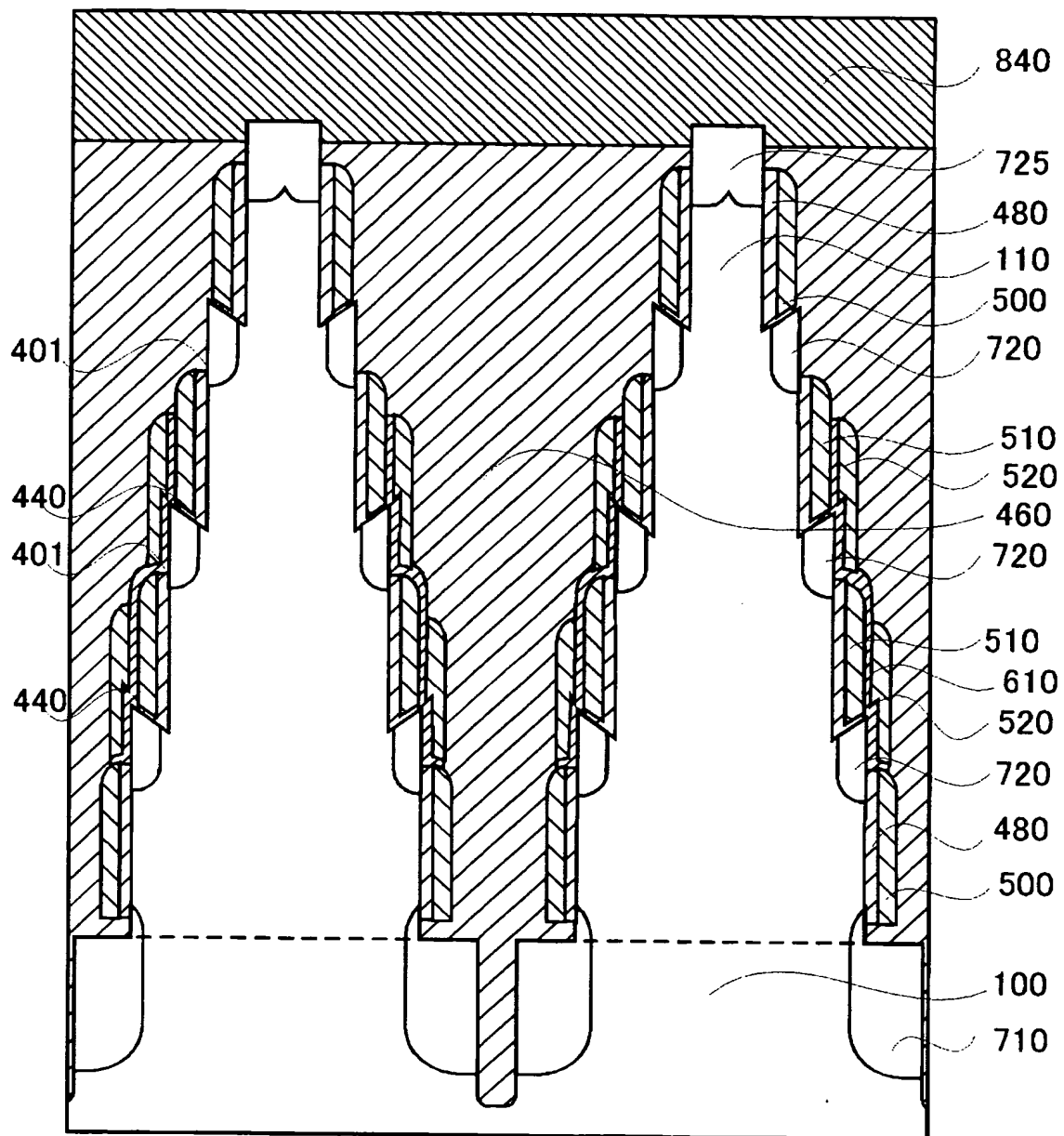
【図 26】



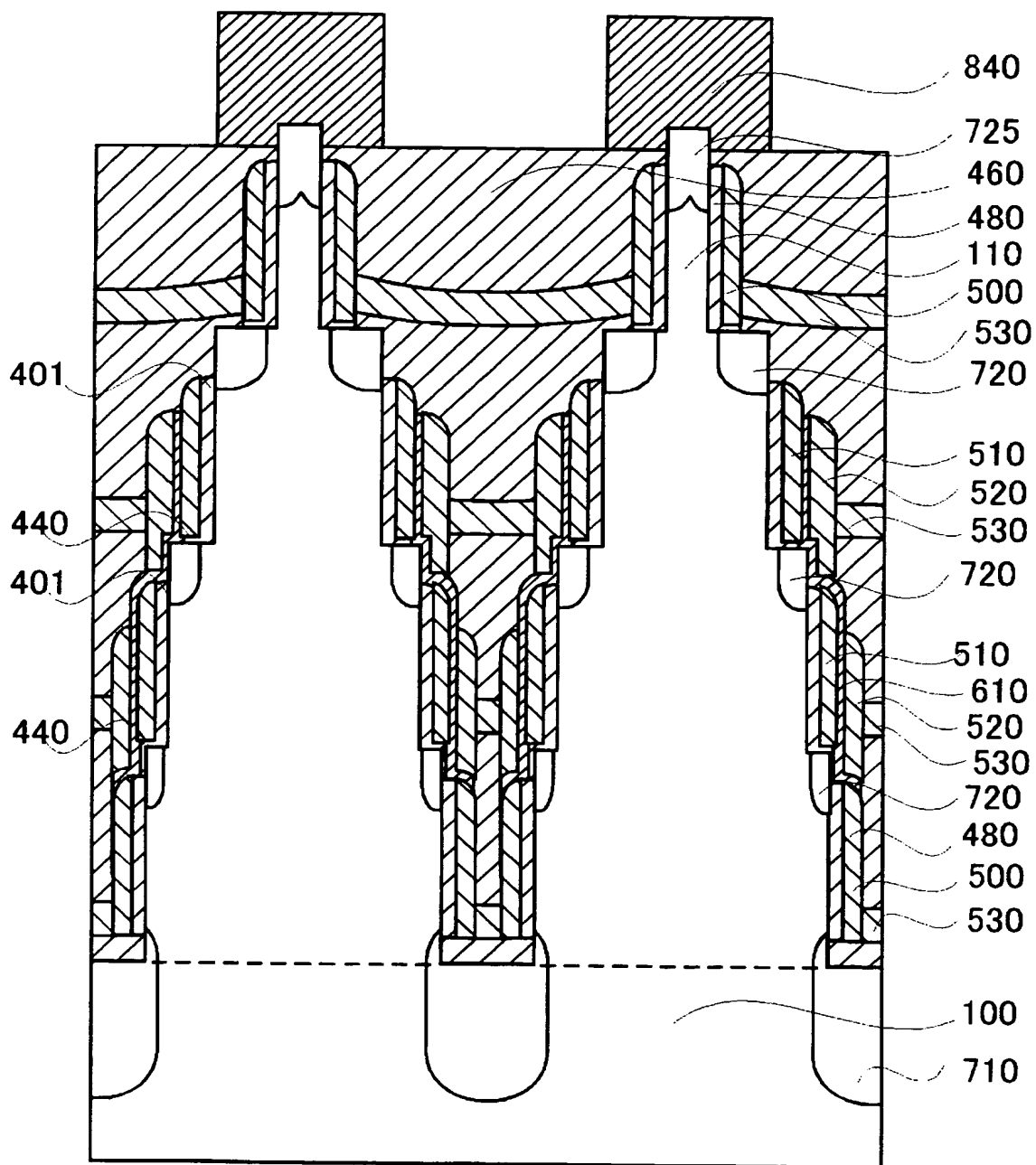
【図 27】



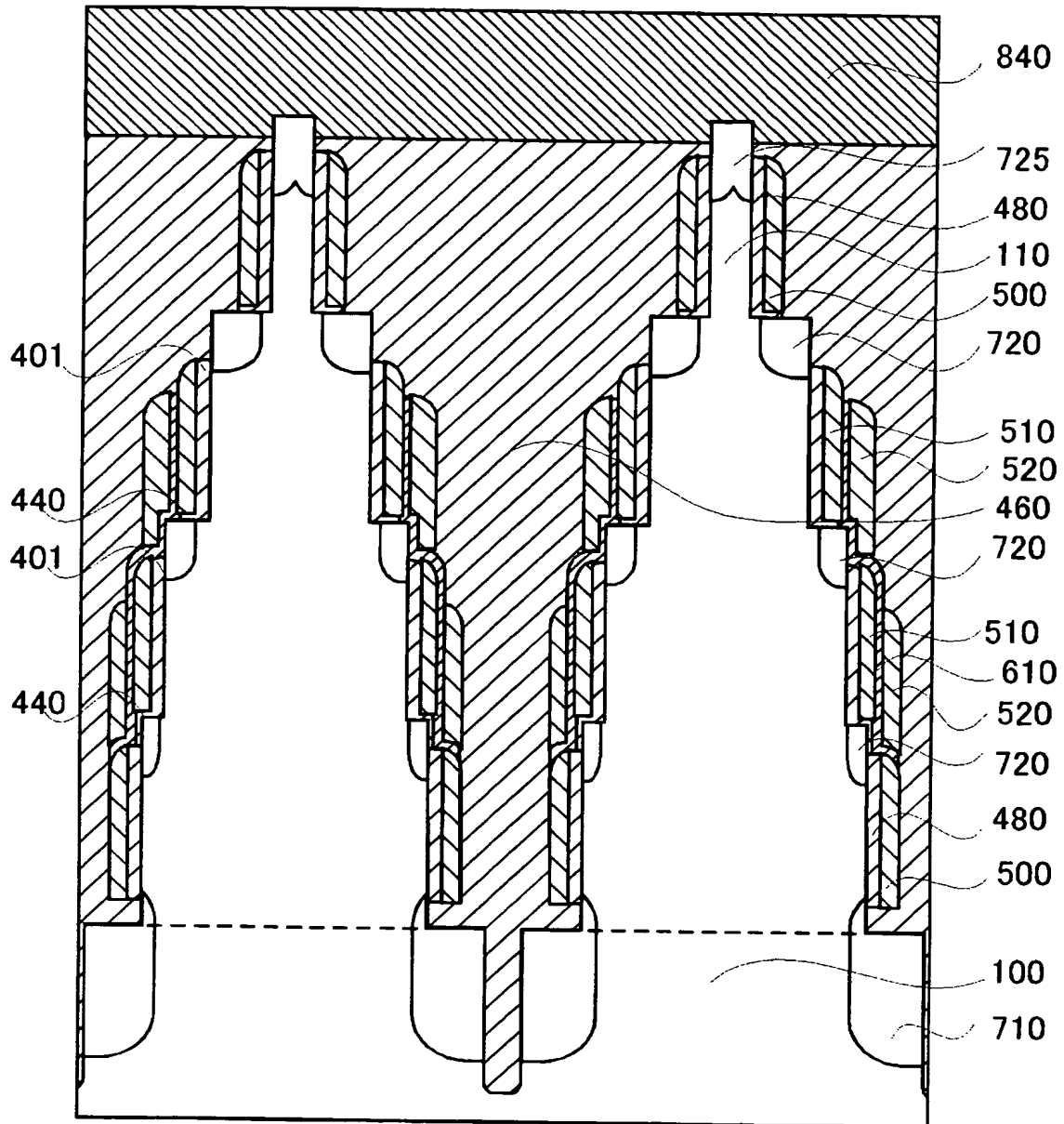
【図 28】



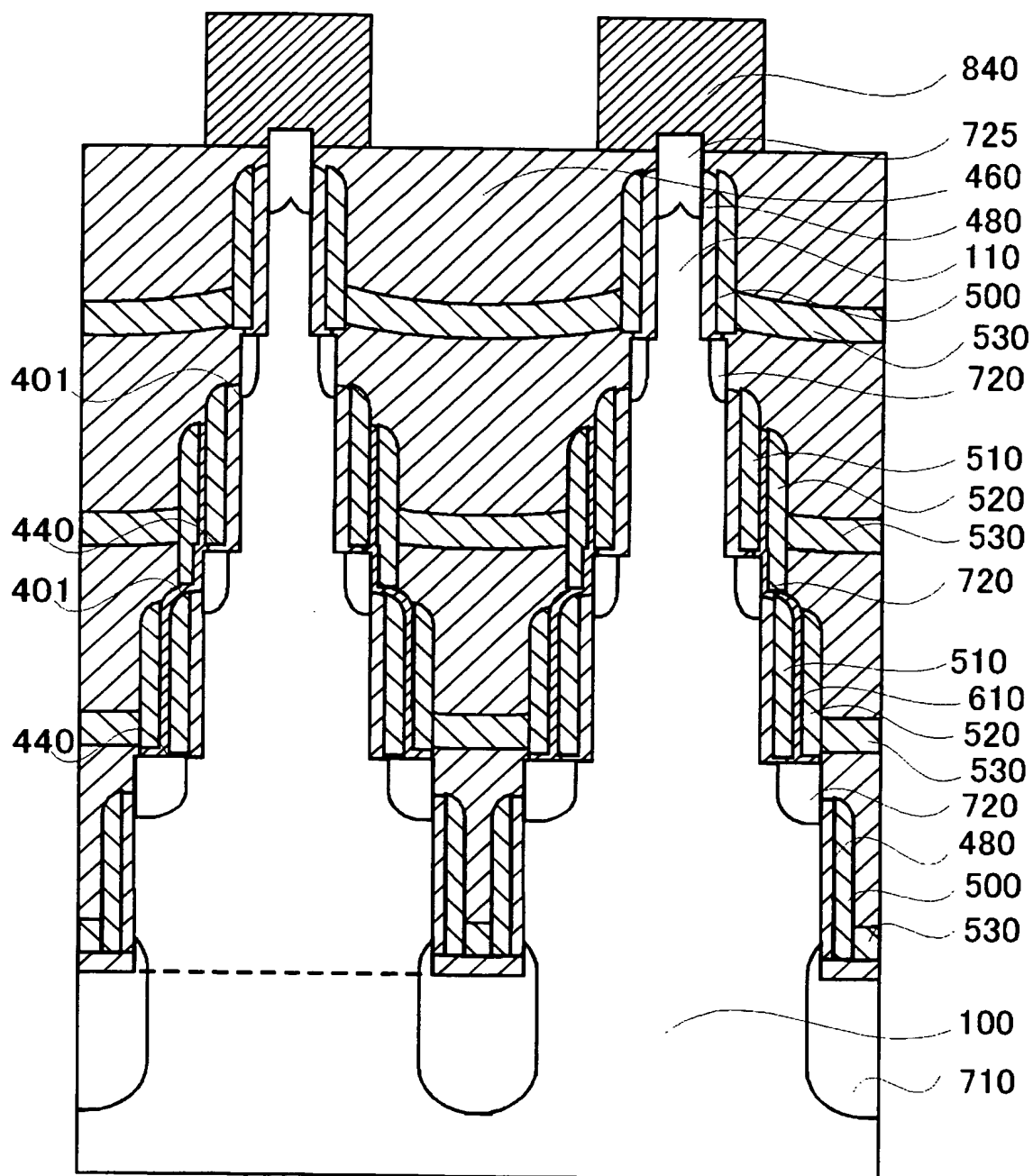
【図 29】



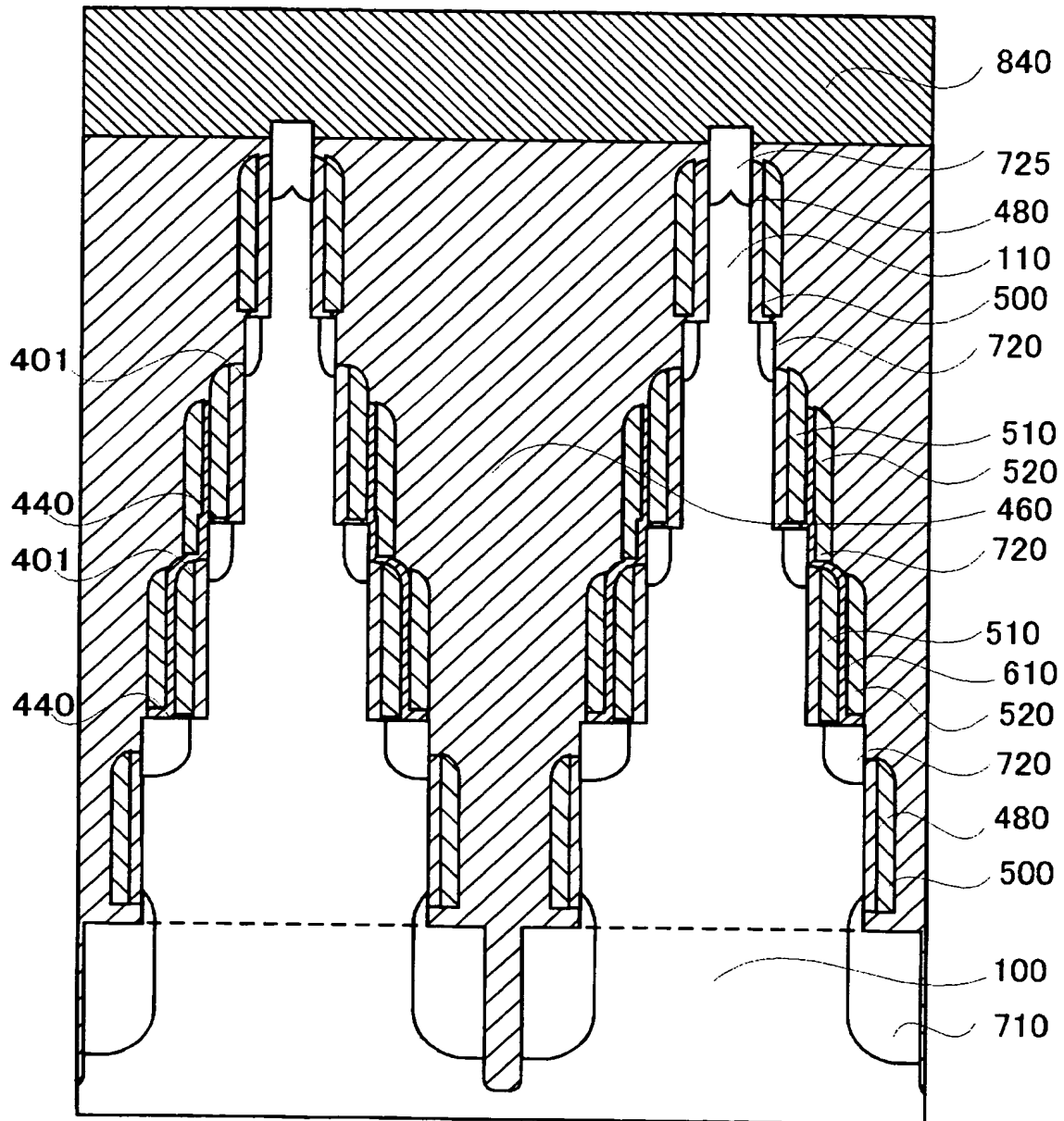
【図 30】



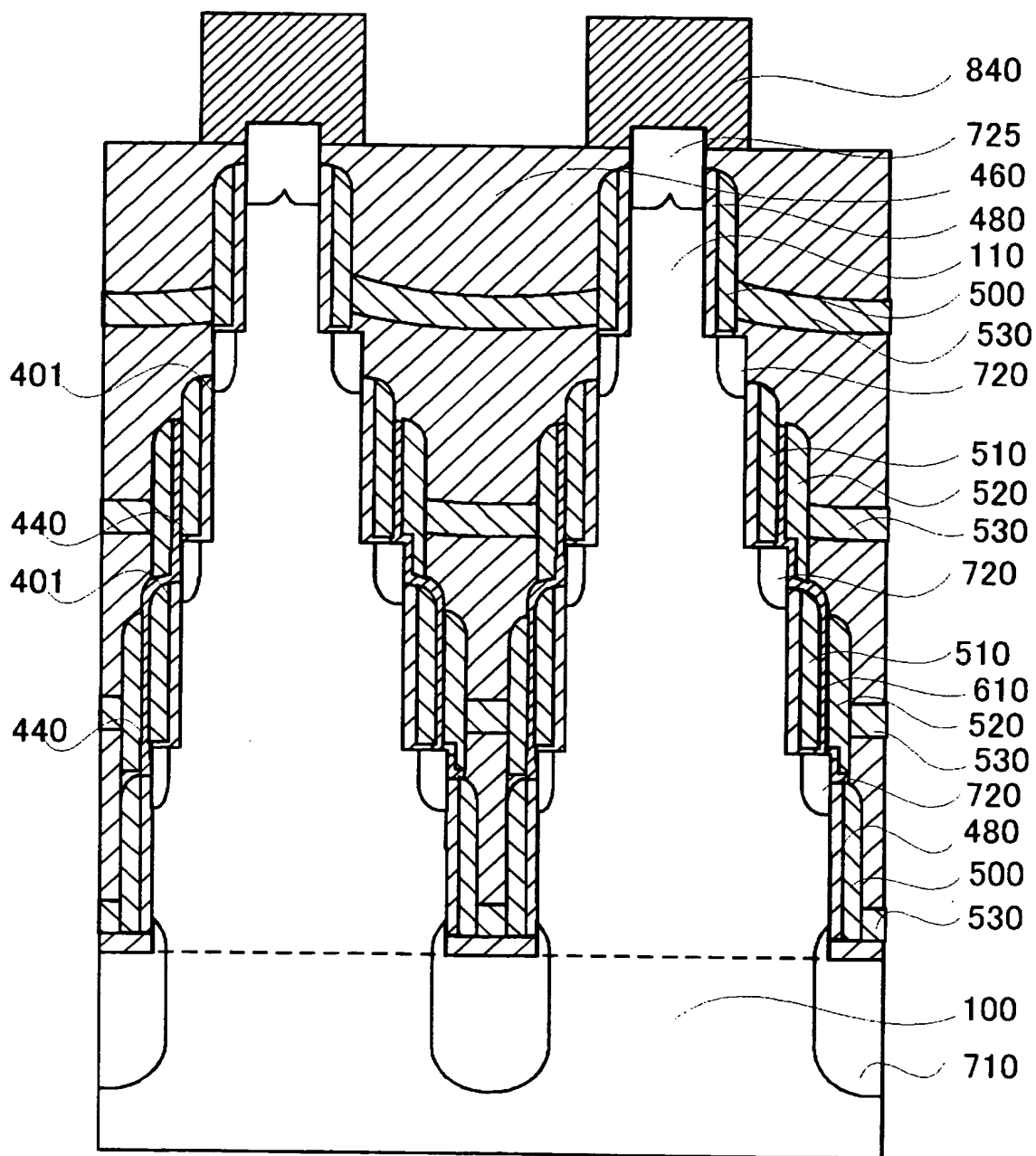
【図 31】



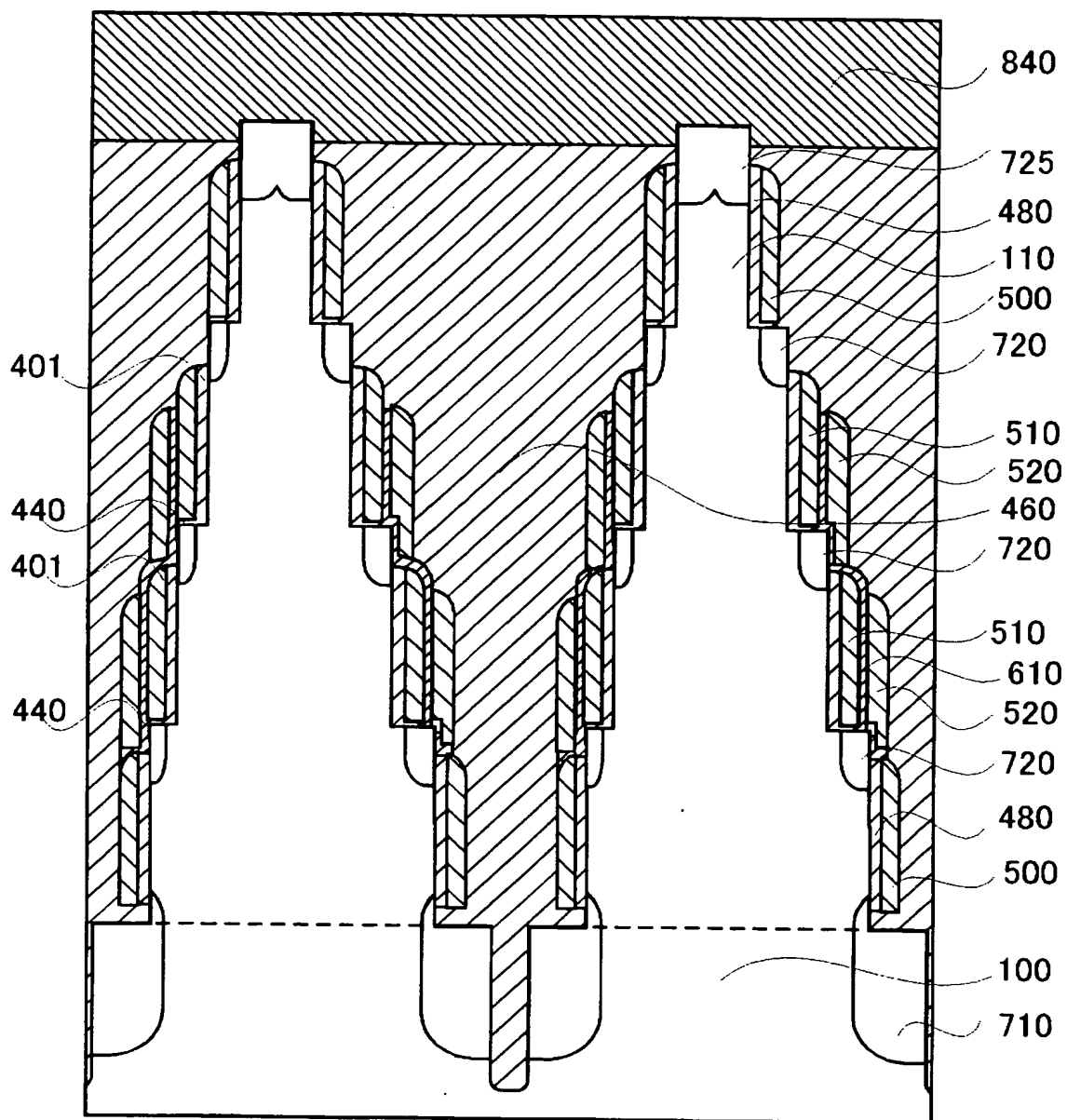
【図 3 2】



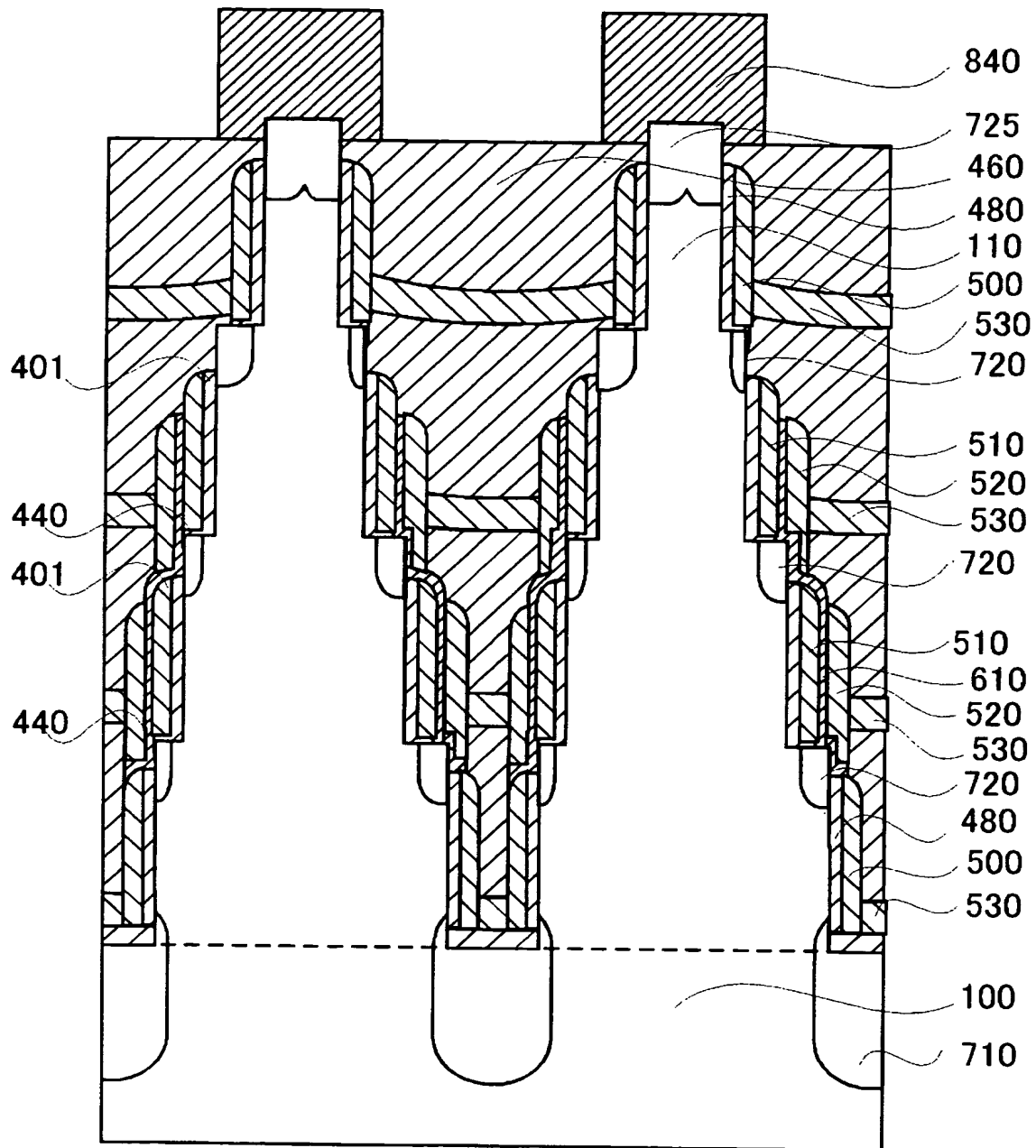
【図 33】



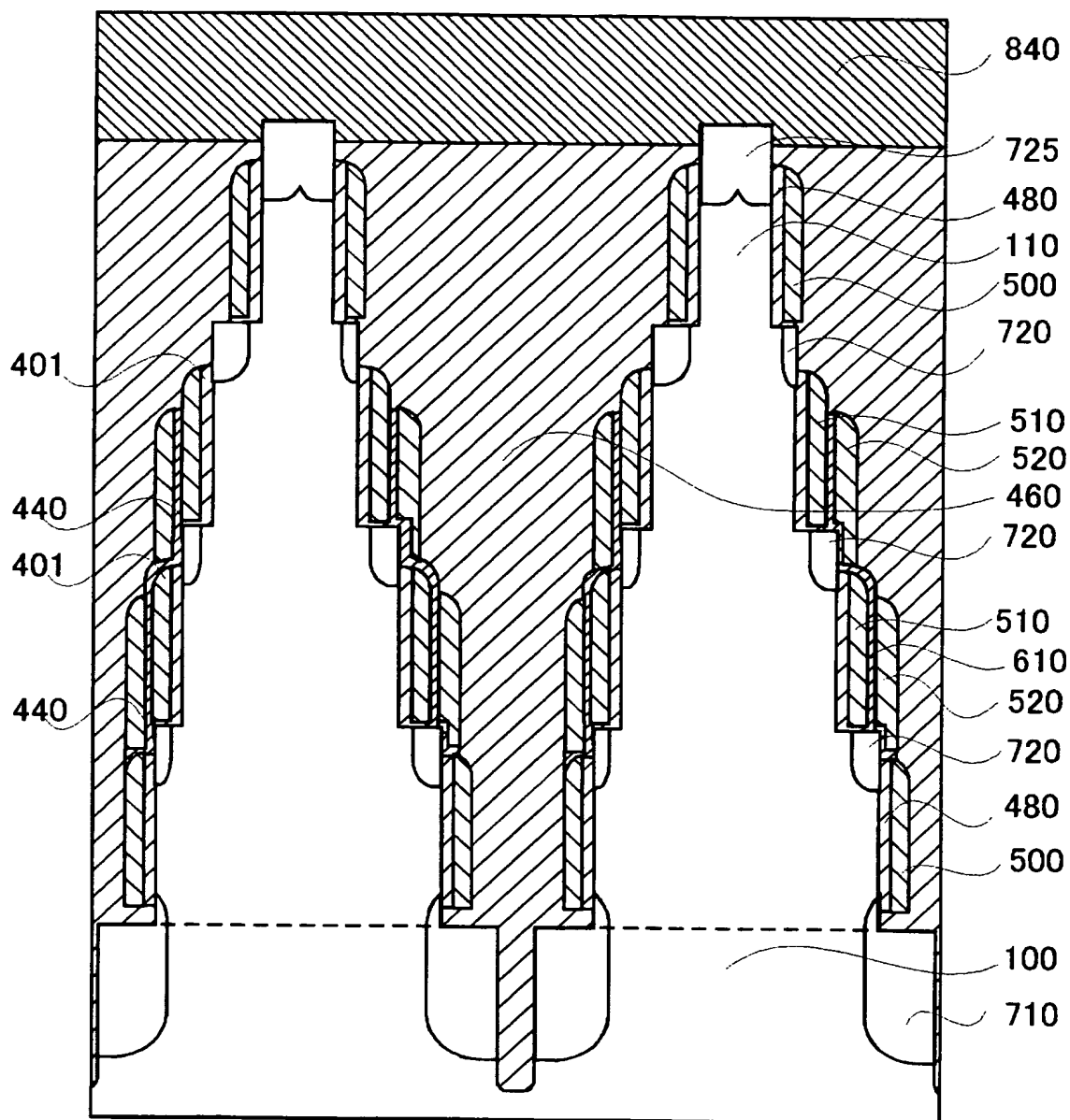
【図 34】



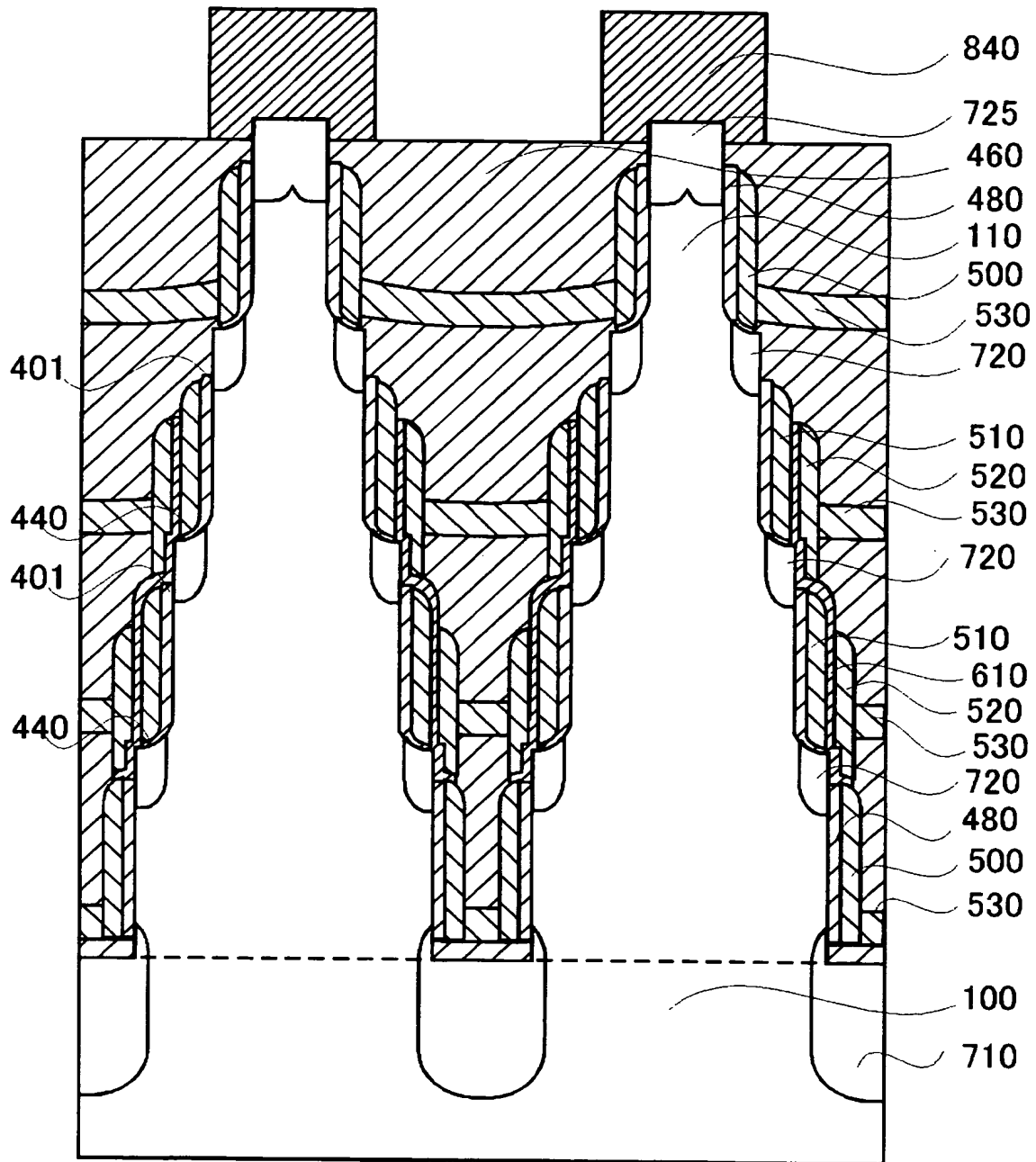
【図 35】



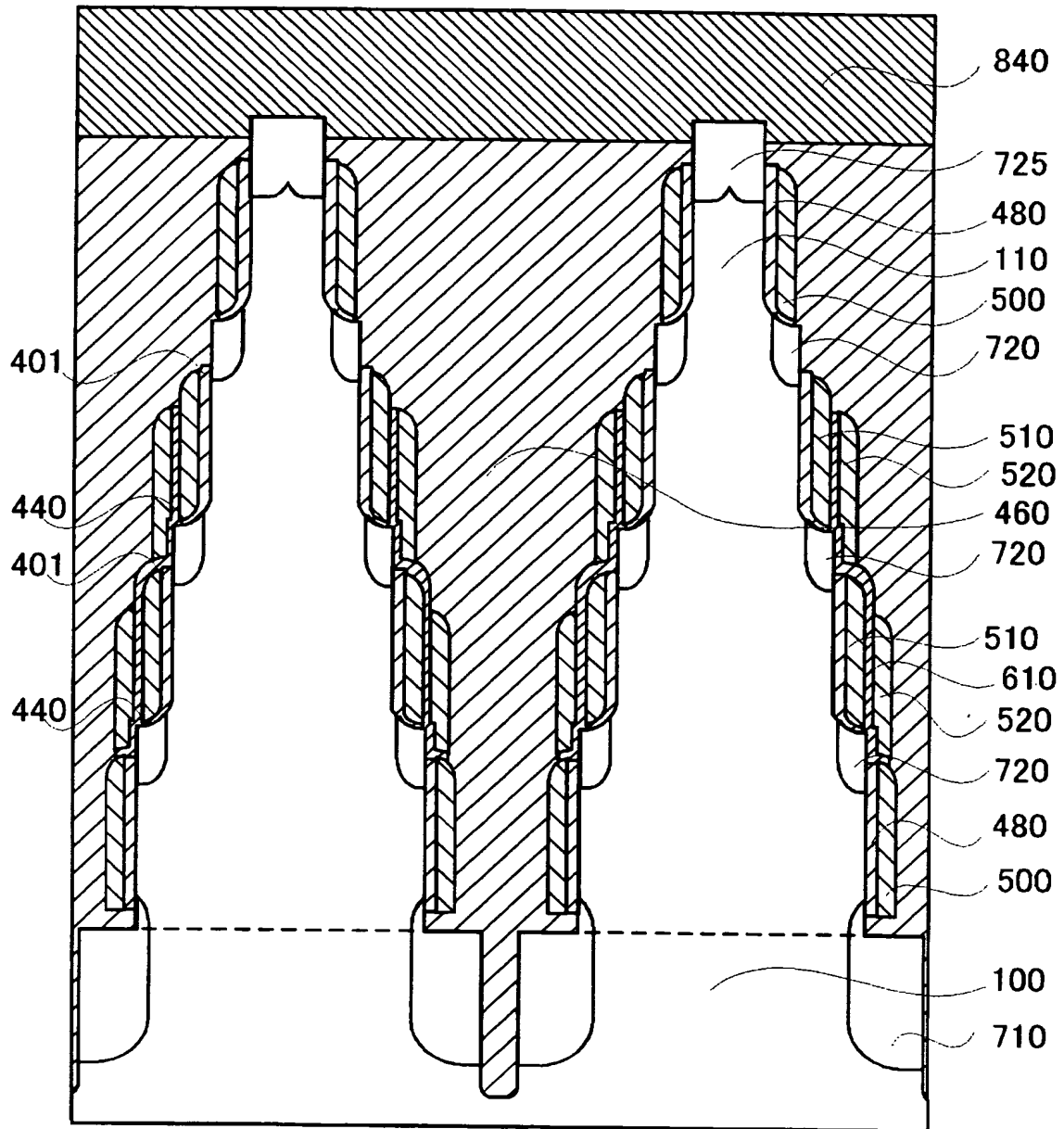
【図 36】



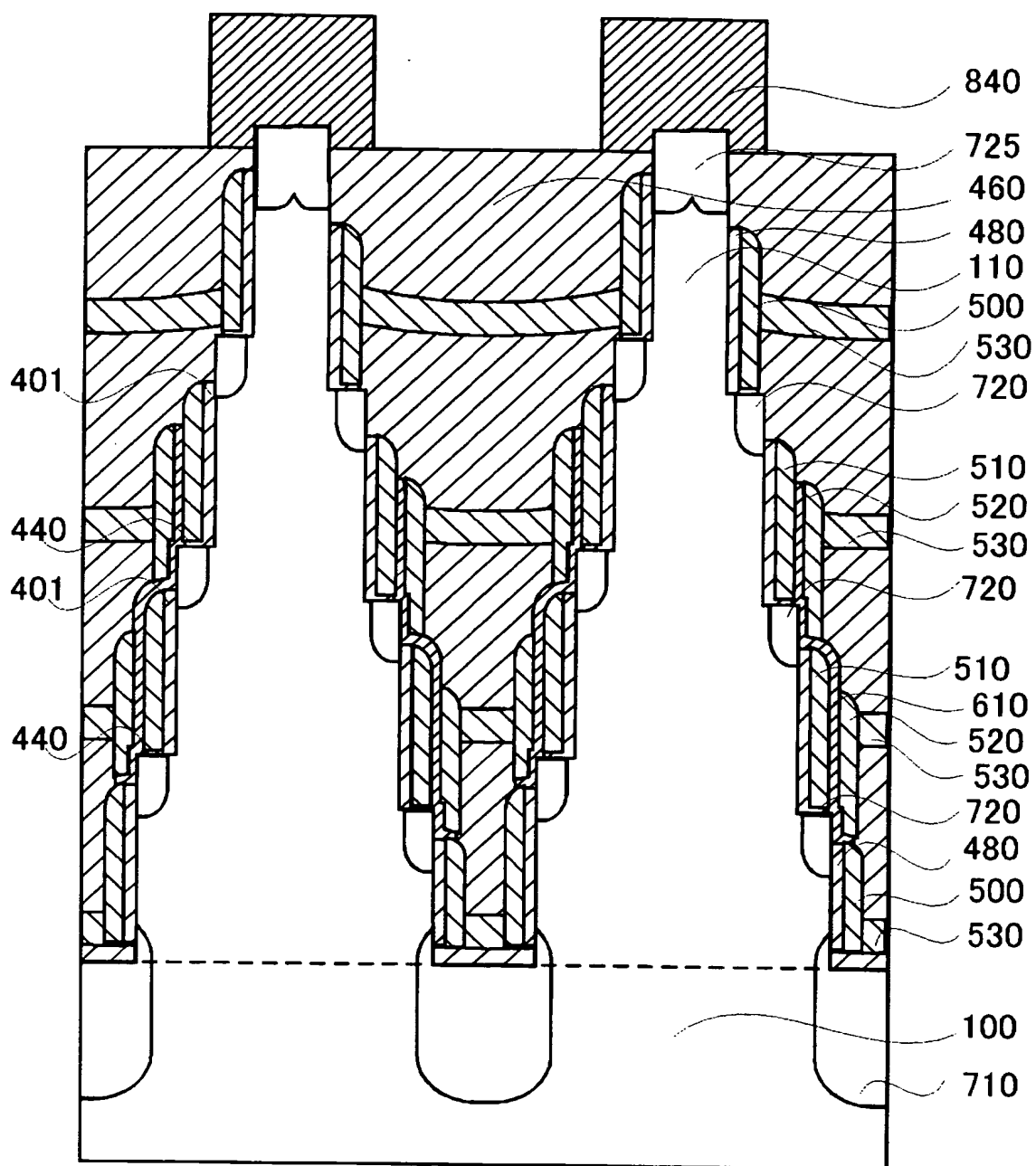
【図 37】



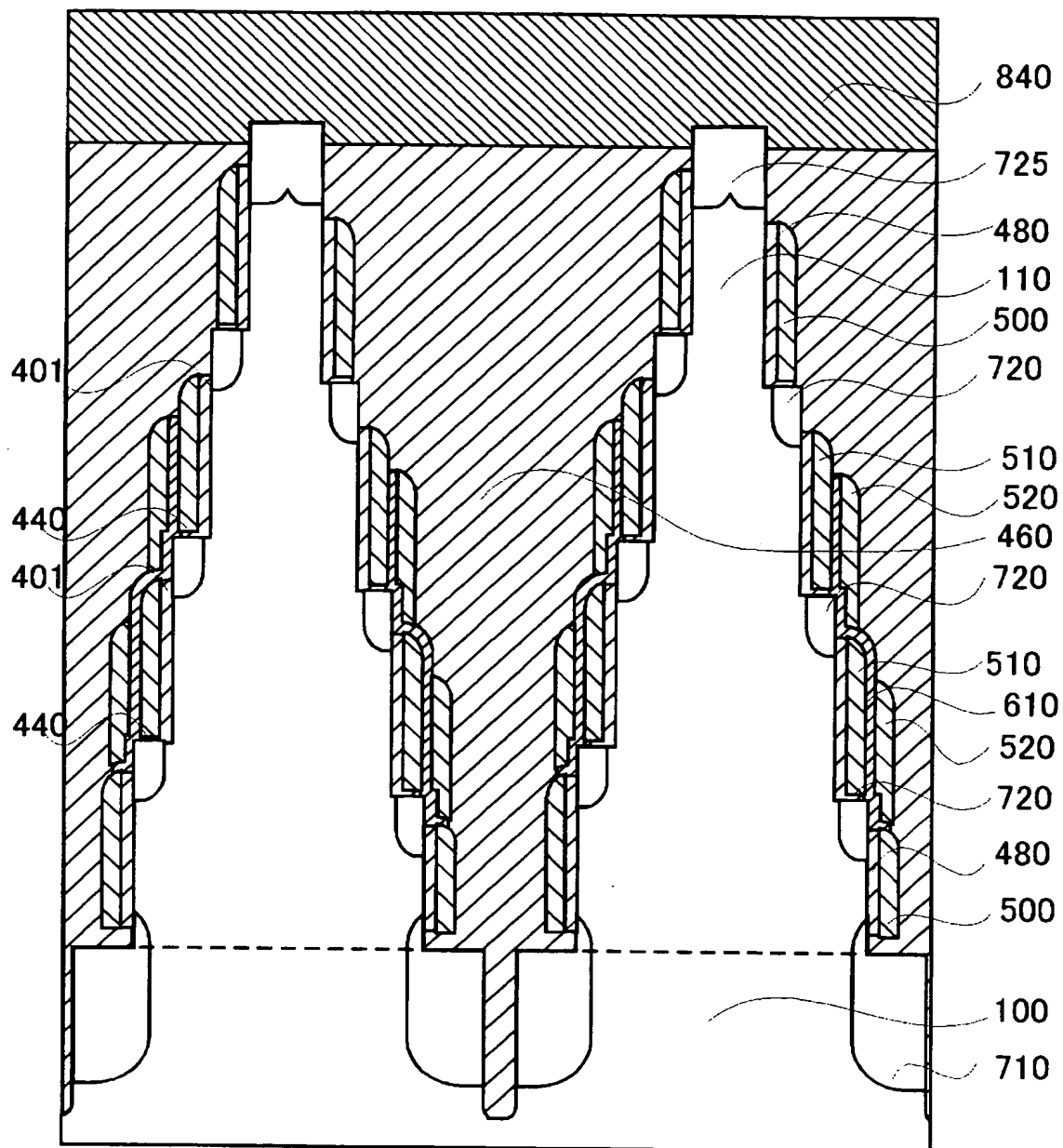
【図 38】



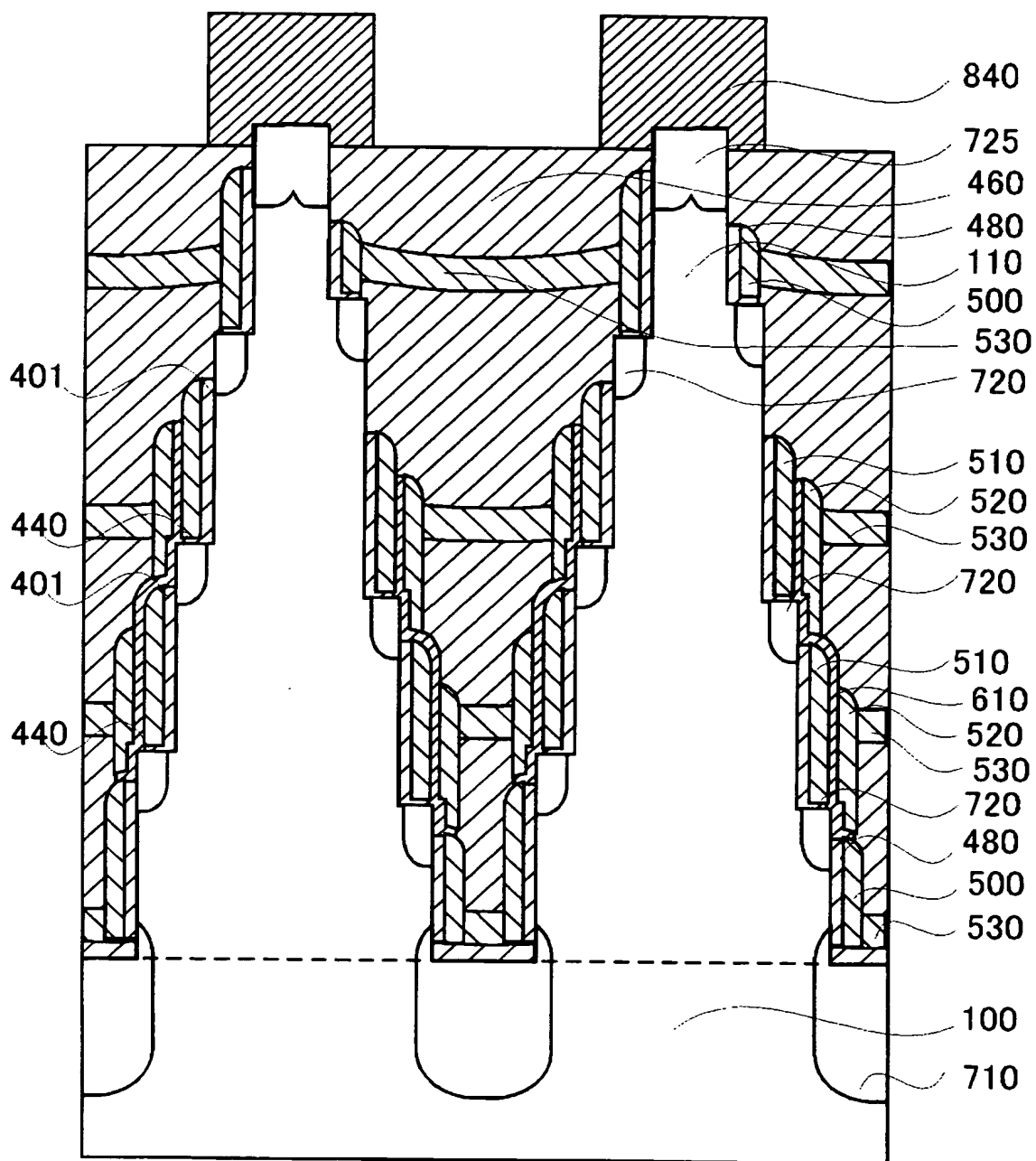
【図 39】



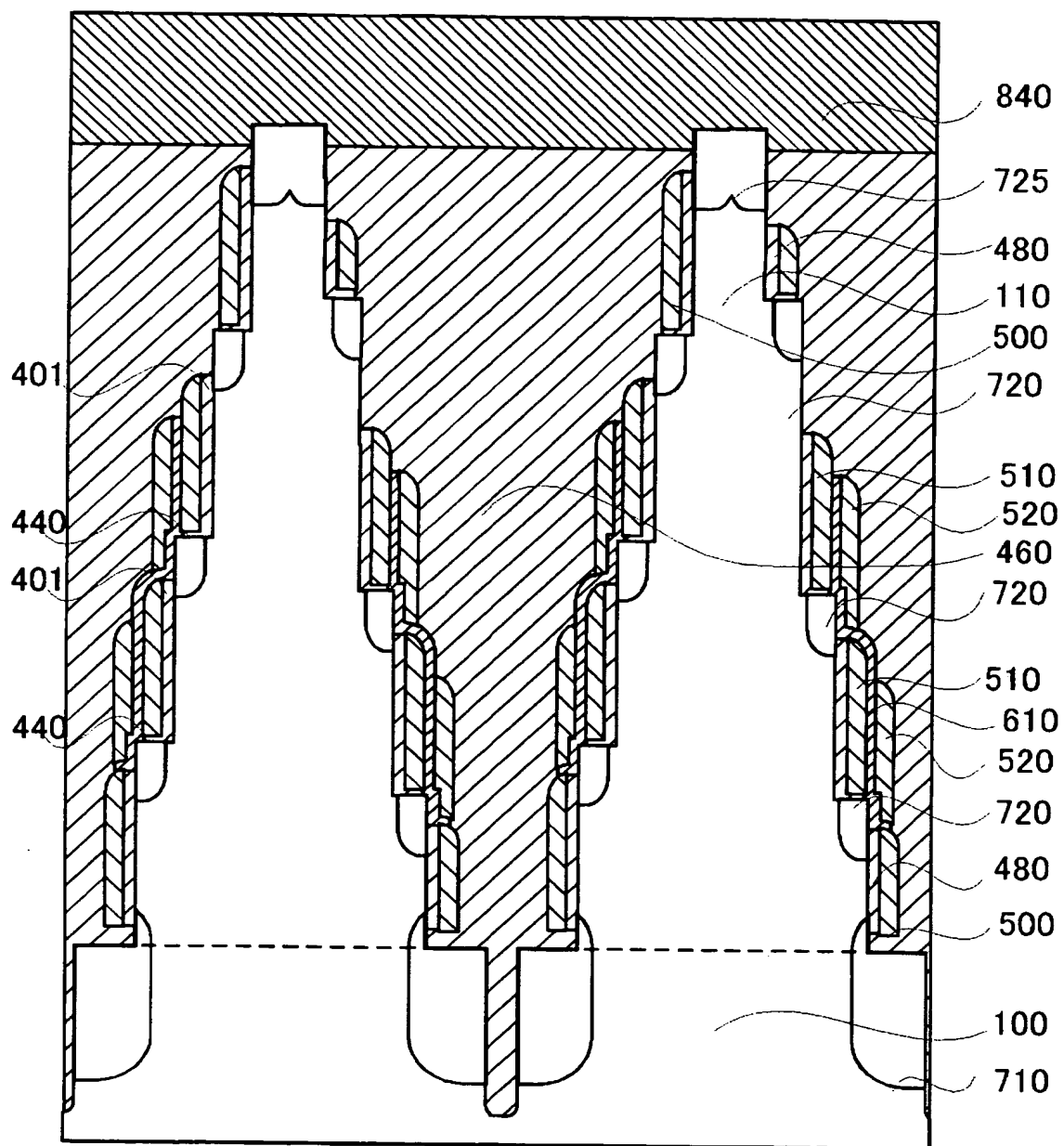
【図 40】



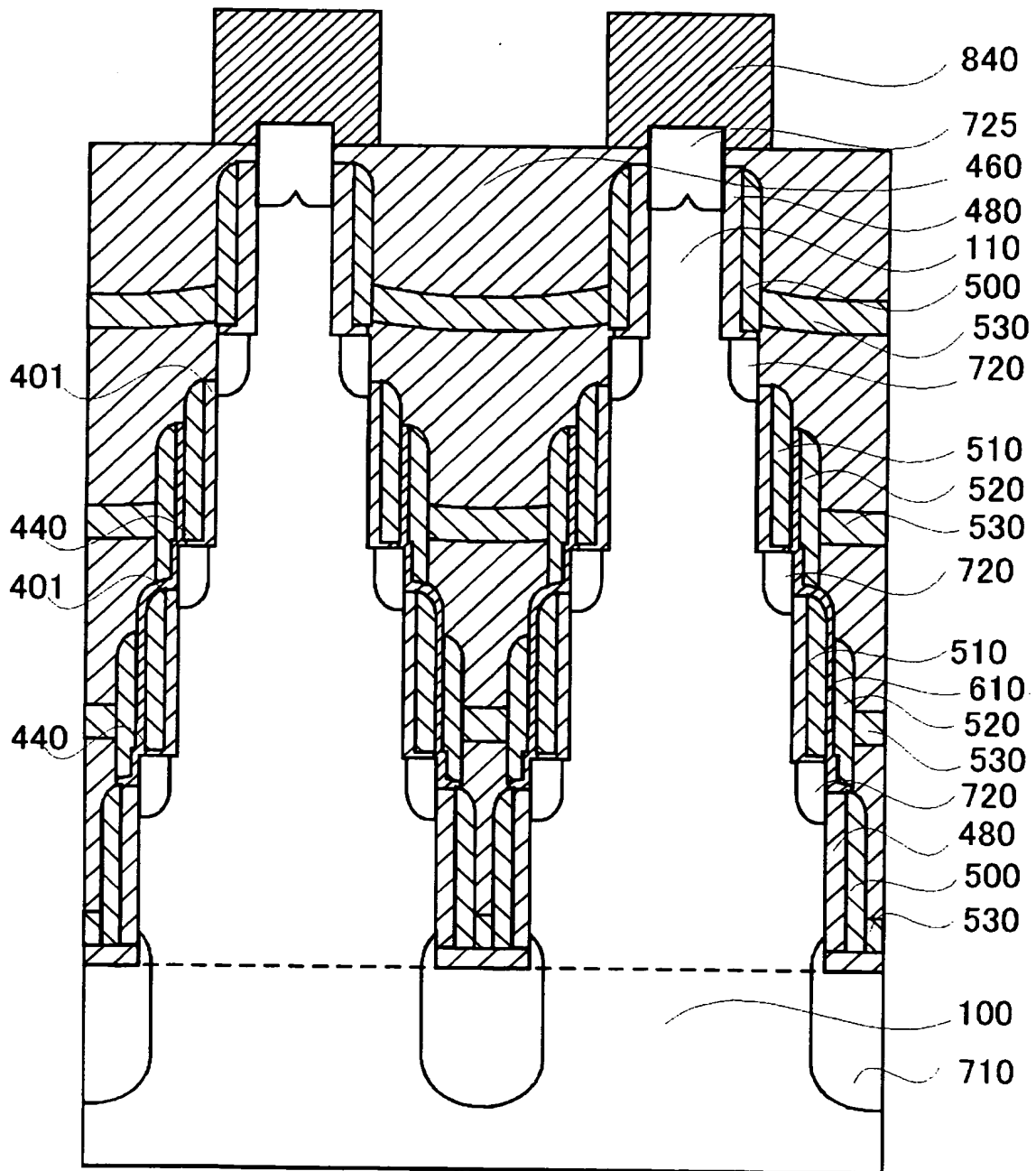
【図 41】



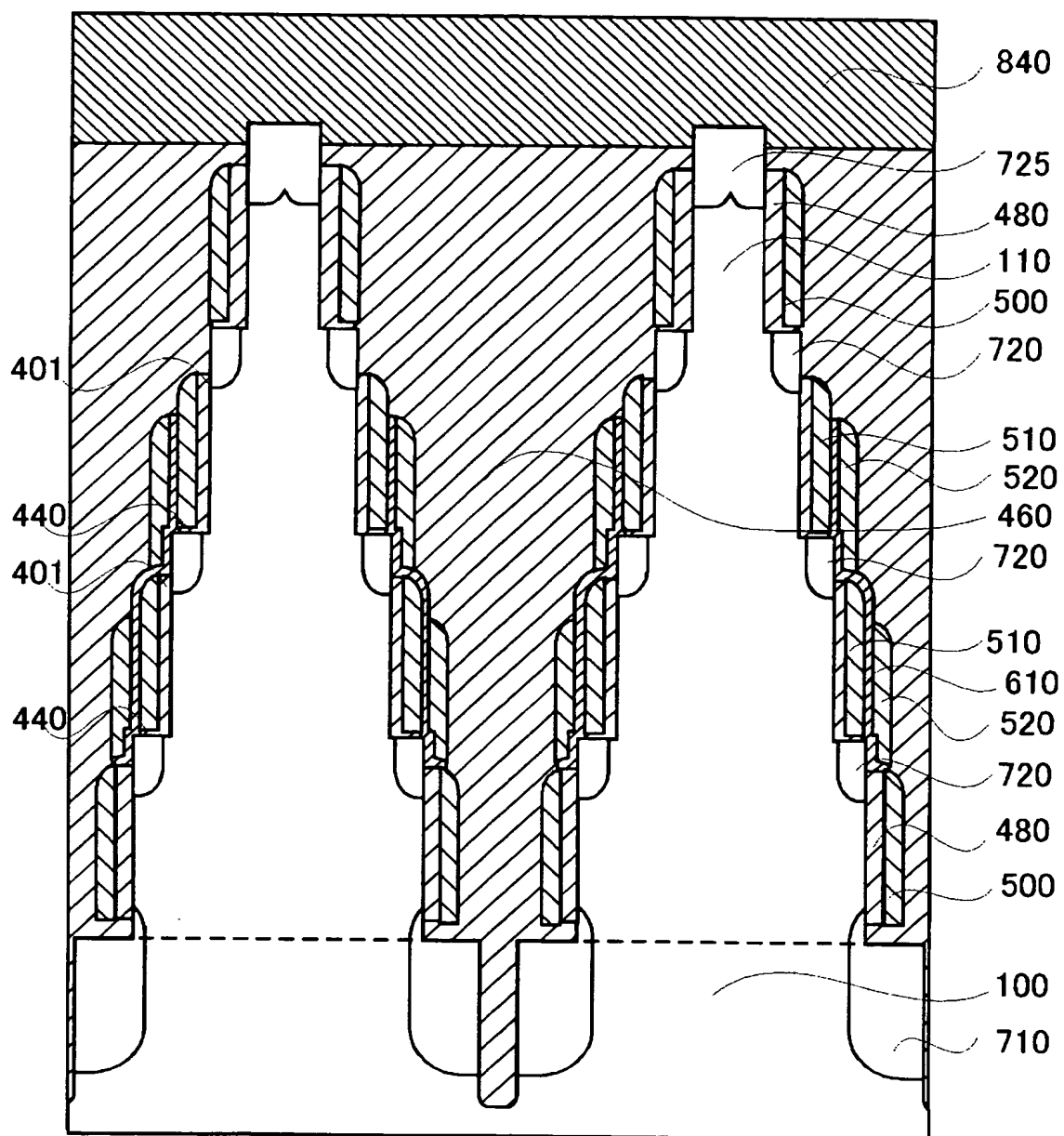
【図 4 2】



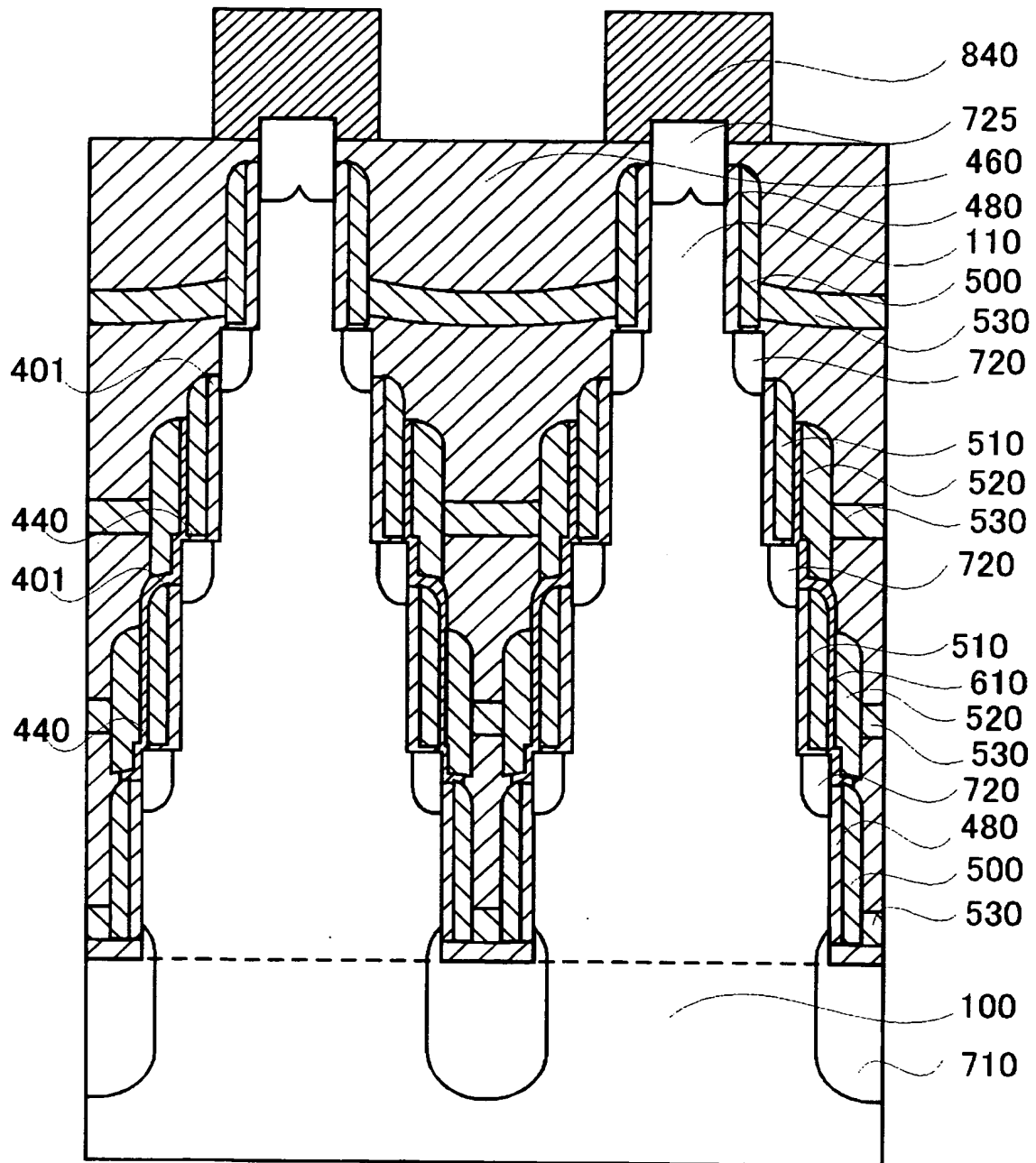
【図 4 3】



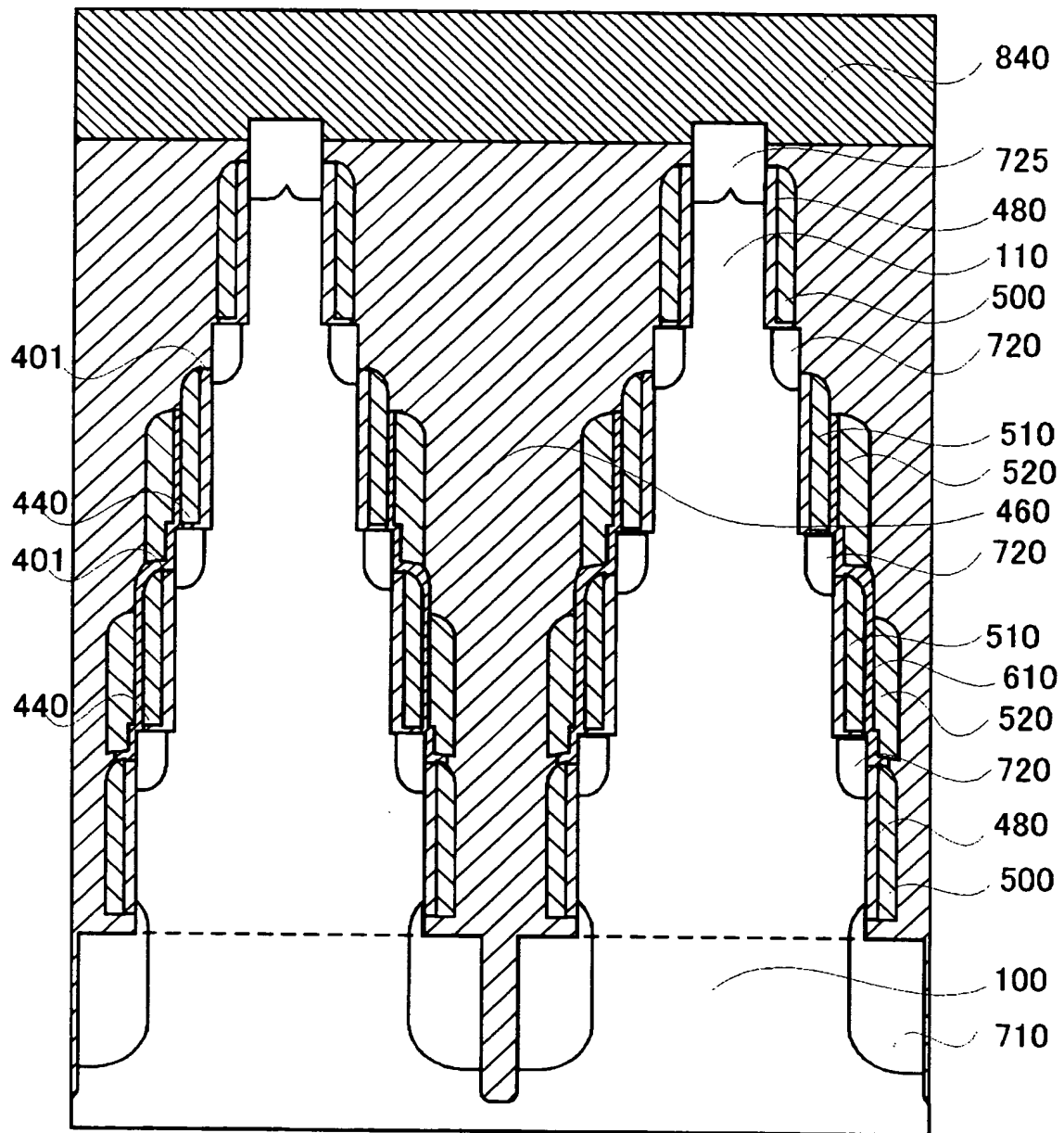
【図 44】



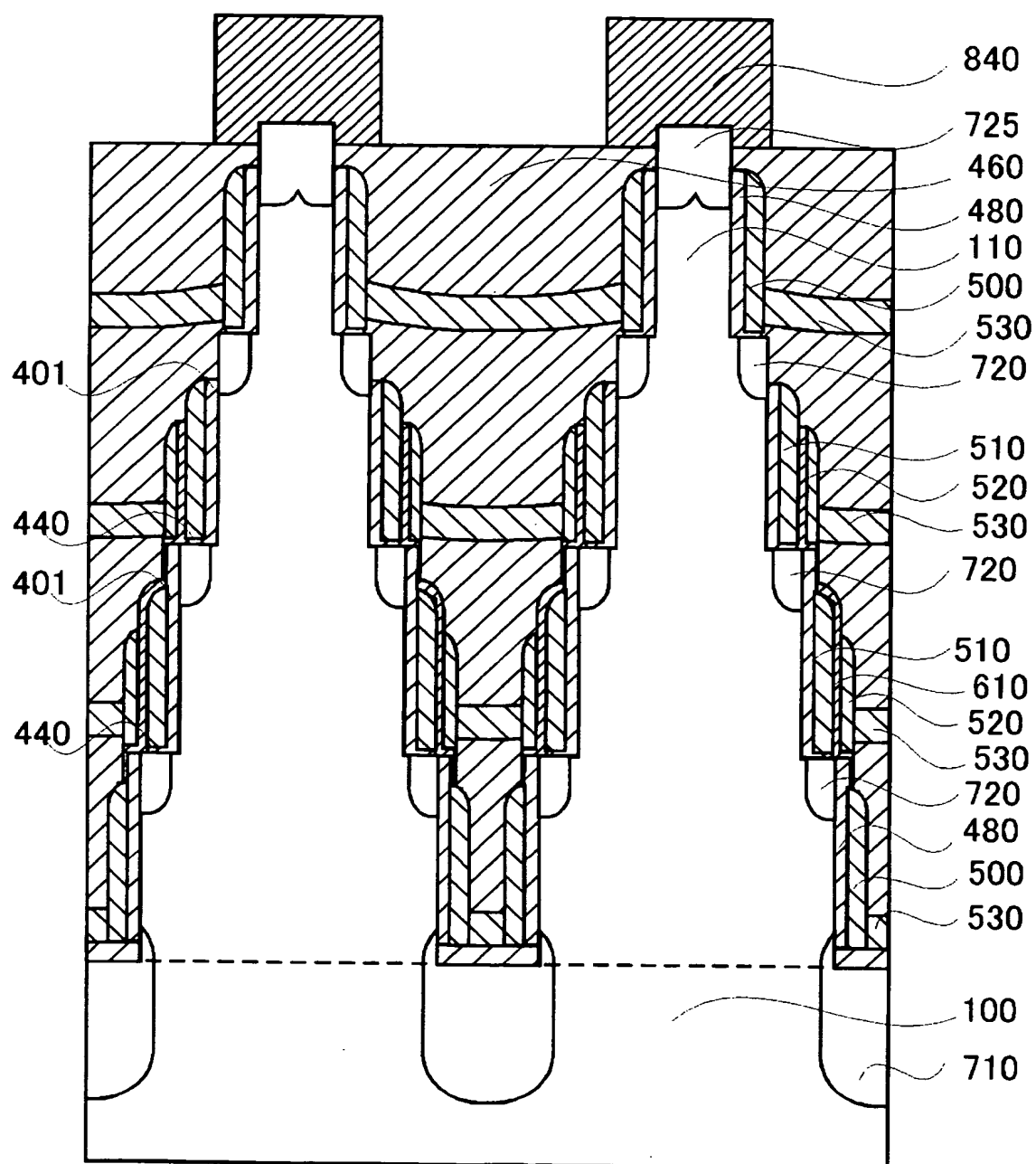
【図 45】



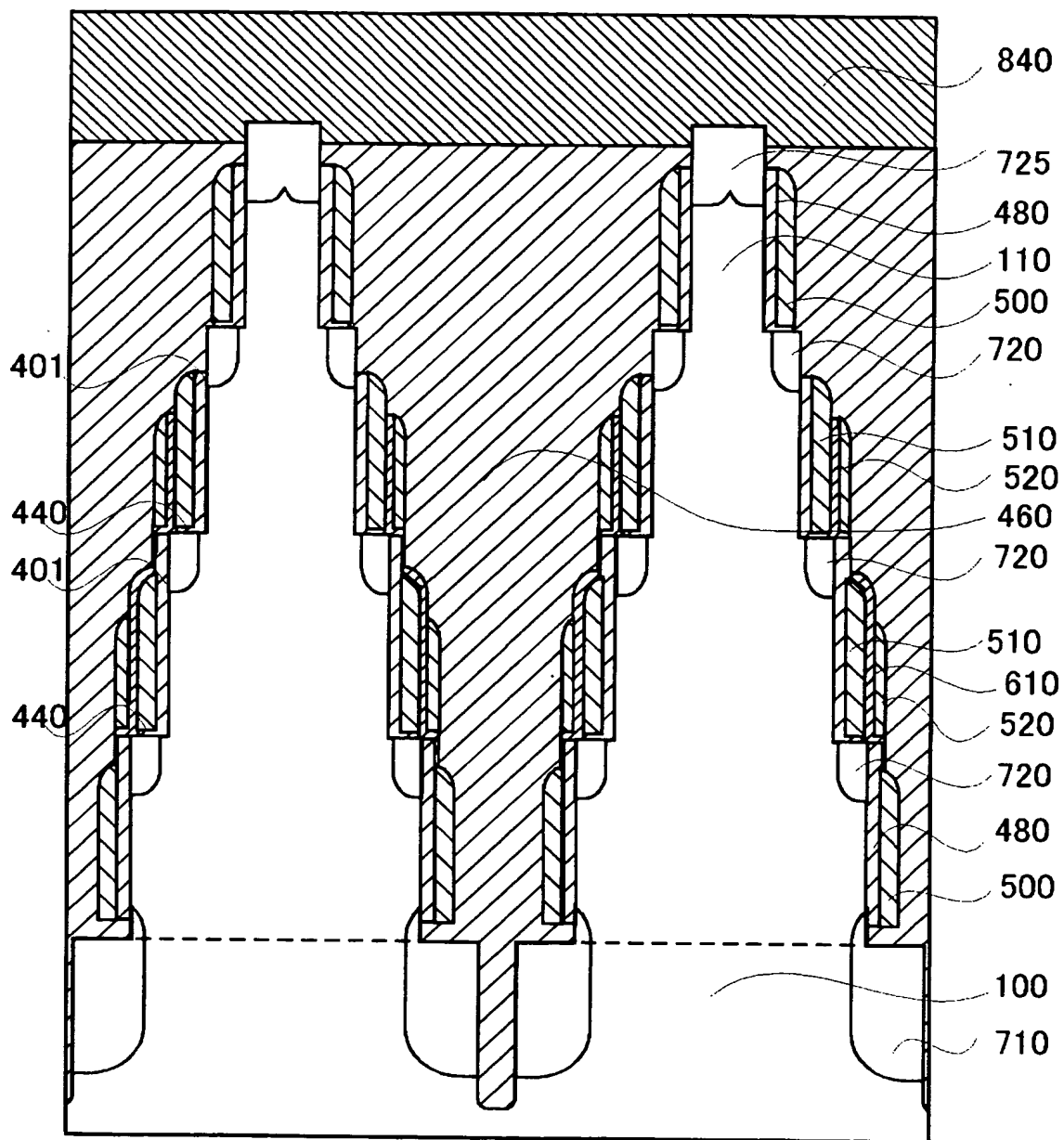
【図 46】



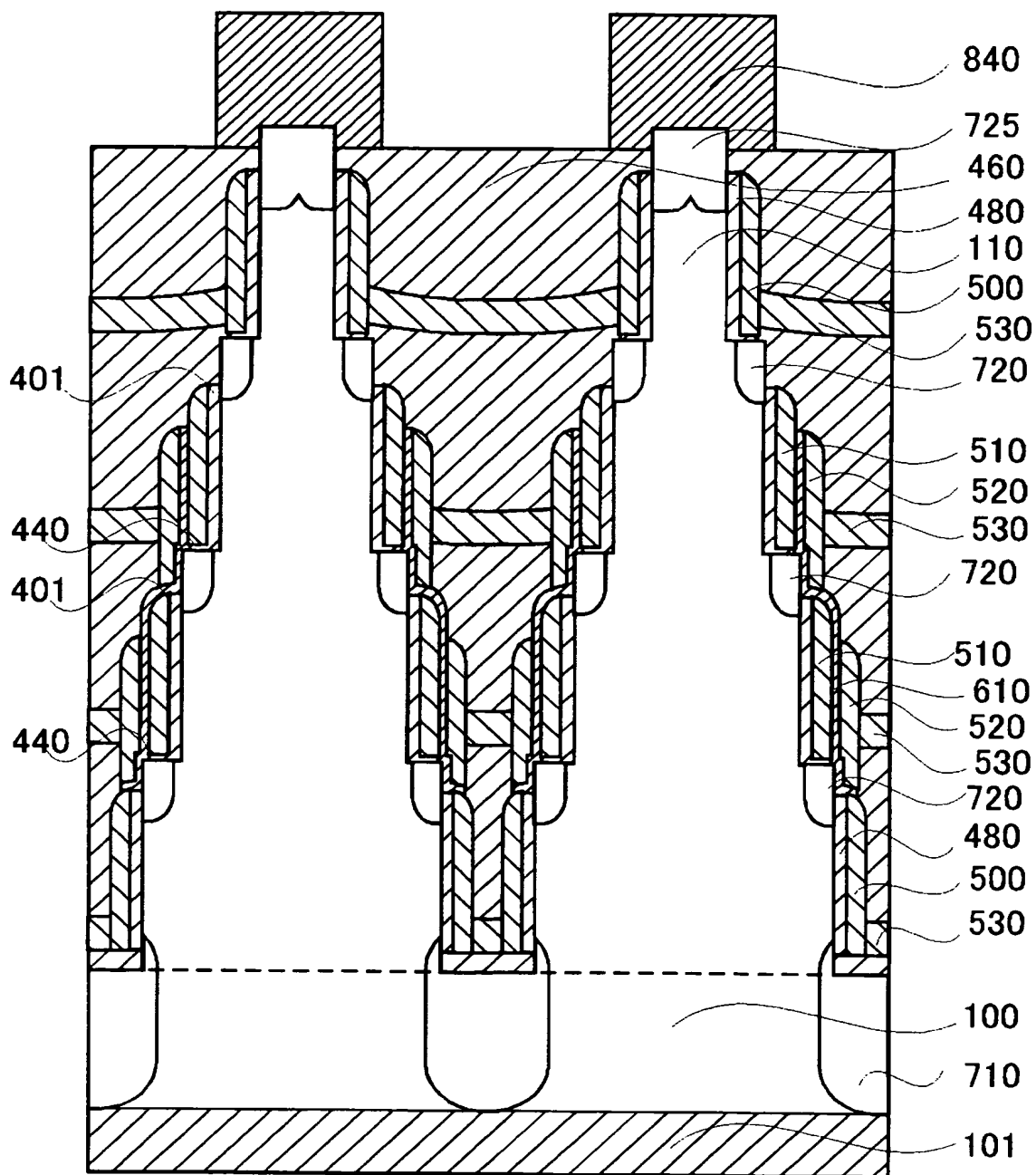
【図 47】



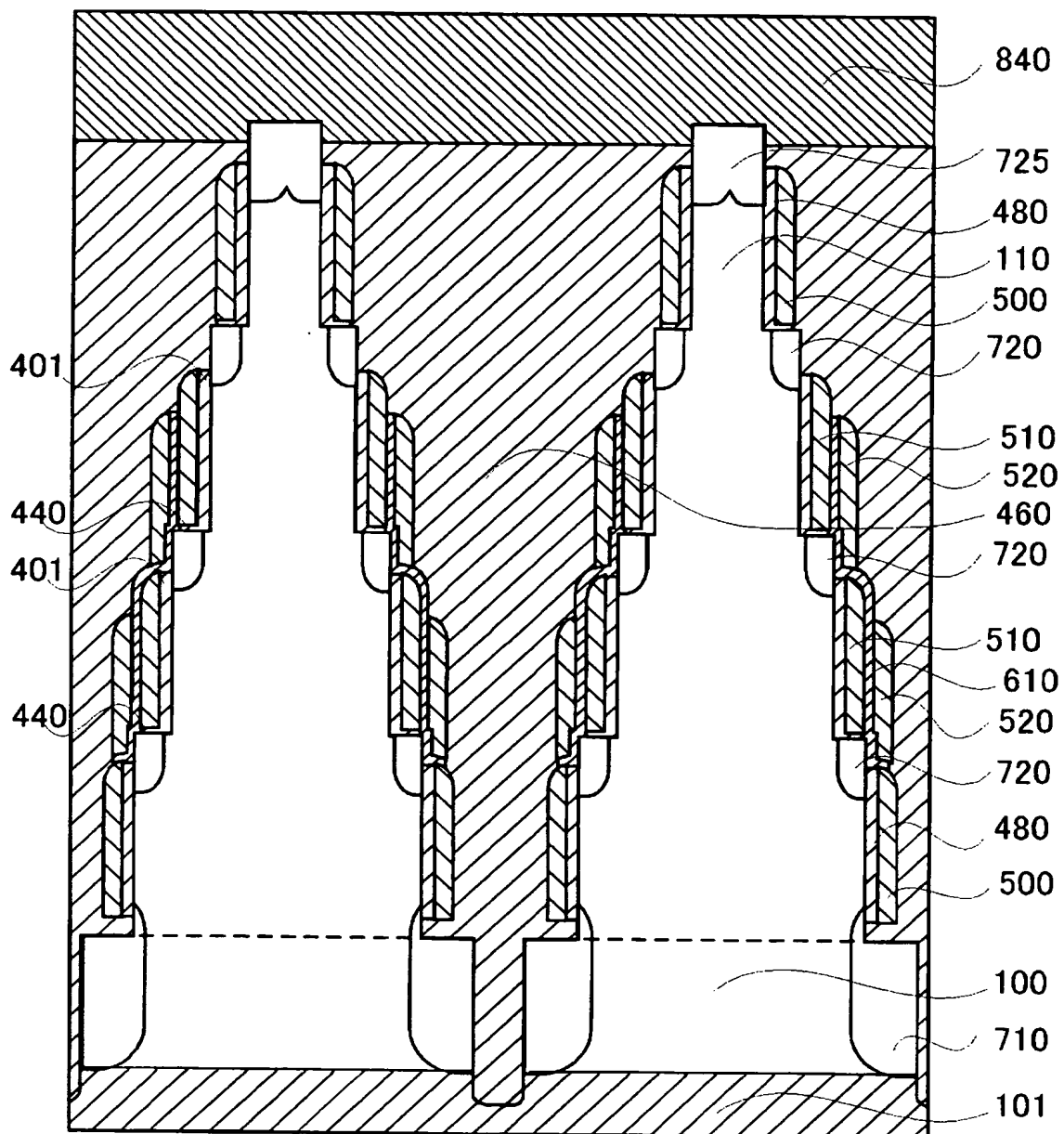
【図 48】



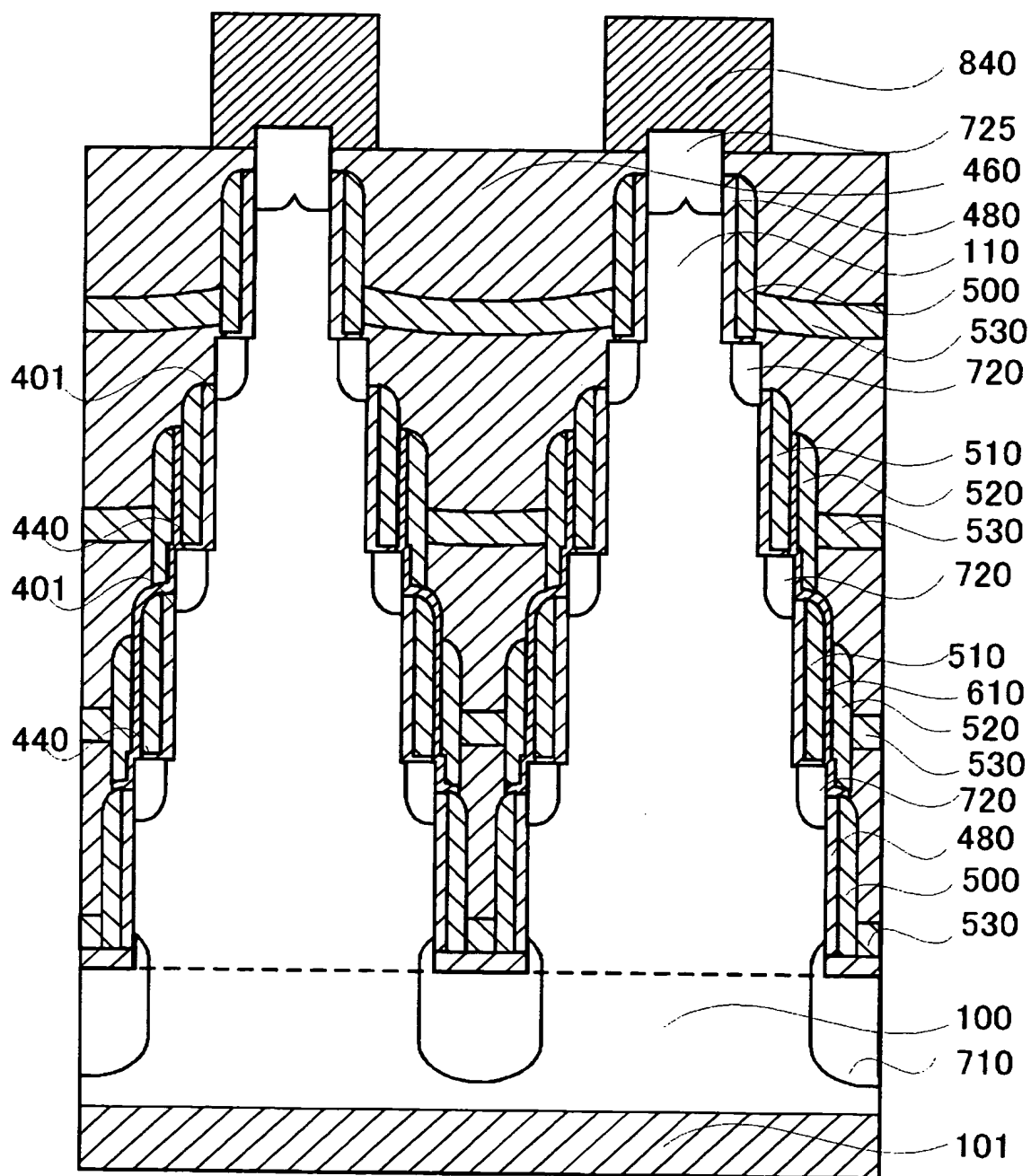
【図 49】



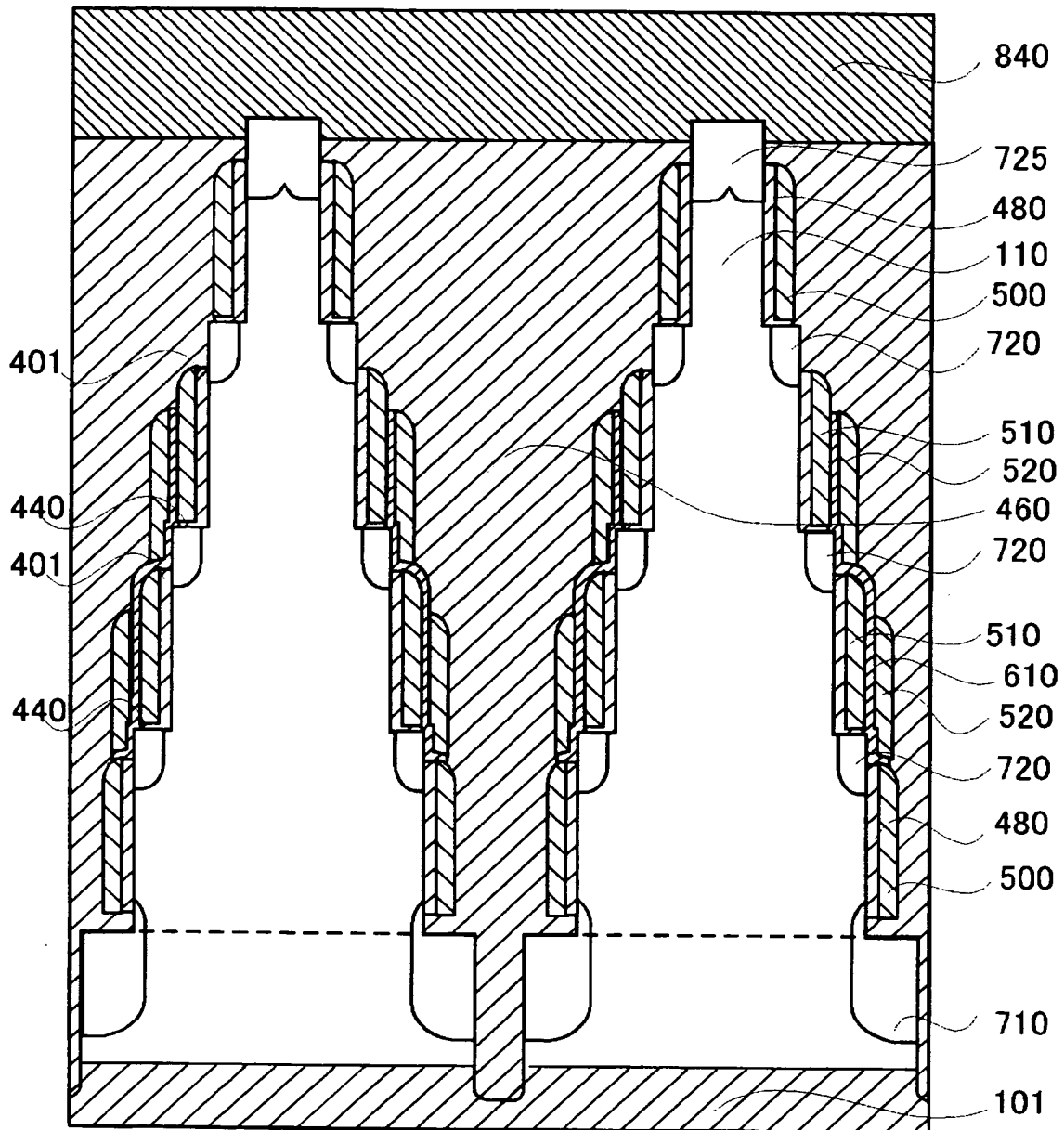
【図 50】



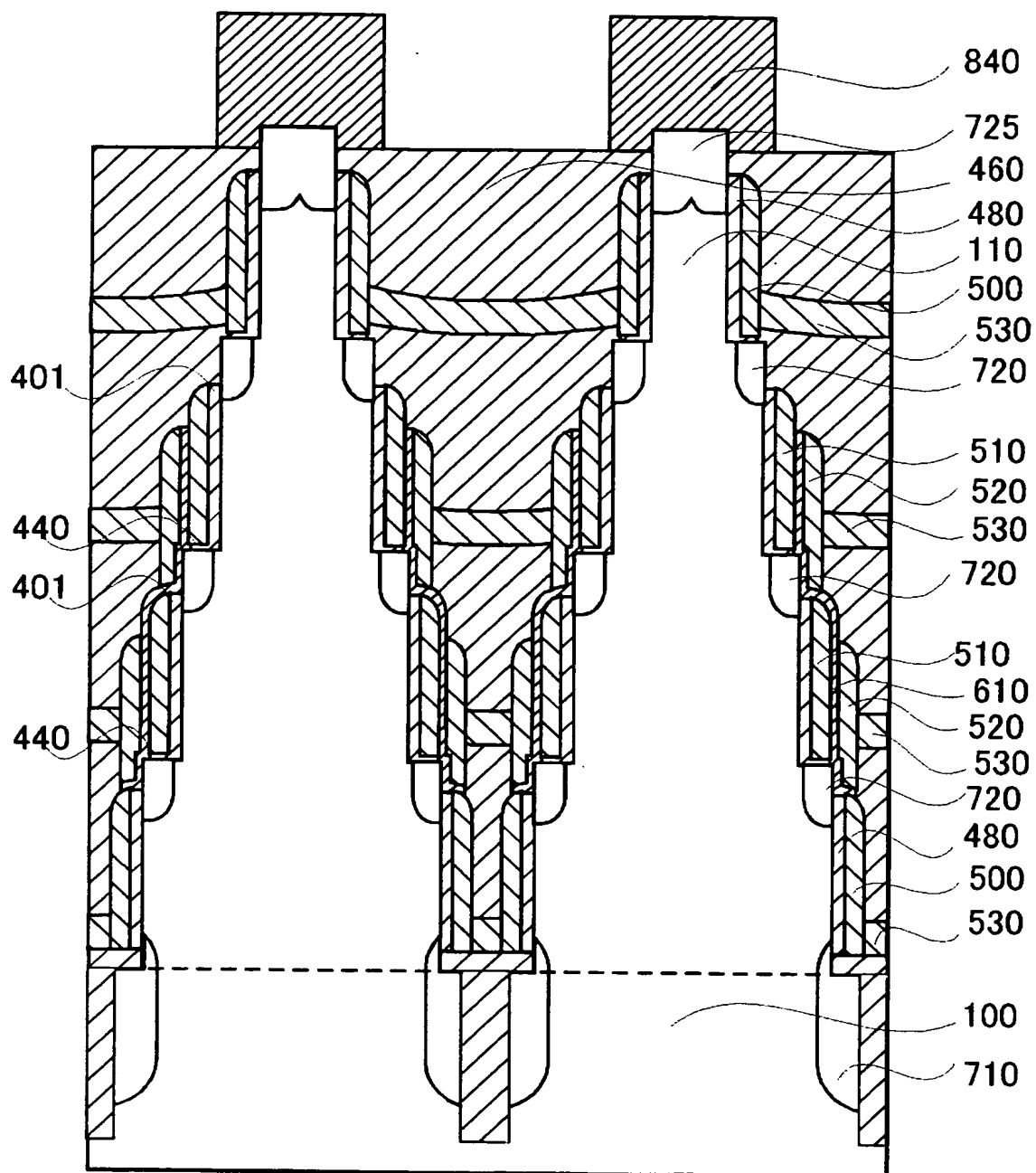
【図 51】



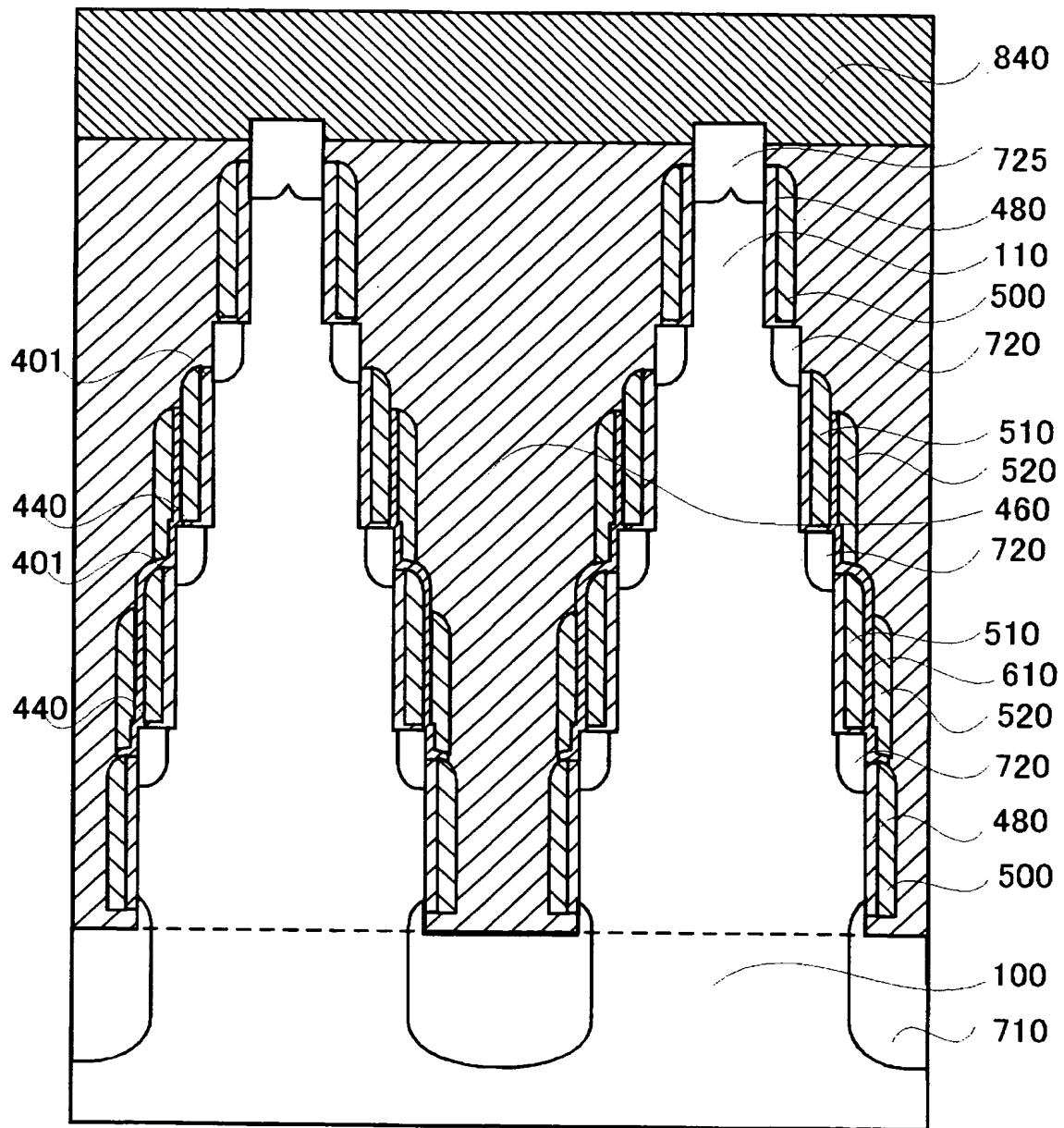
【図 5 2】



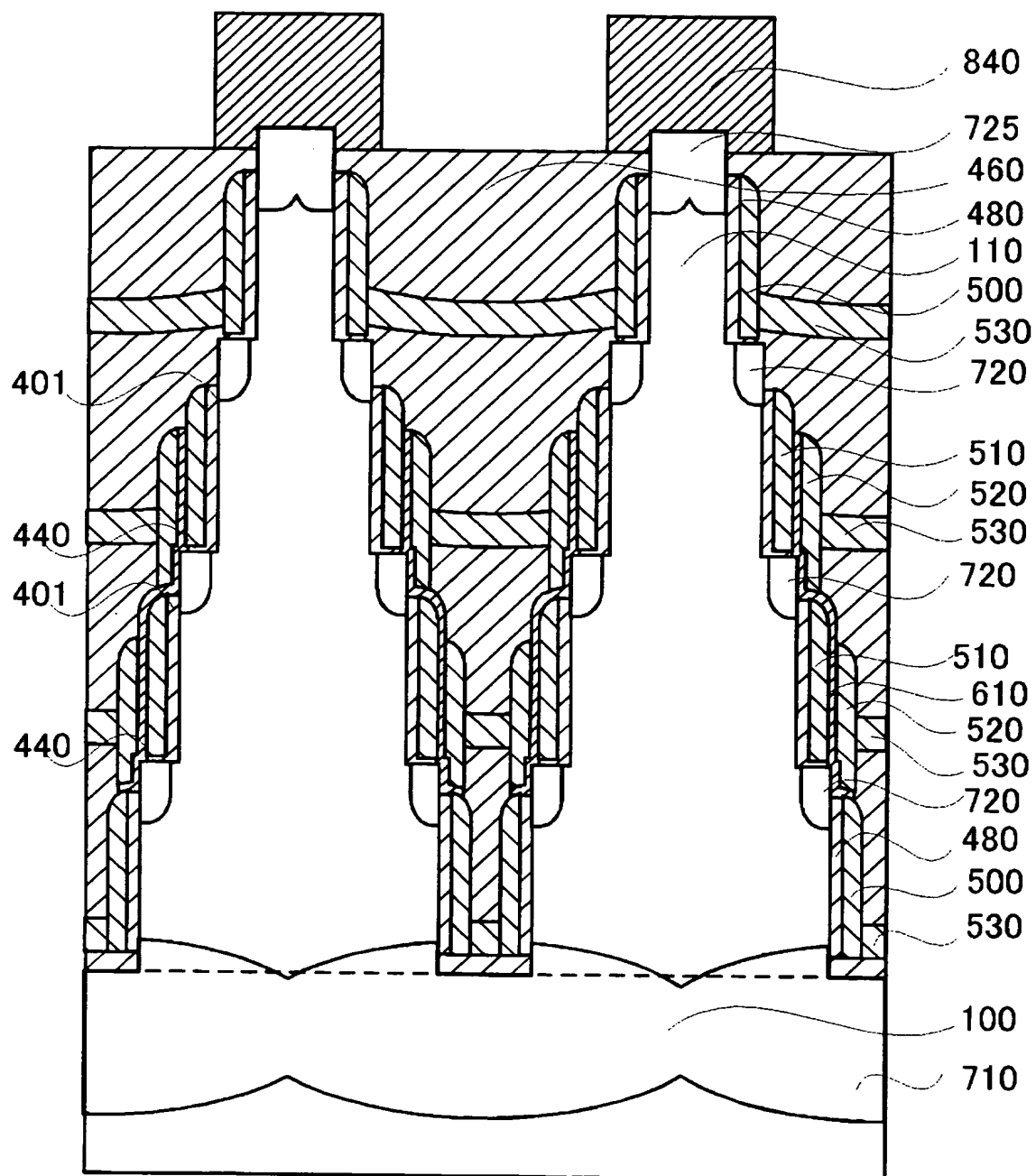
【図 53】



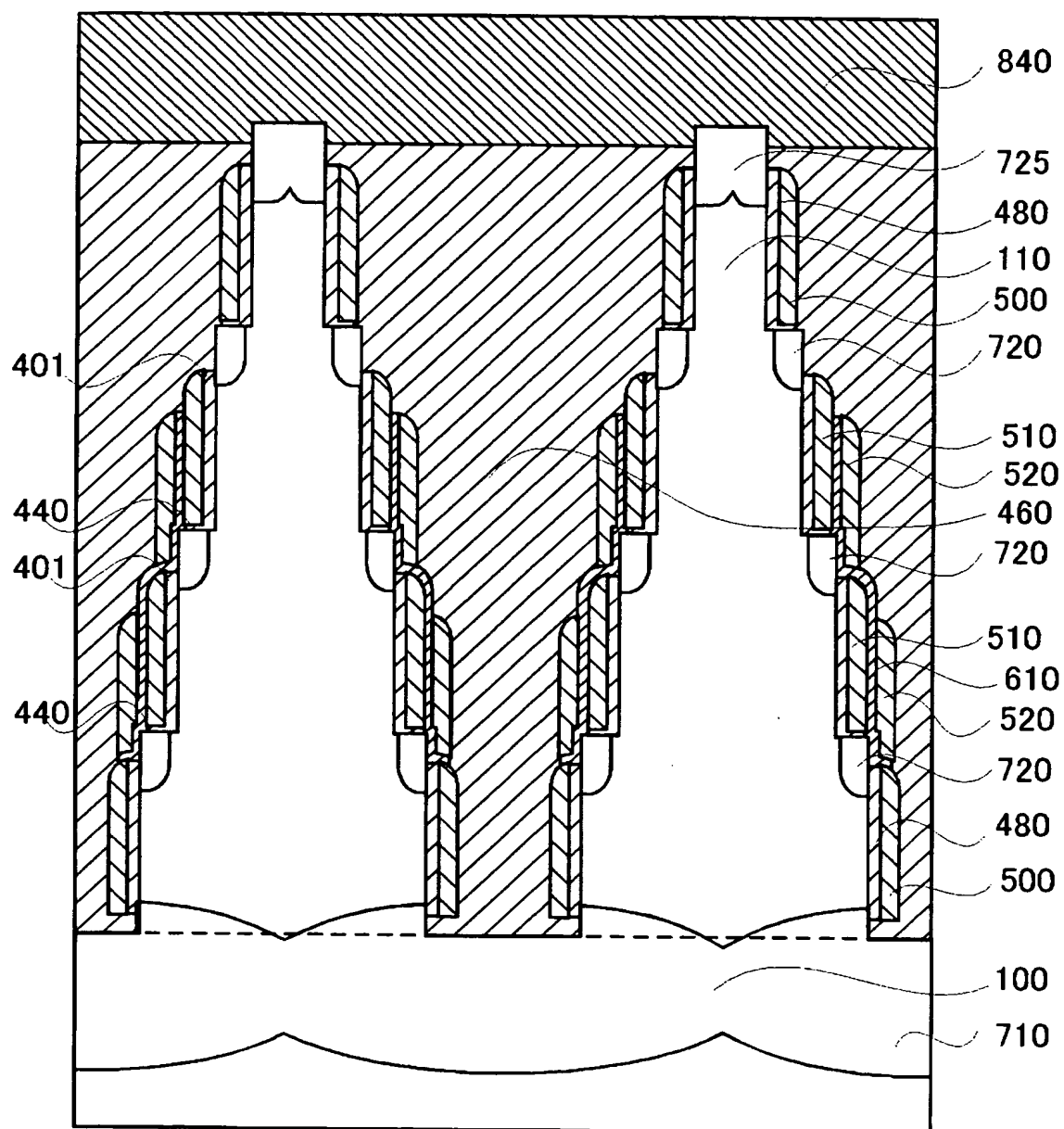
【図 54】



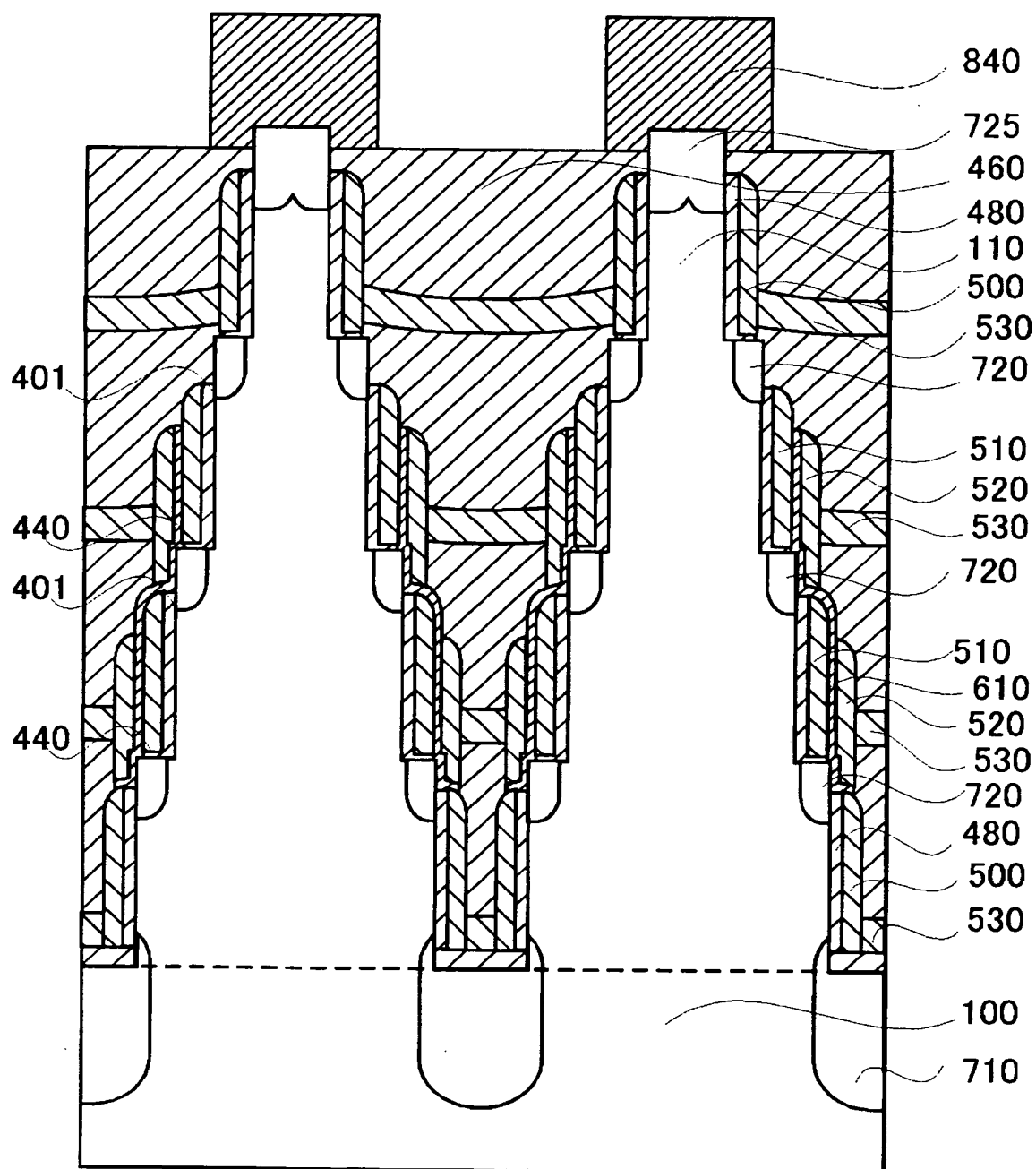
【図 55】



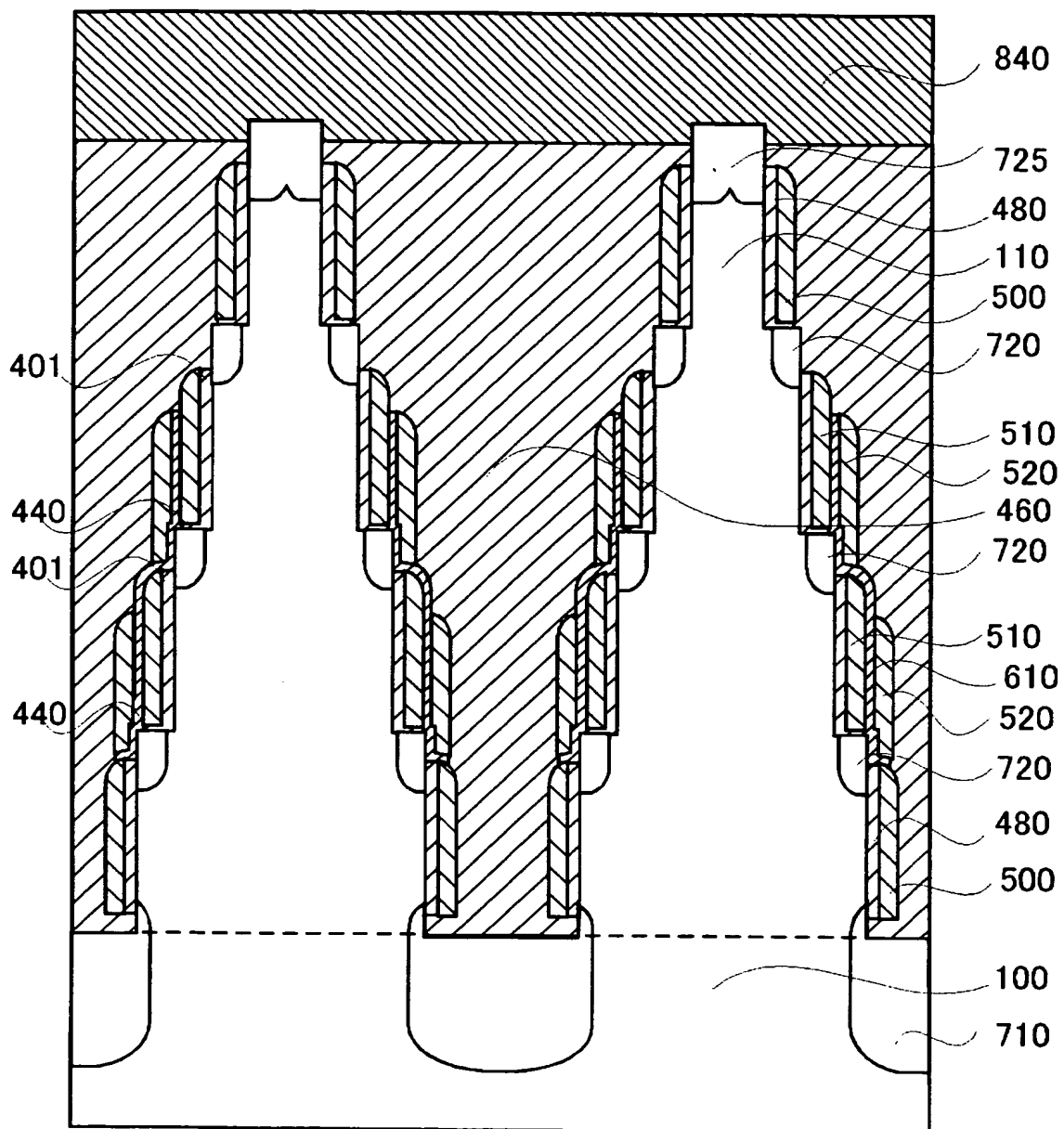
【図 56】



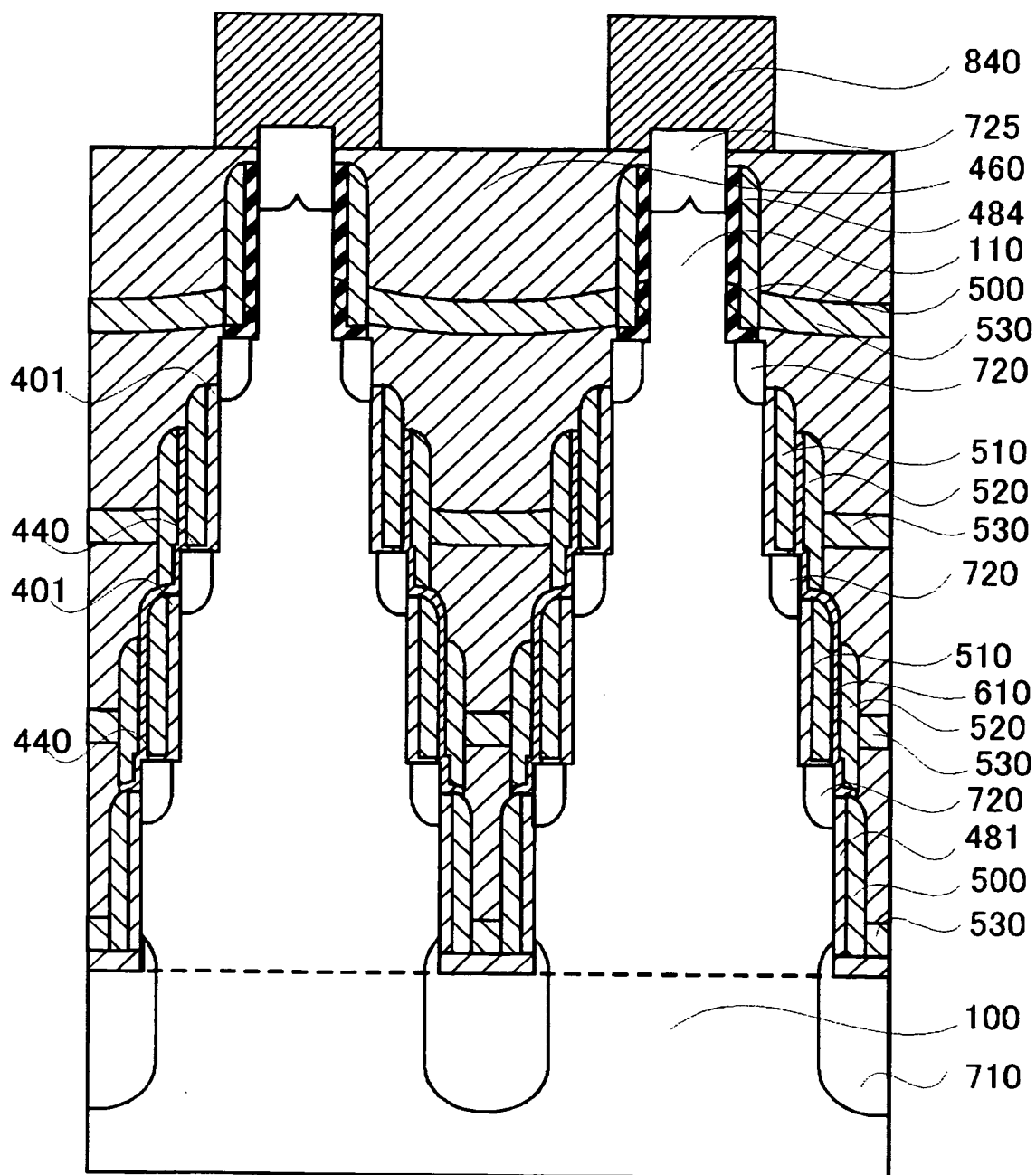
【図 57】



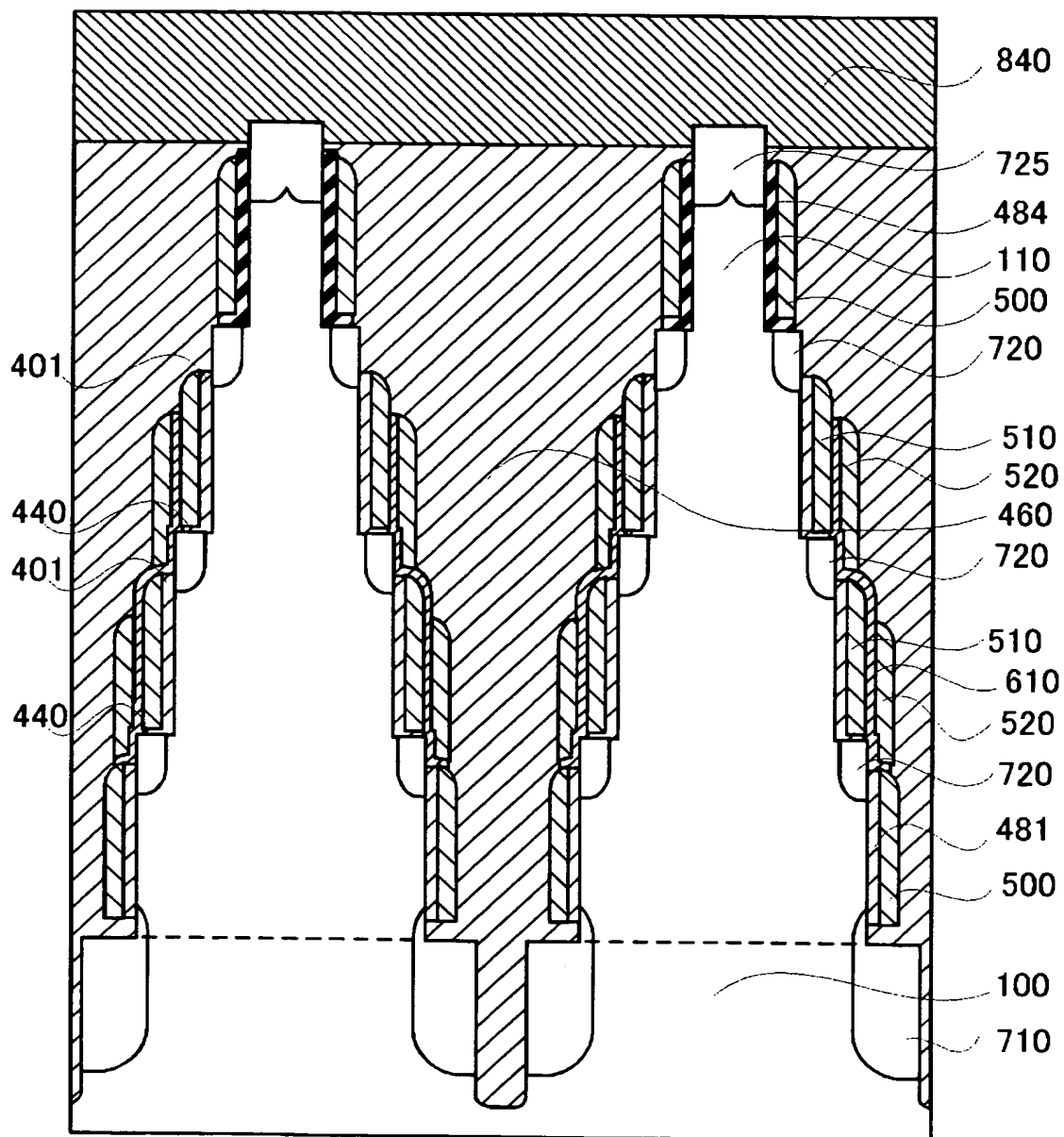
【図 58】



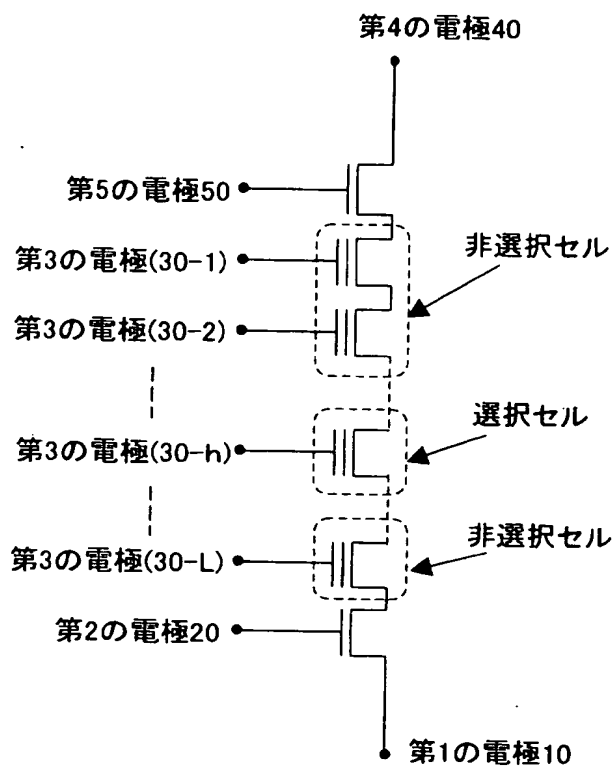
【図 59】



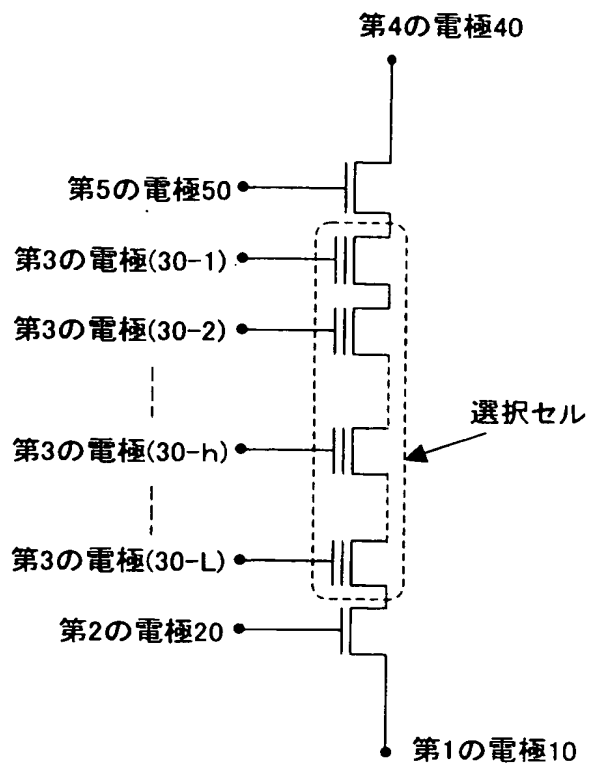
【図 60】



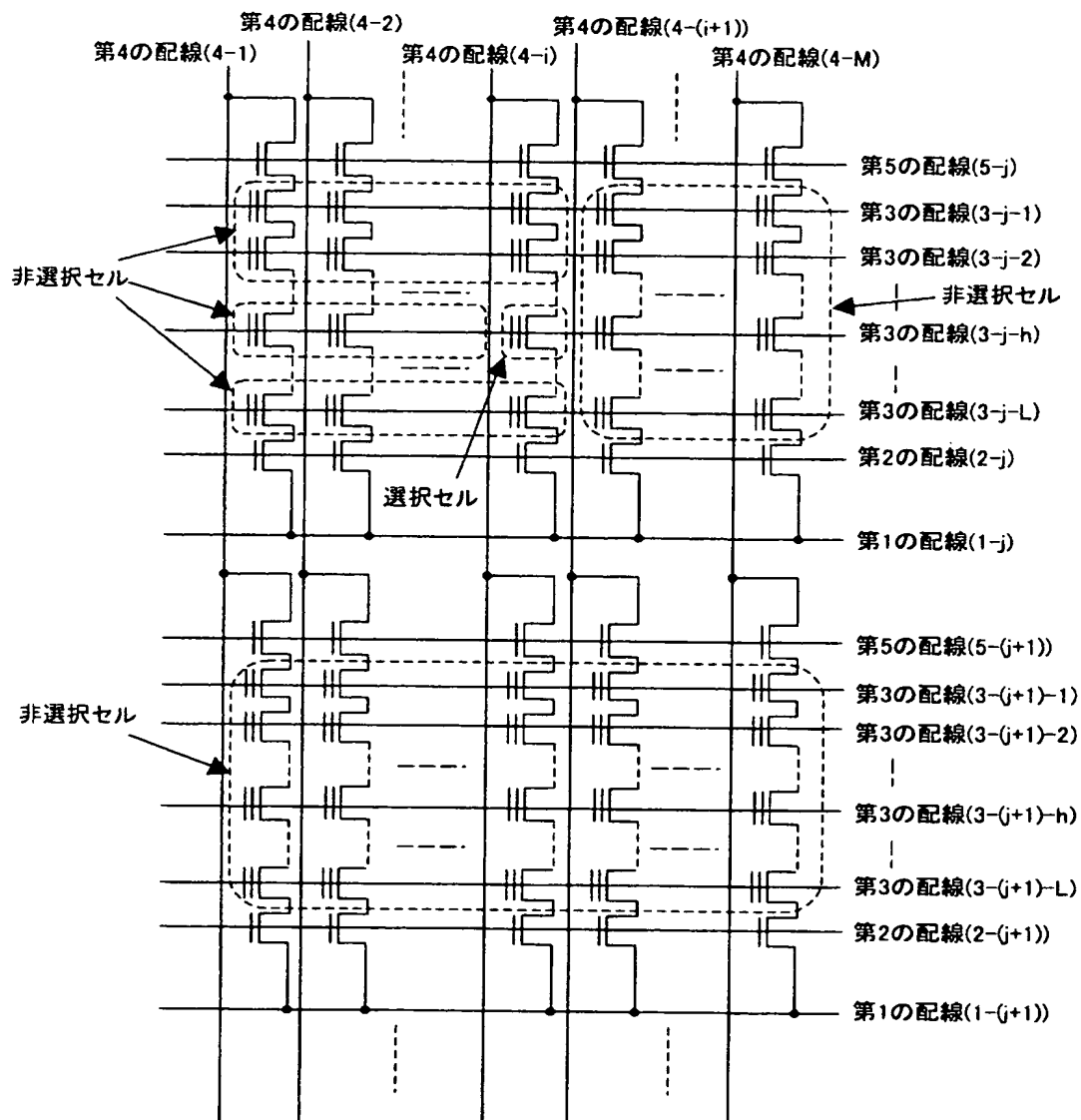
【図 6 1】



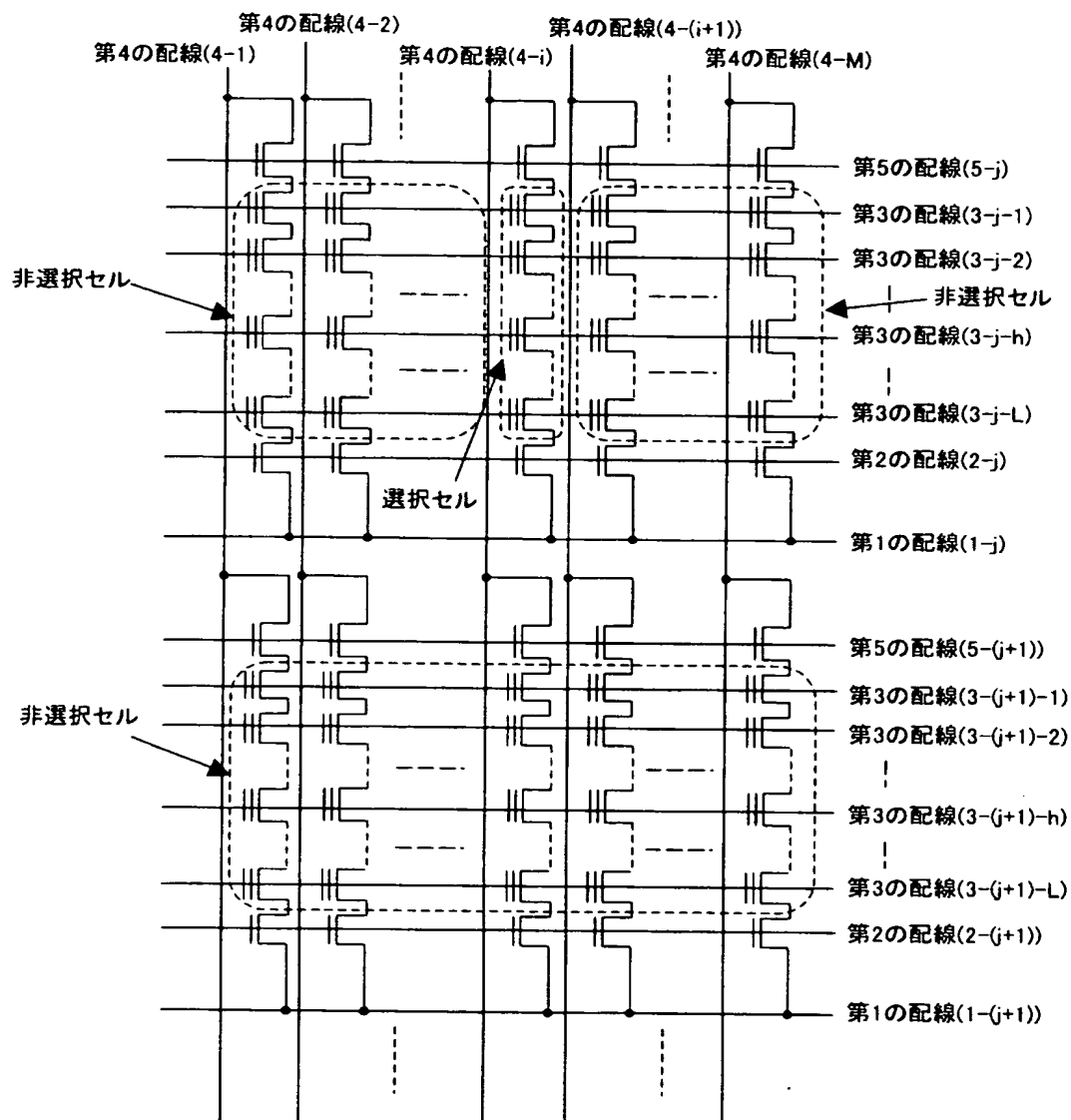
【図 6 2】



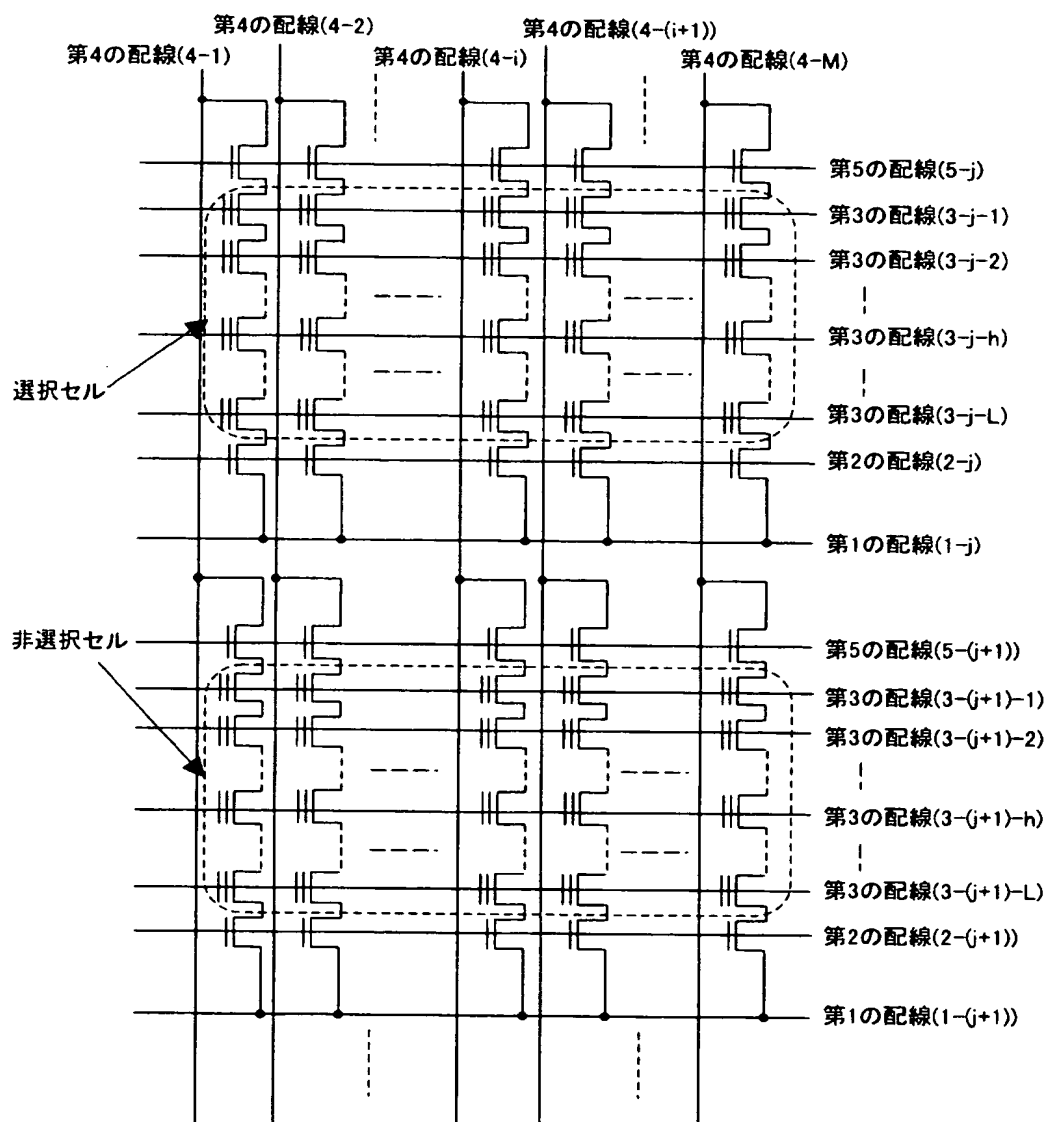
【図 63】



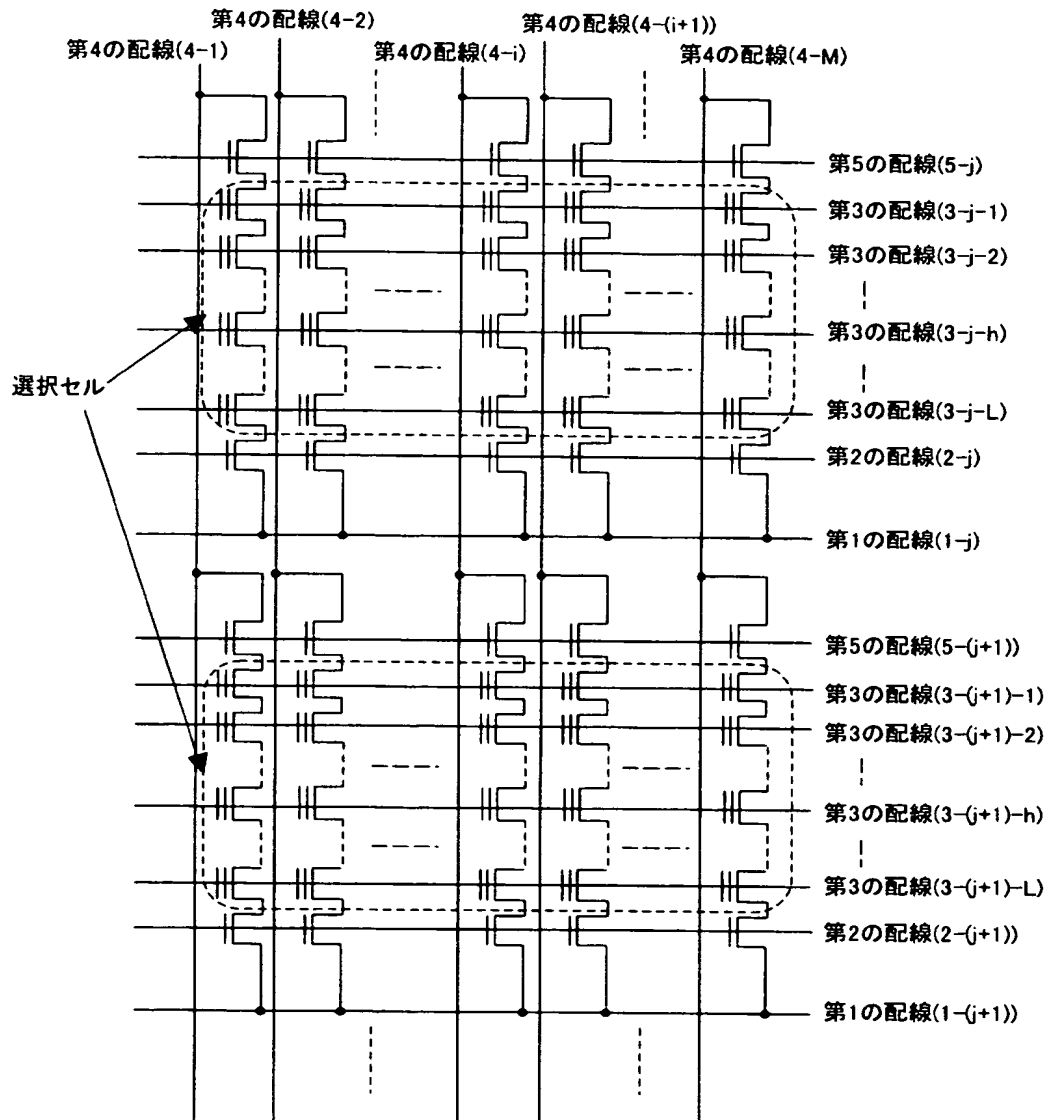
【図 6 4】



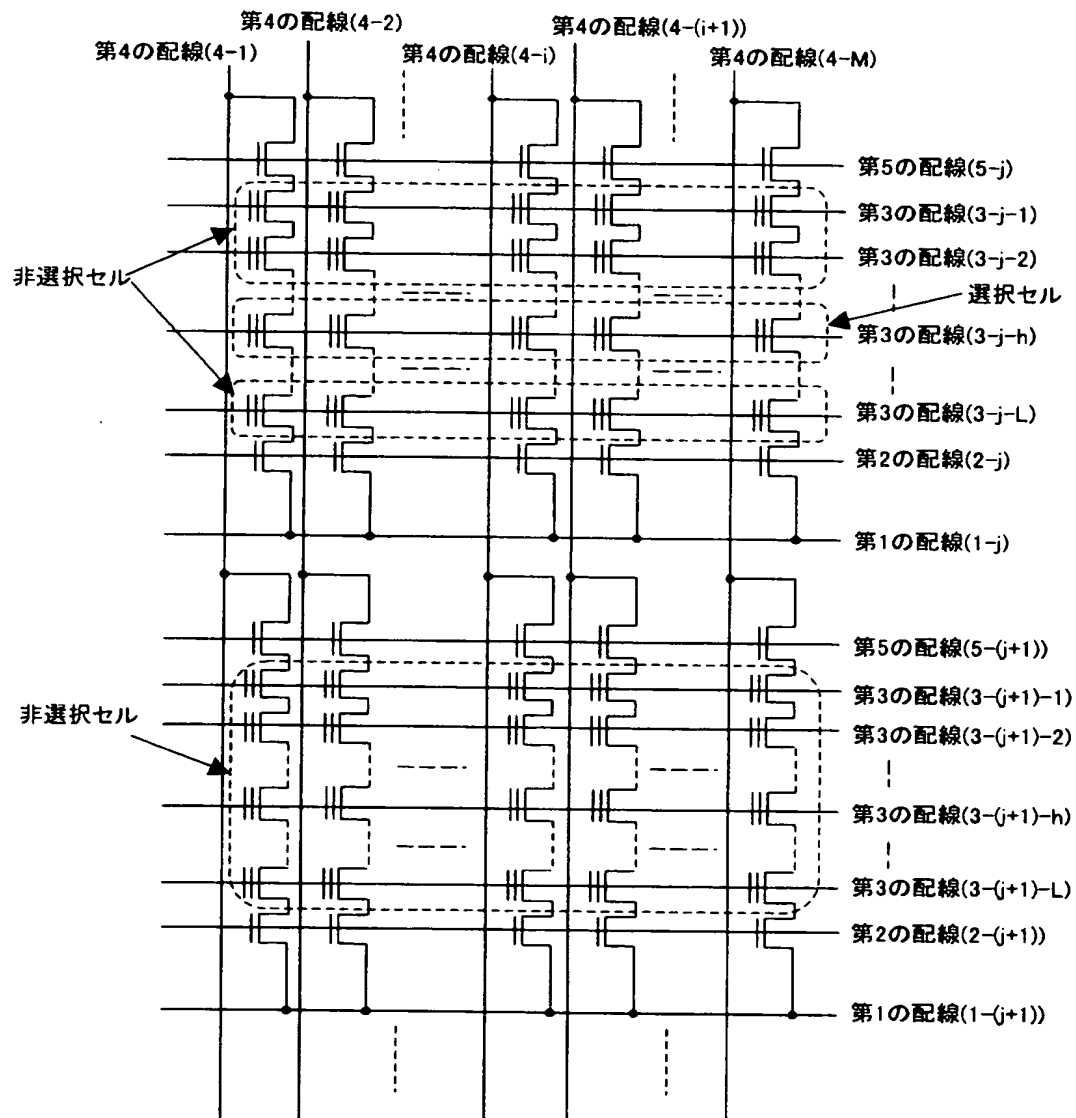
【図 6 5】



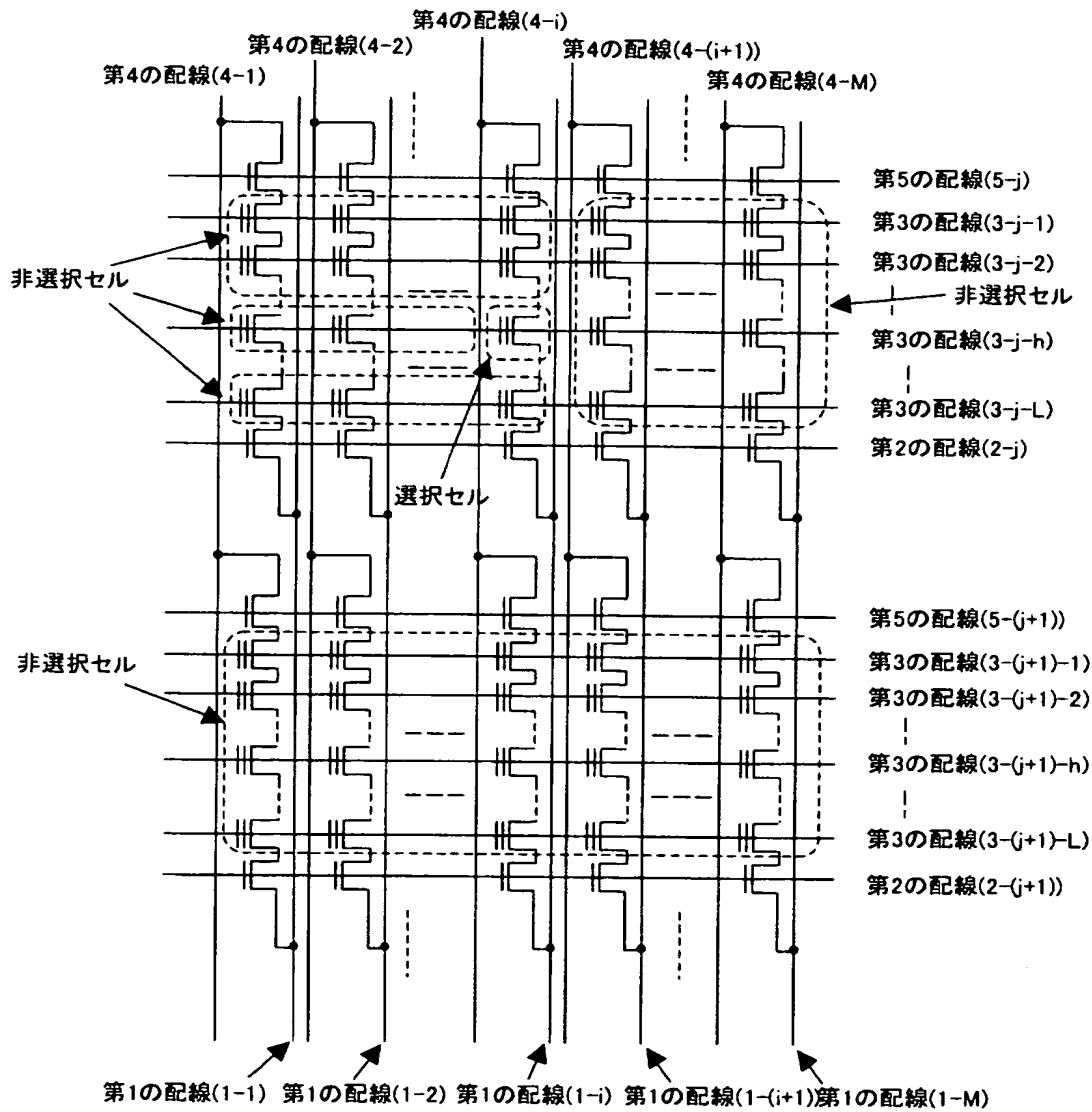
【図 6 6】



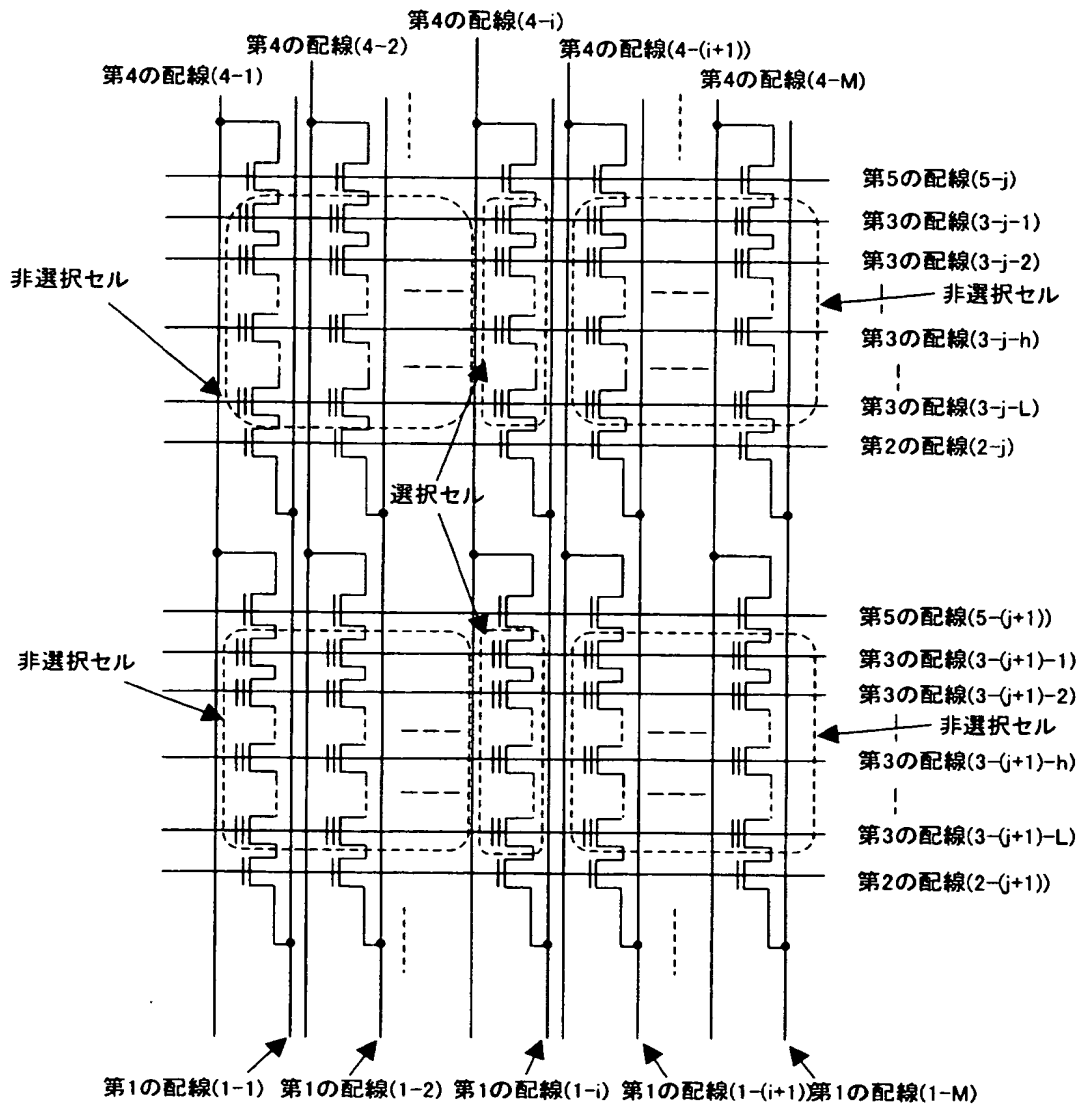
【図 67】



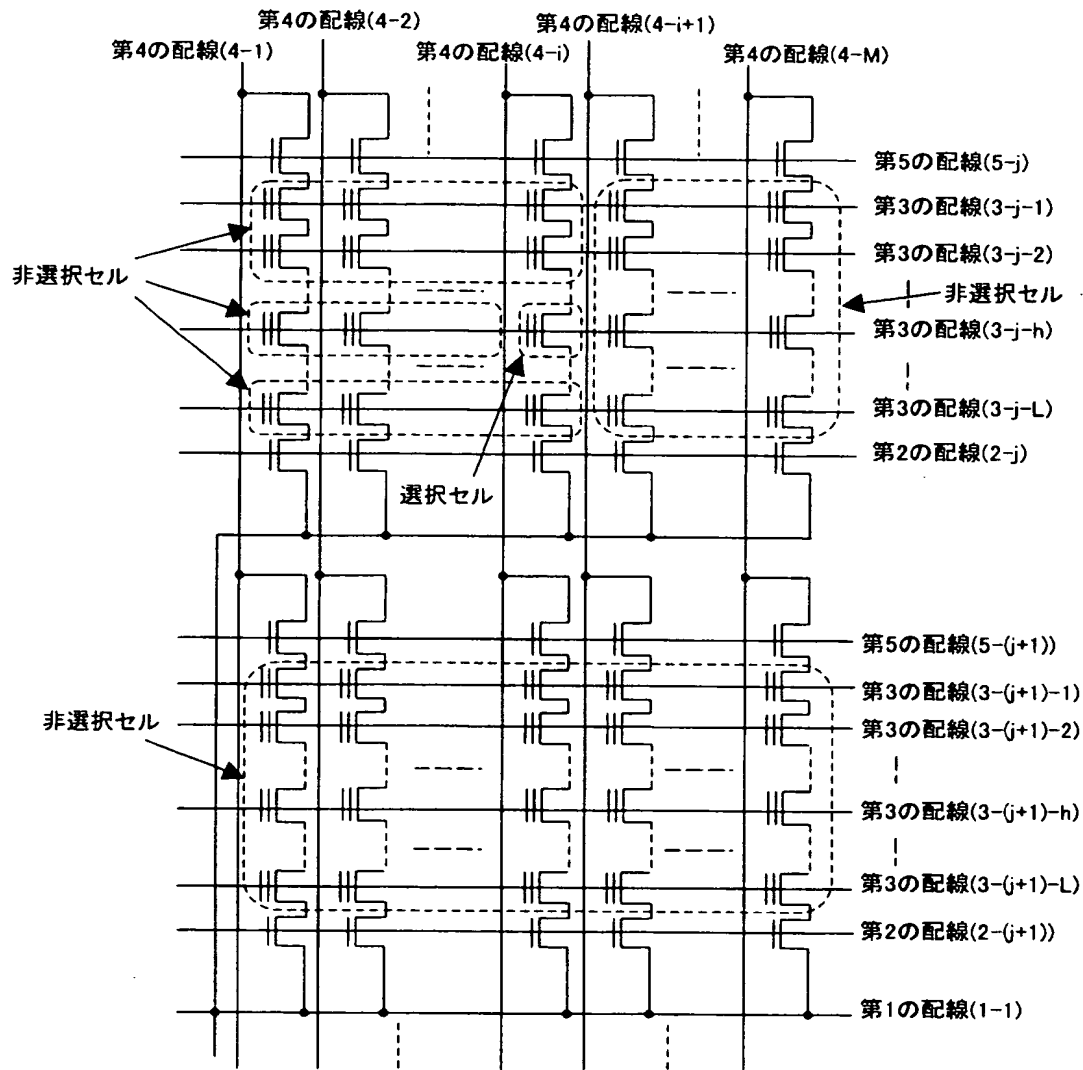
【図 68】



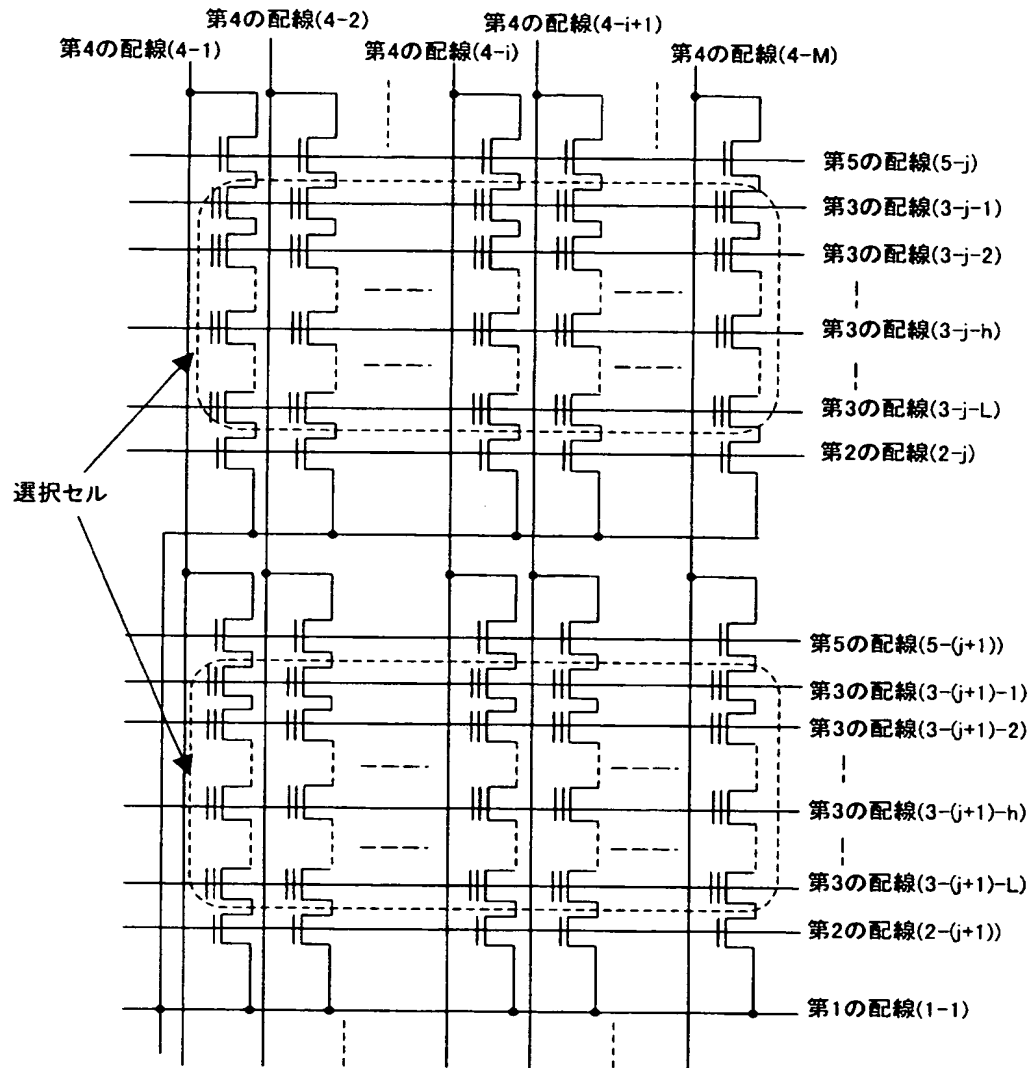
【図 69】



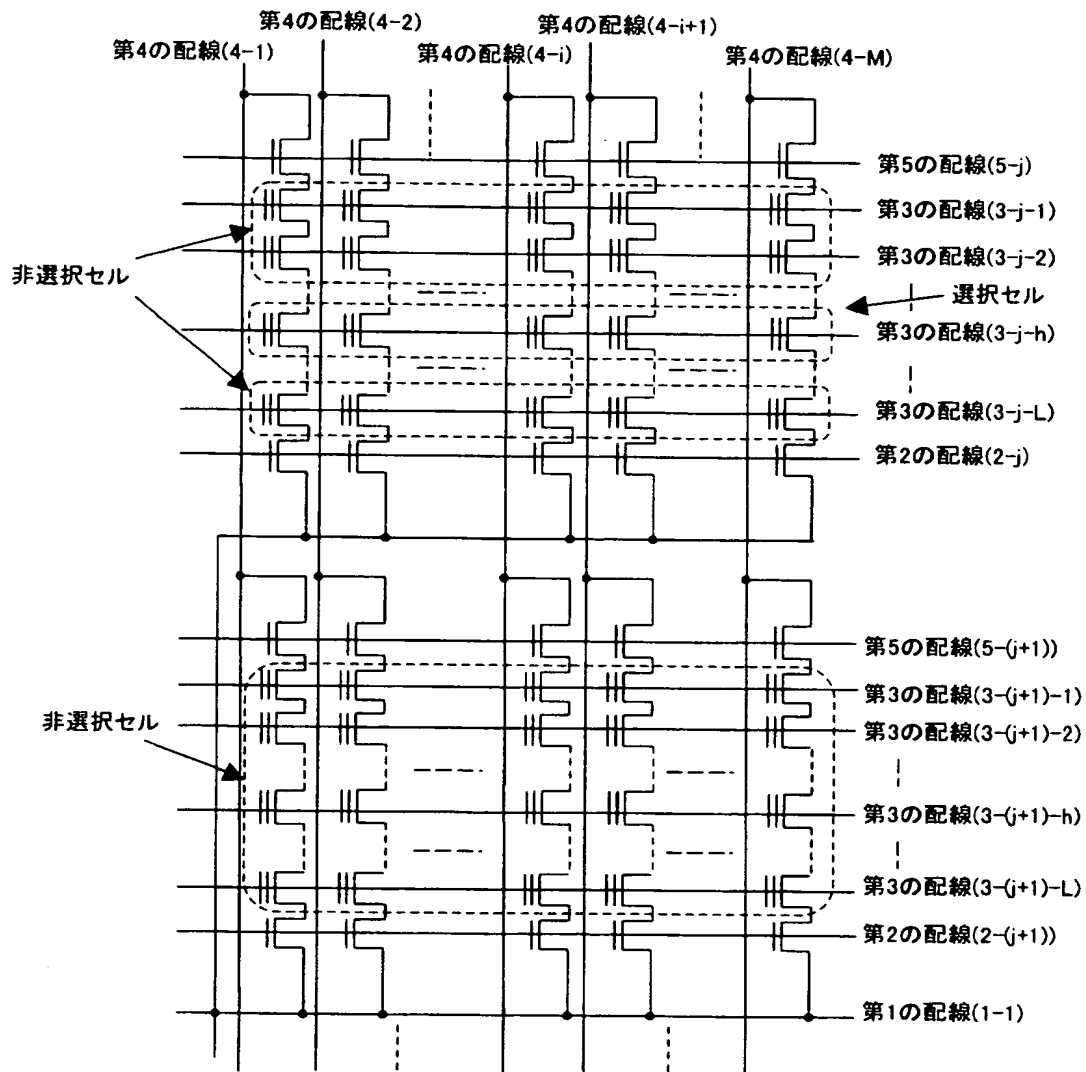
【図 70】



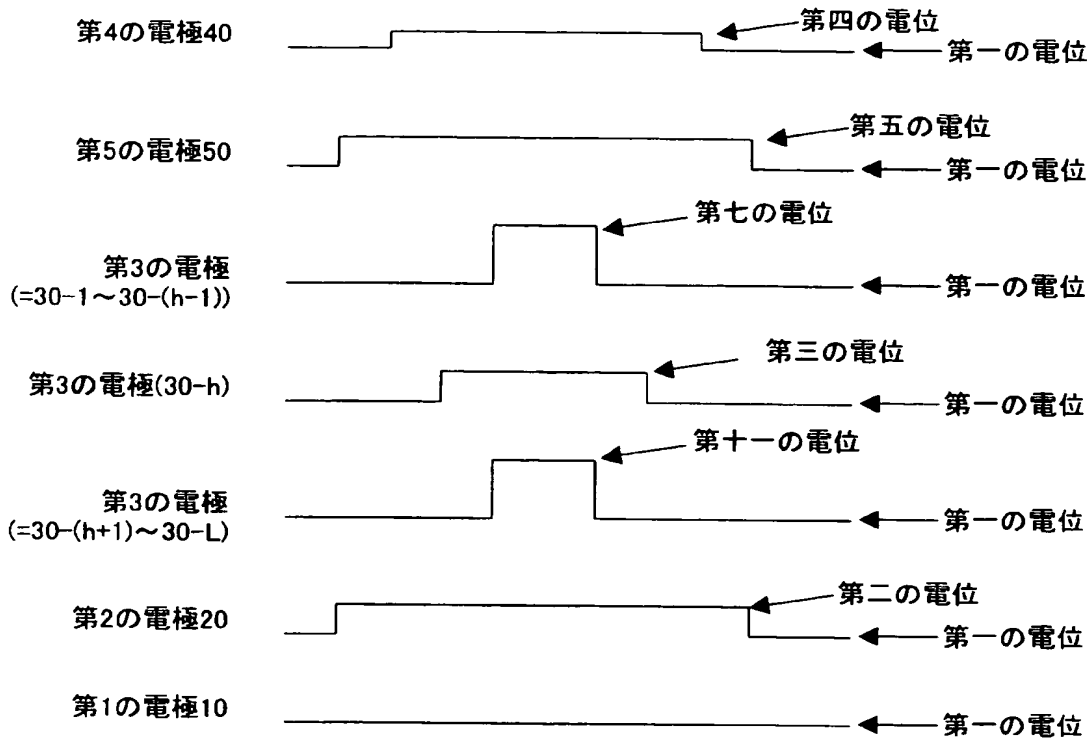
【図 71】



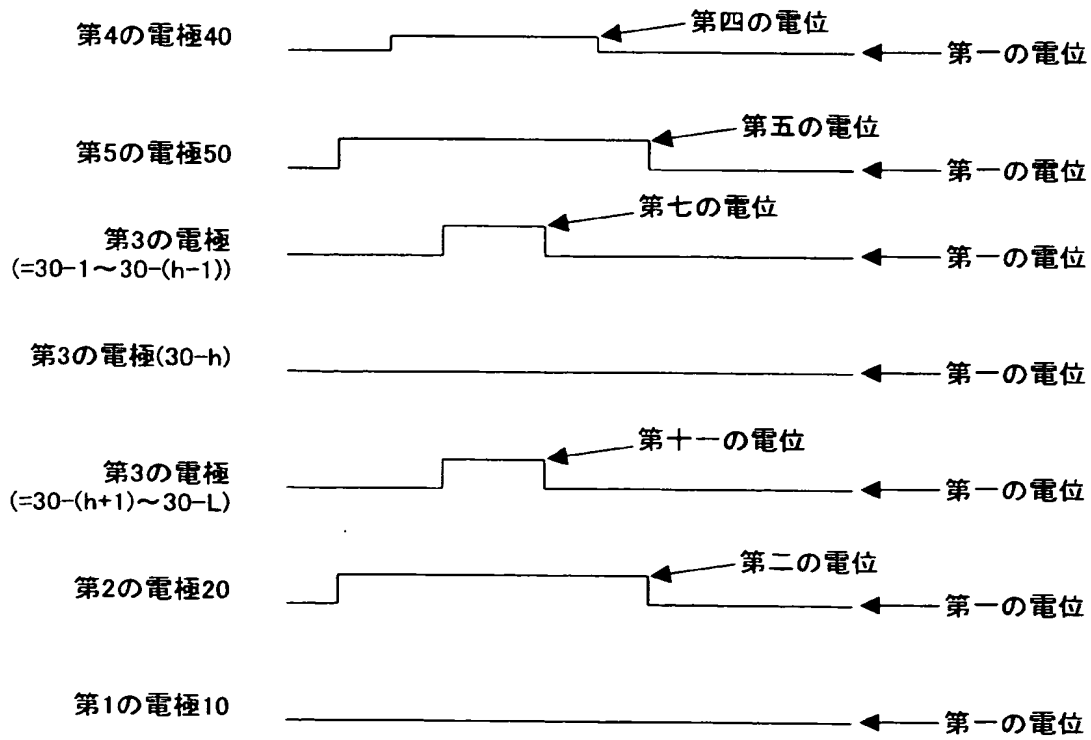
【図 7 2】



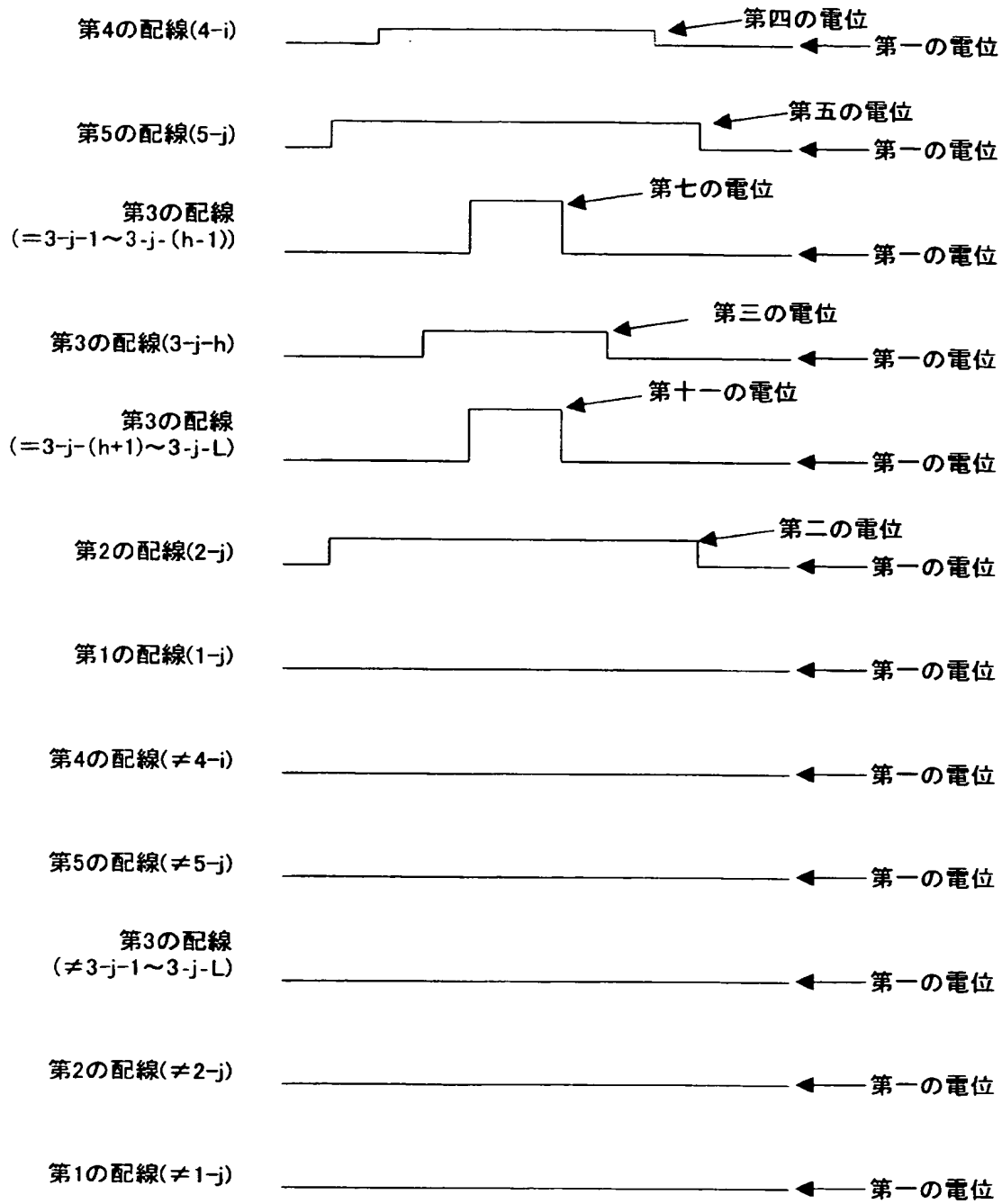
【図73】



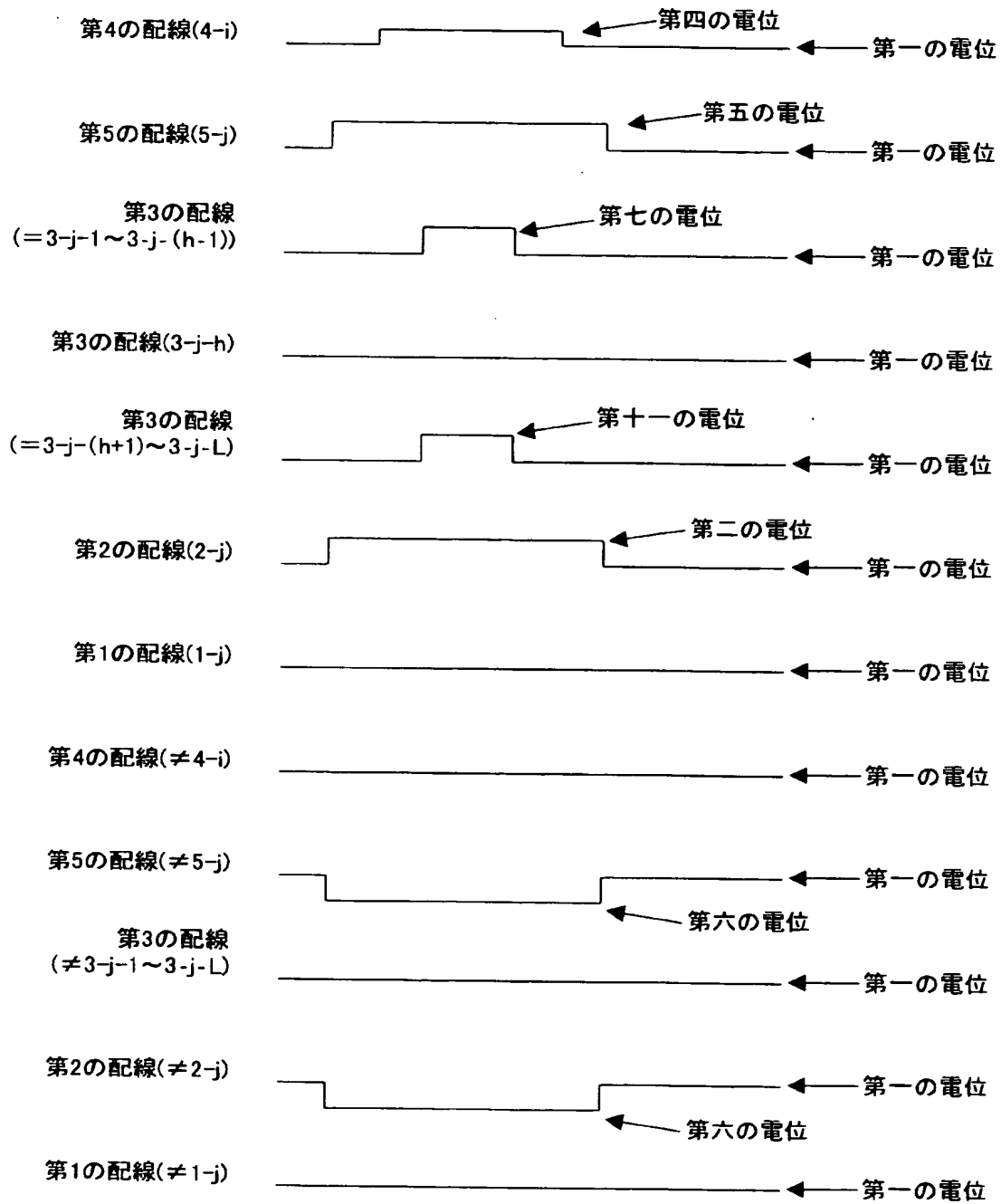
【図74】



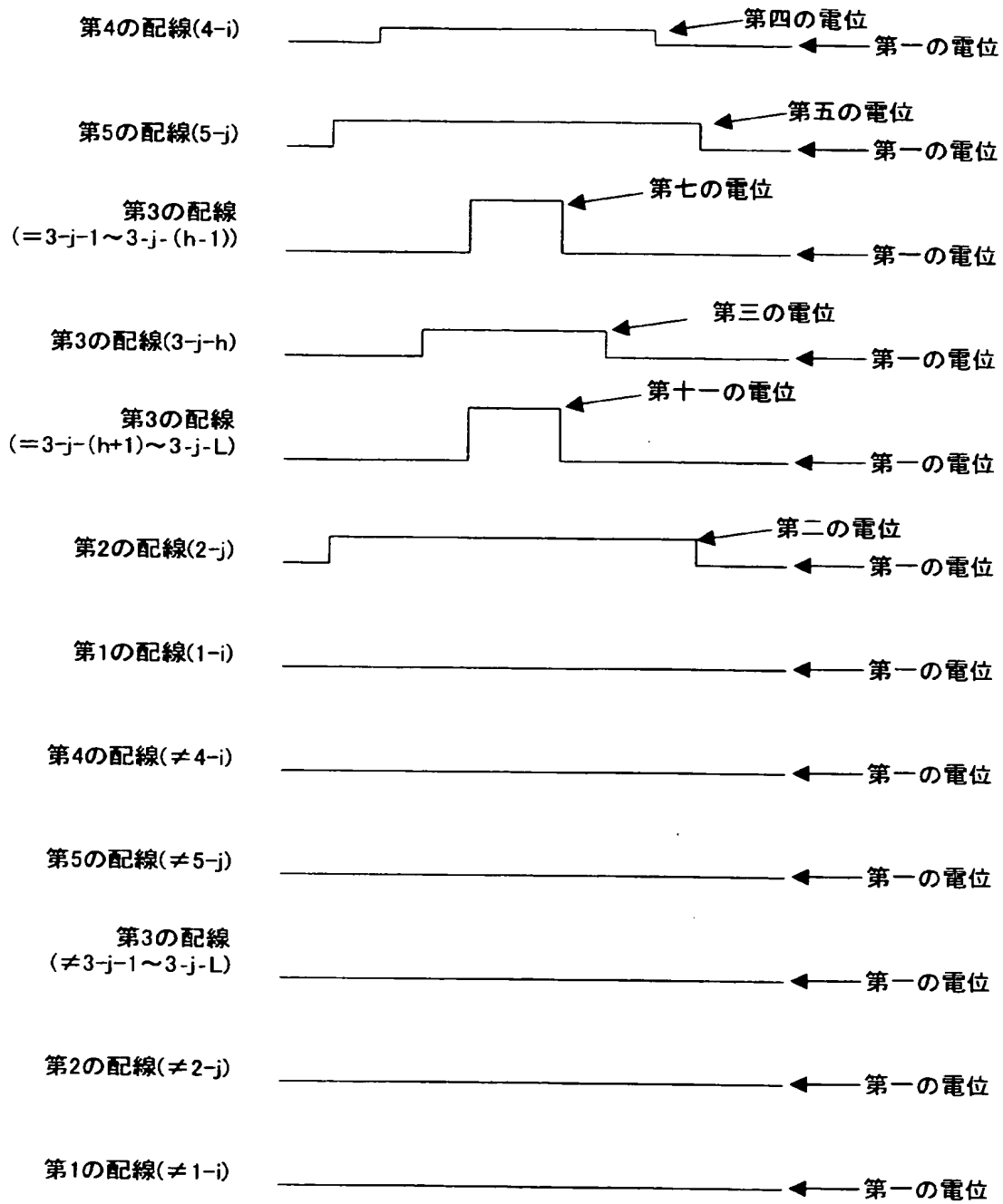
【図 75】



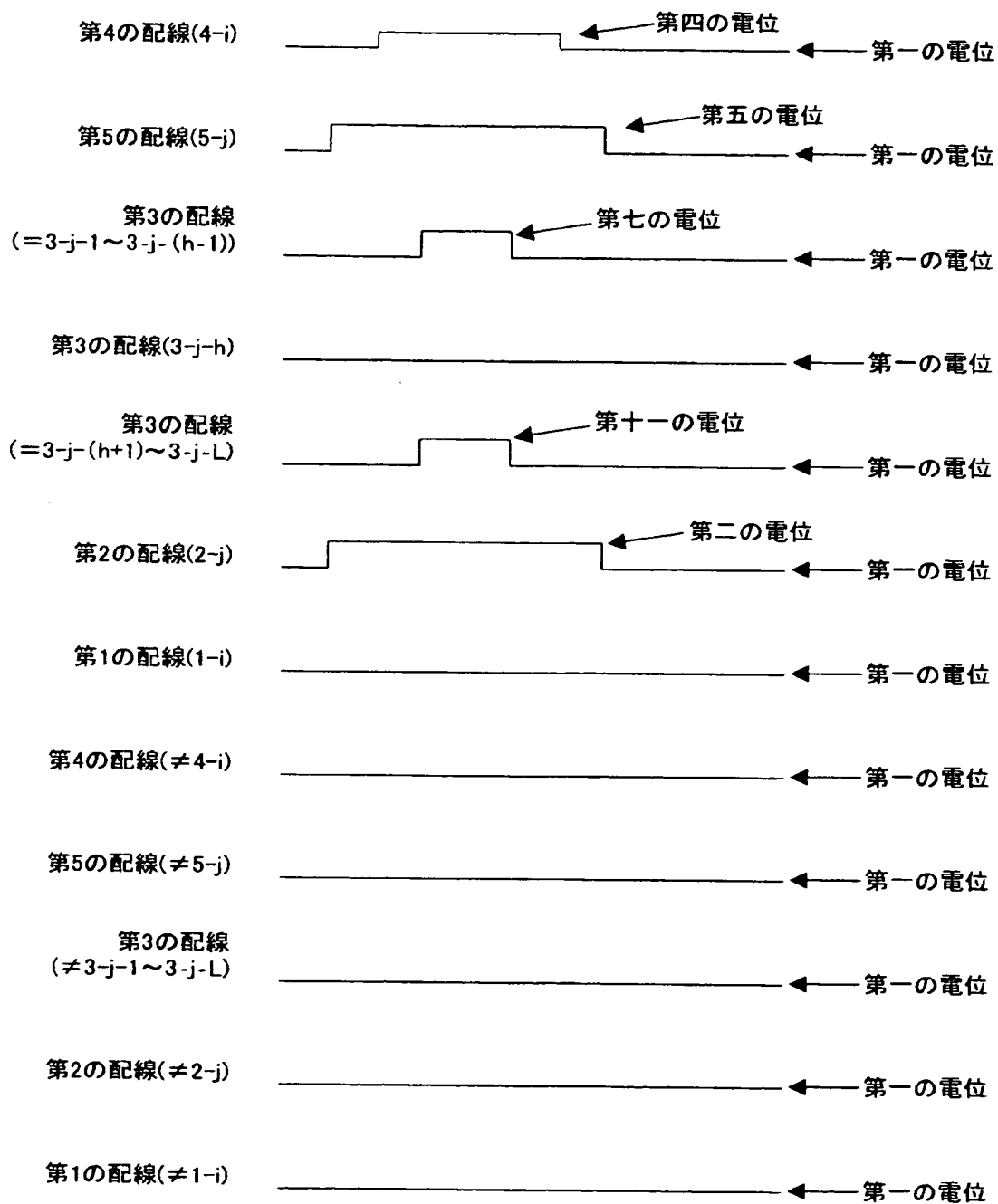
【図 76】



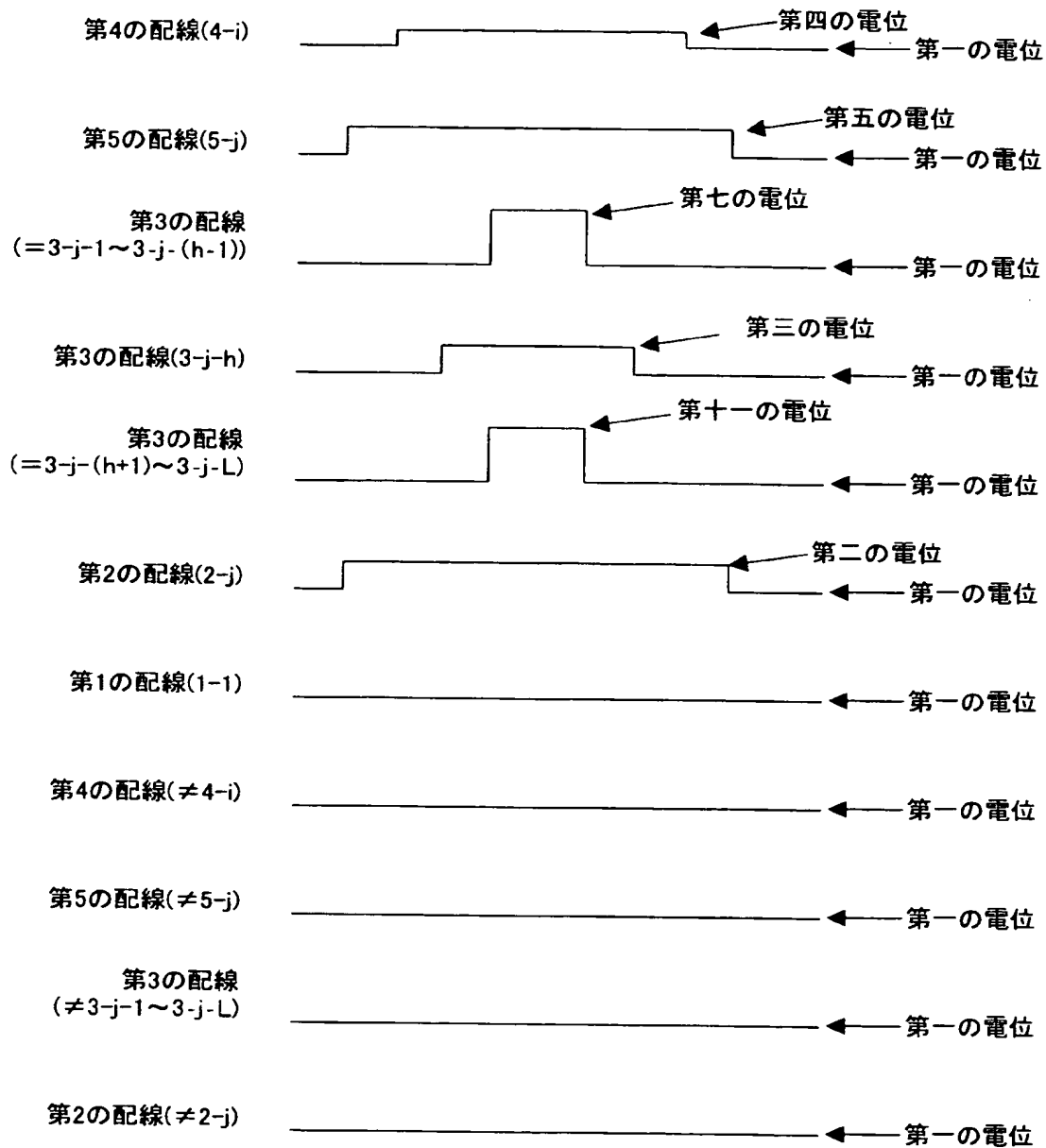
【図 77】



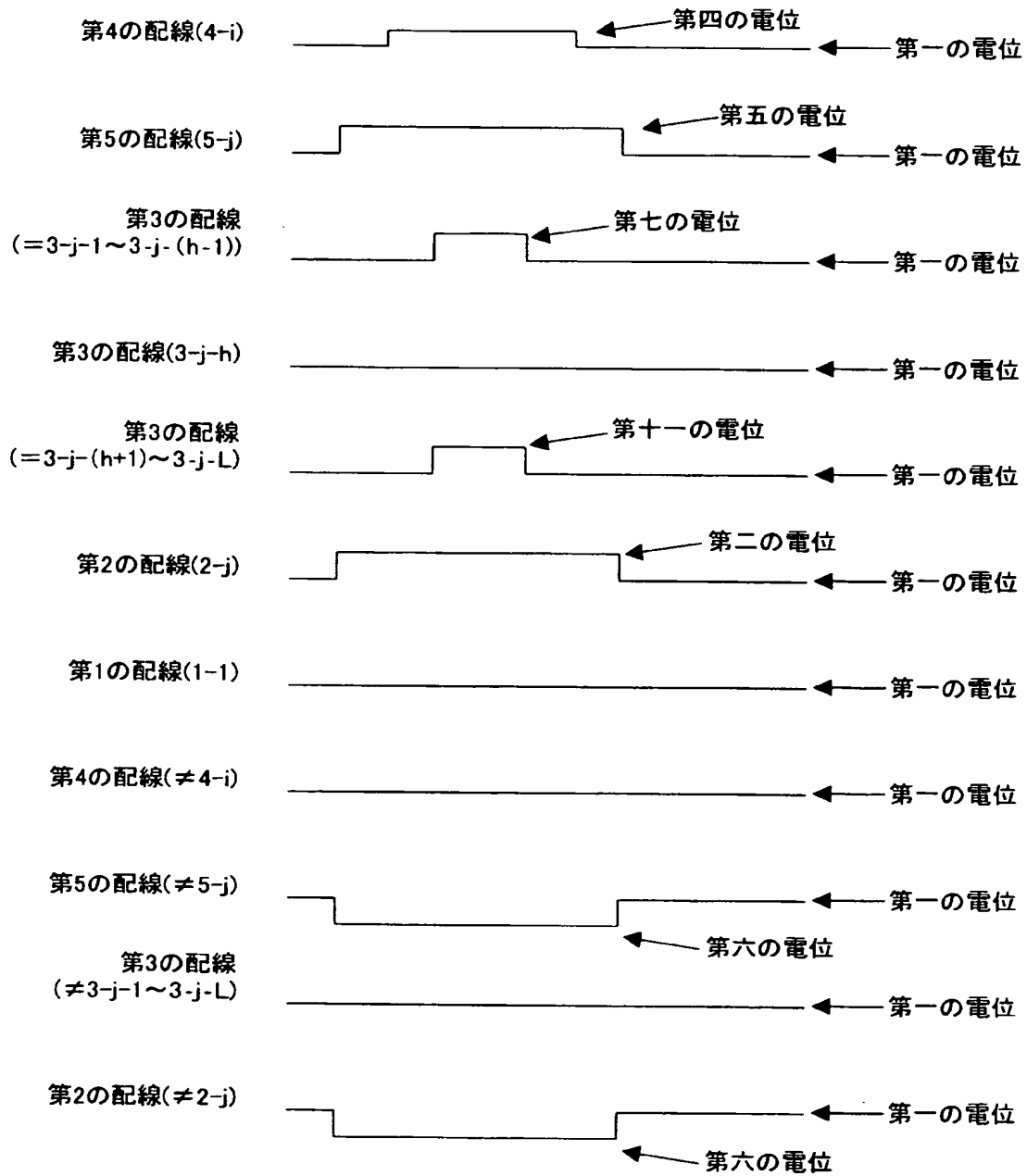
【図 7 8】



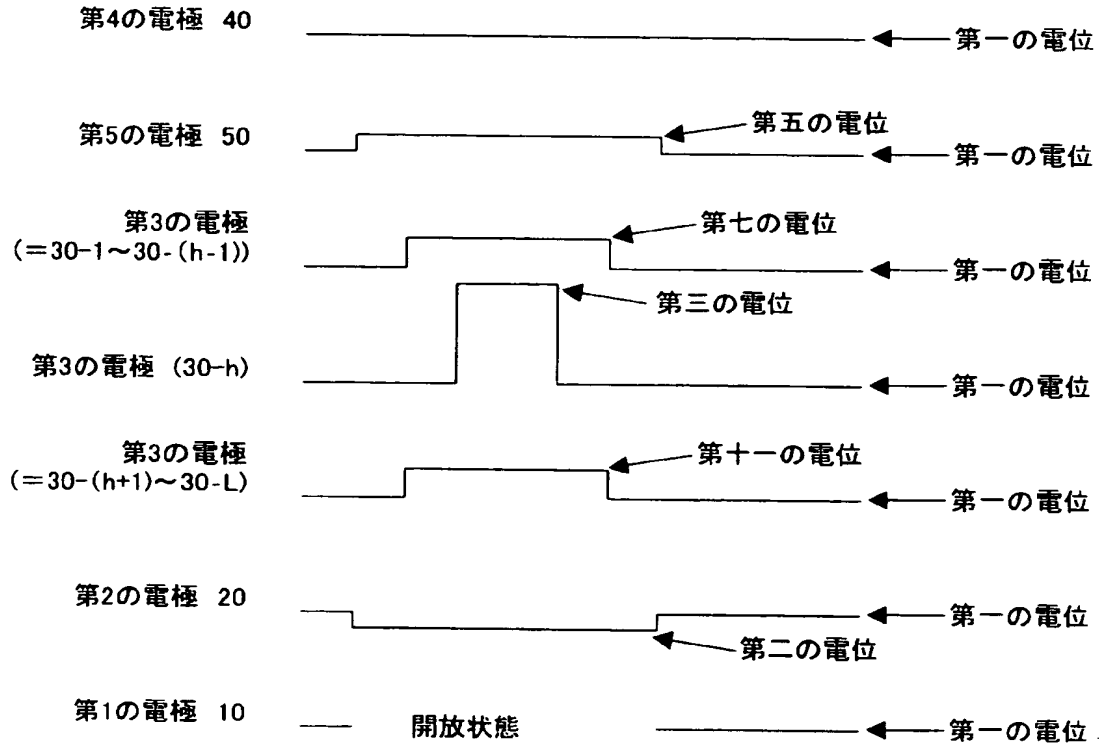
【図 7 9】



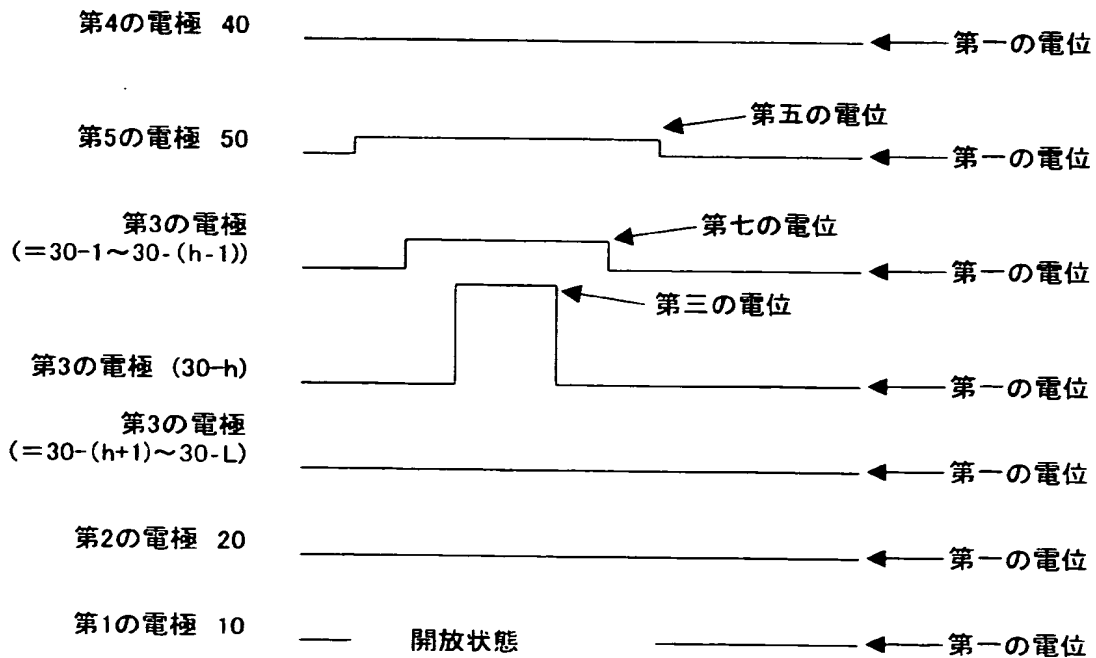
【図 8 0】



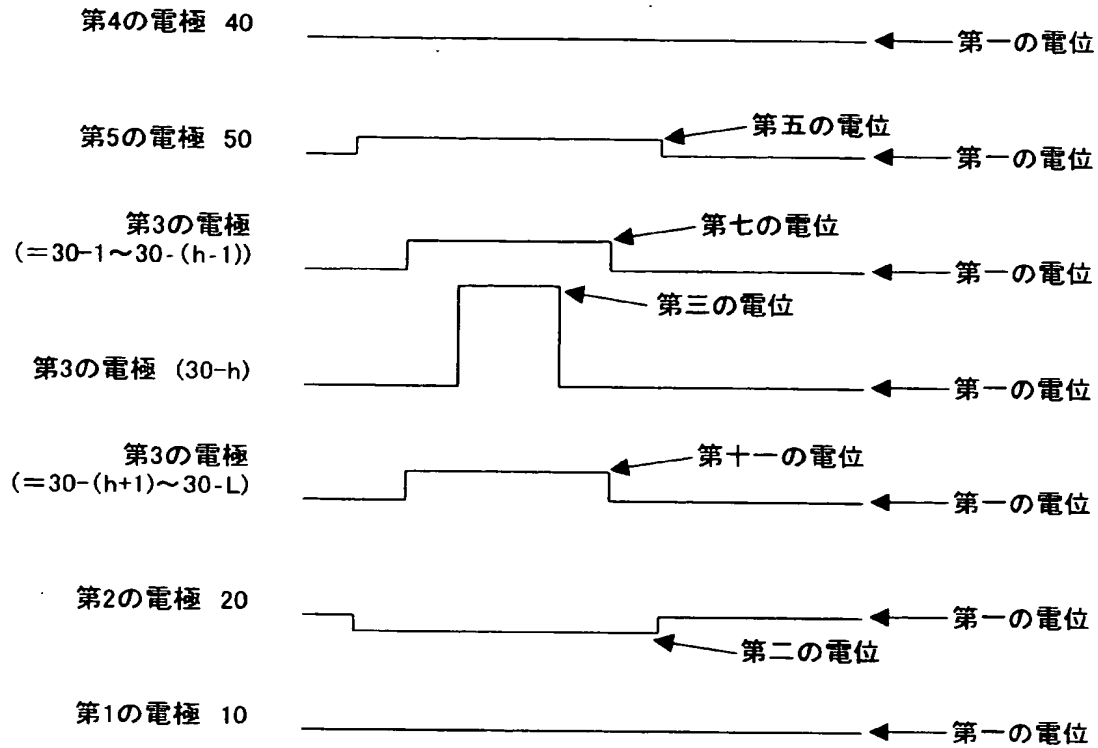
【図 8 1】



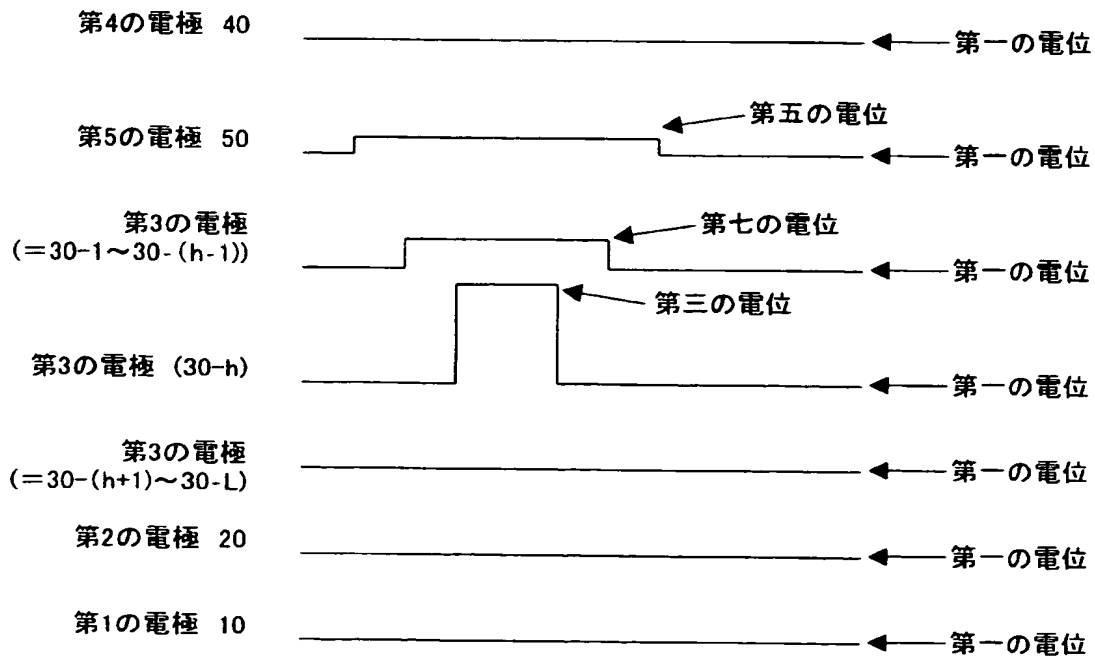
【図 8 2】



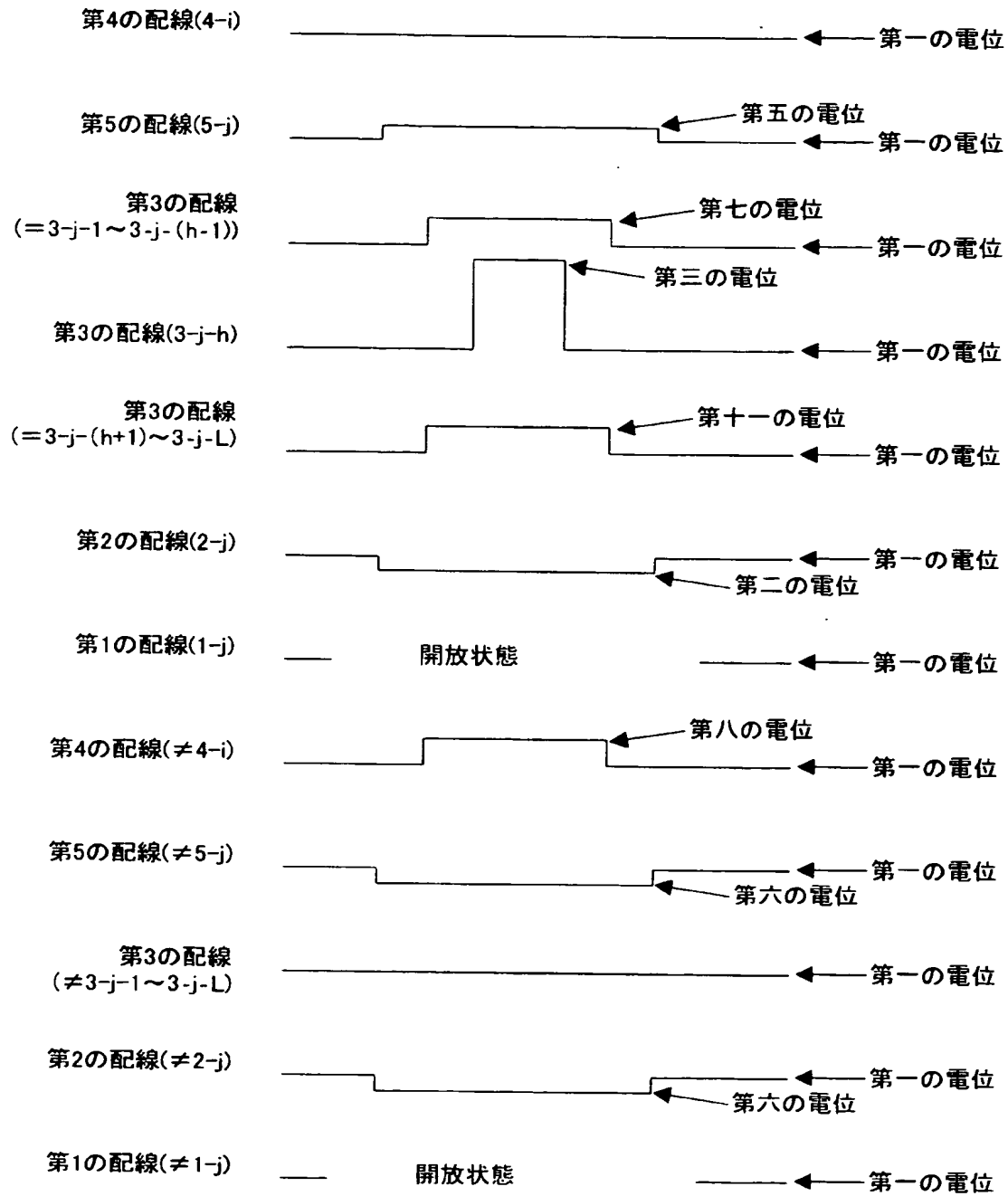
【図 8 3】



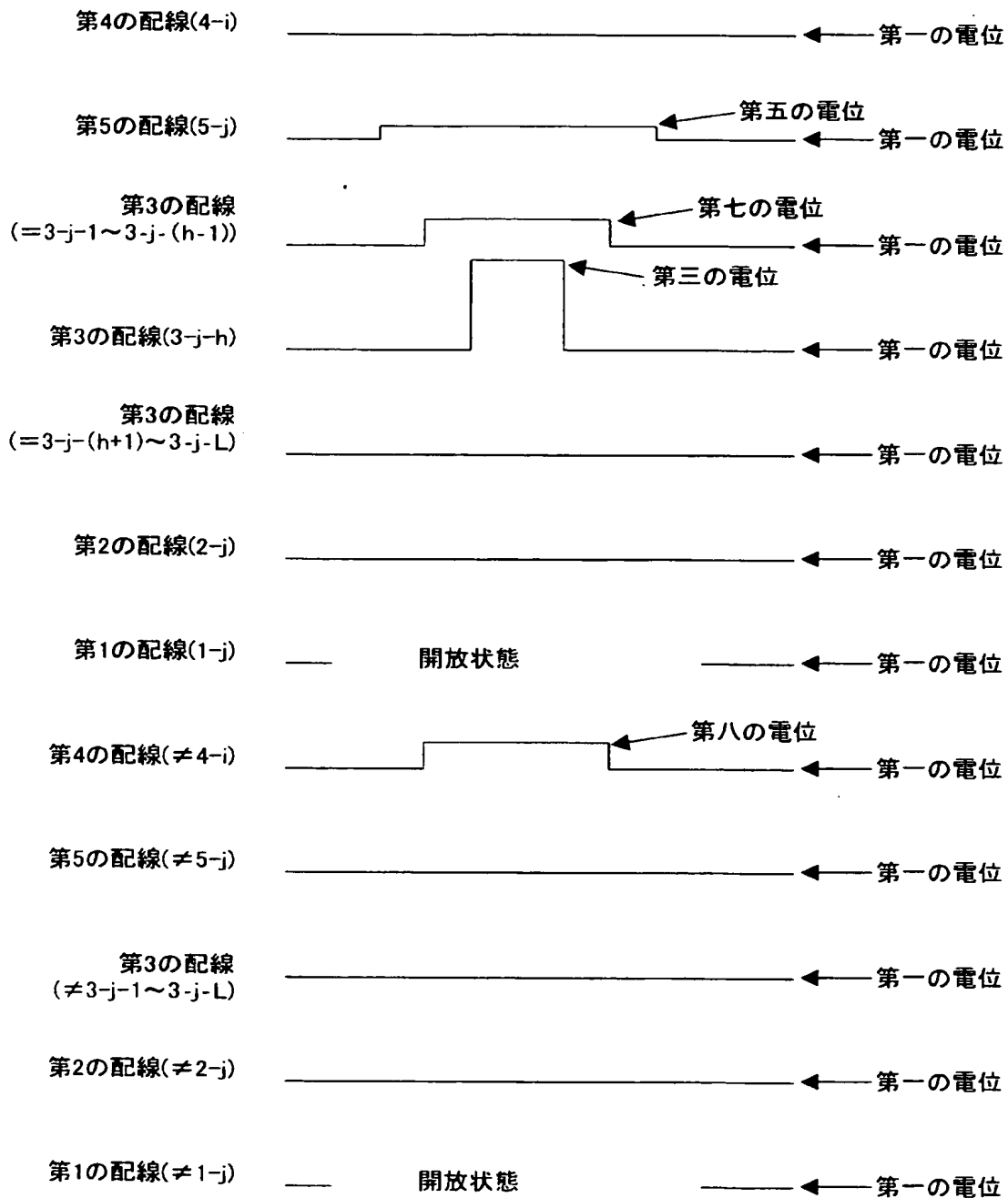
【図 8 4】



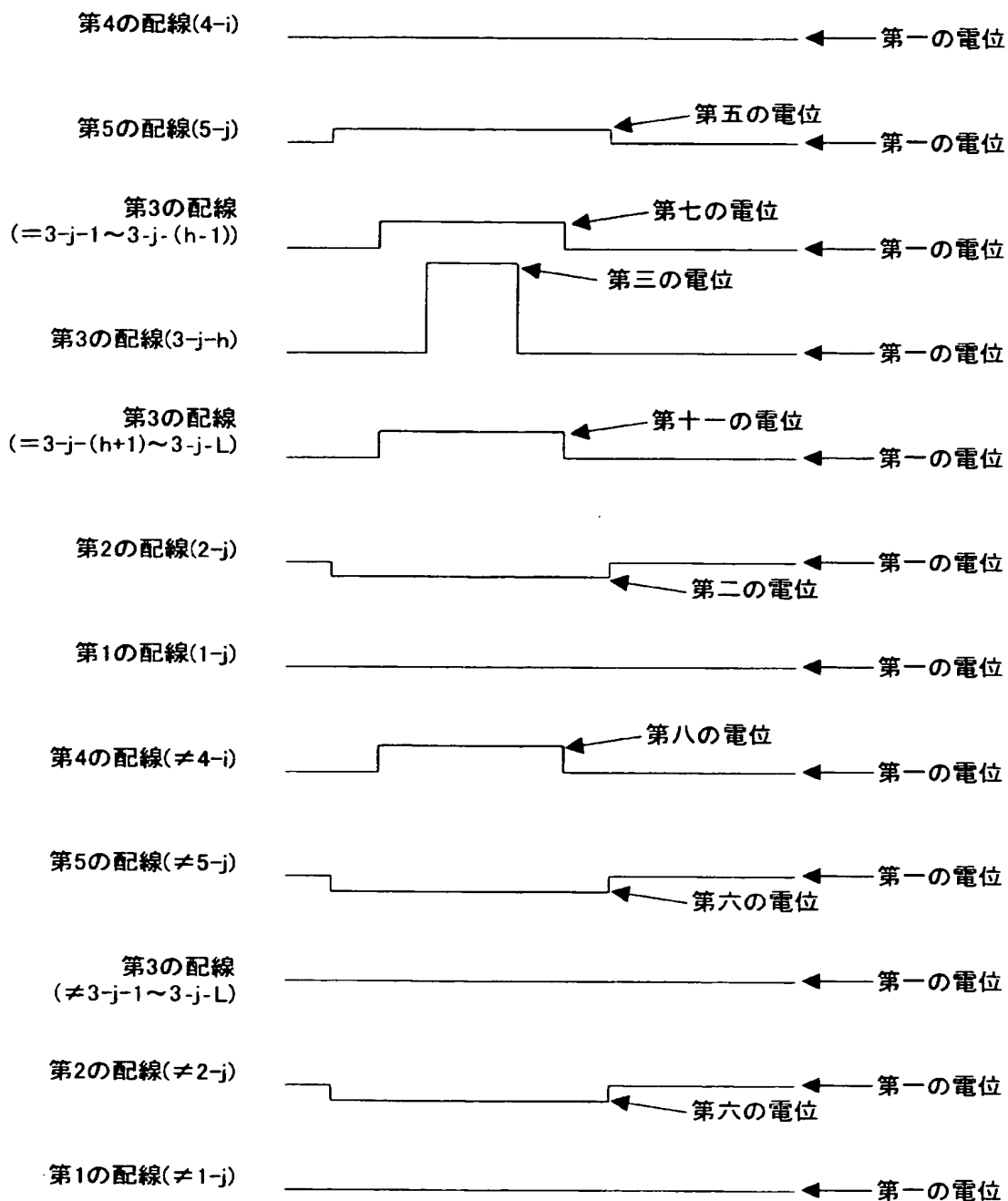
【図 8 5】



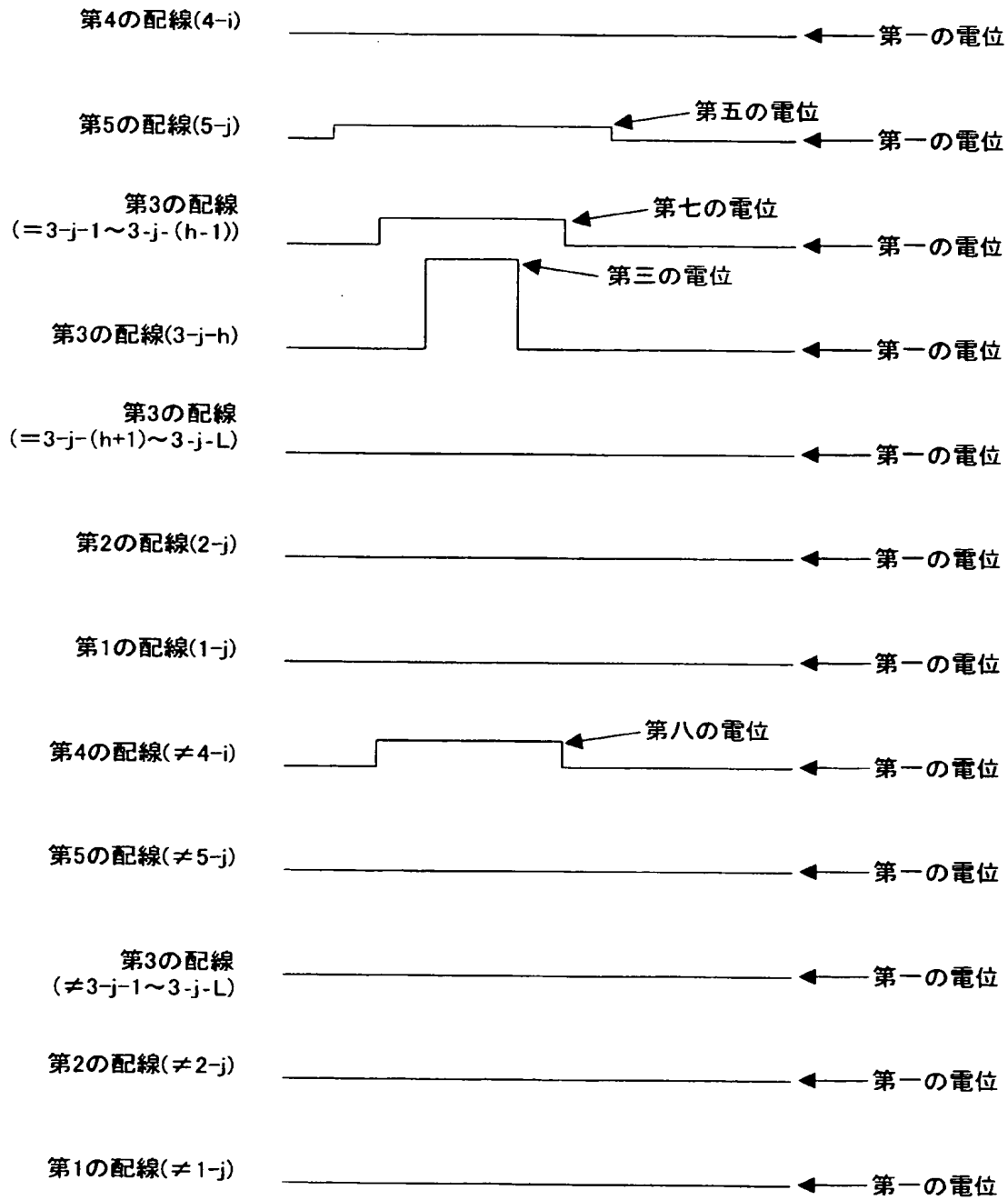
【図 86】



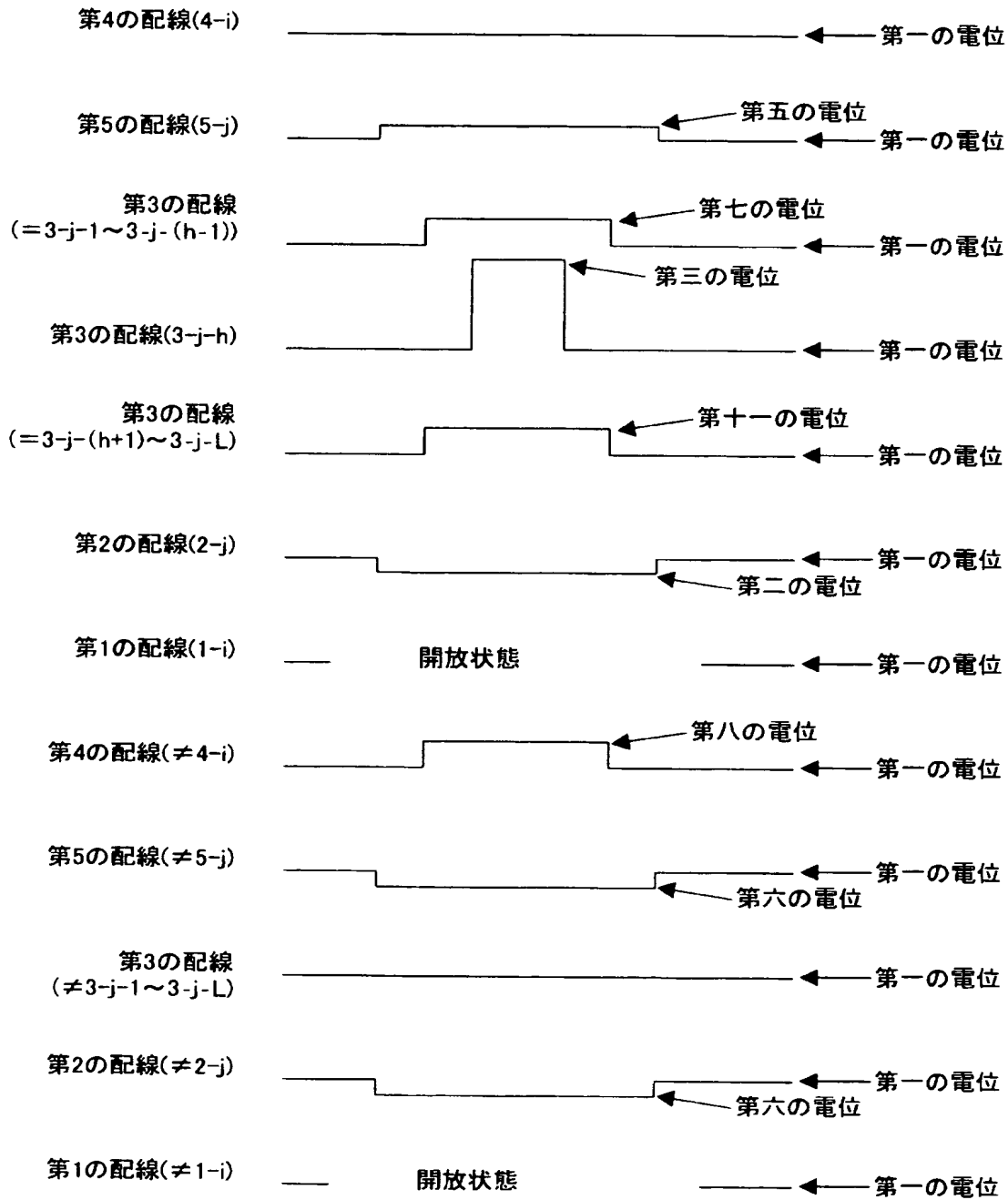
【図 8 7】



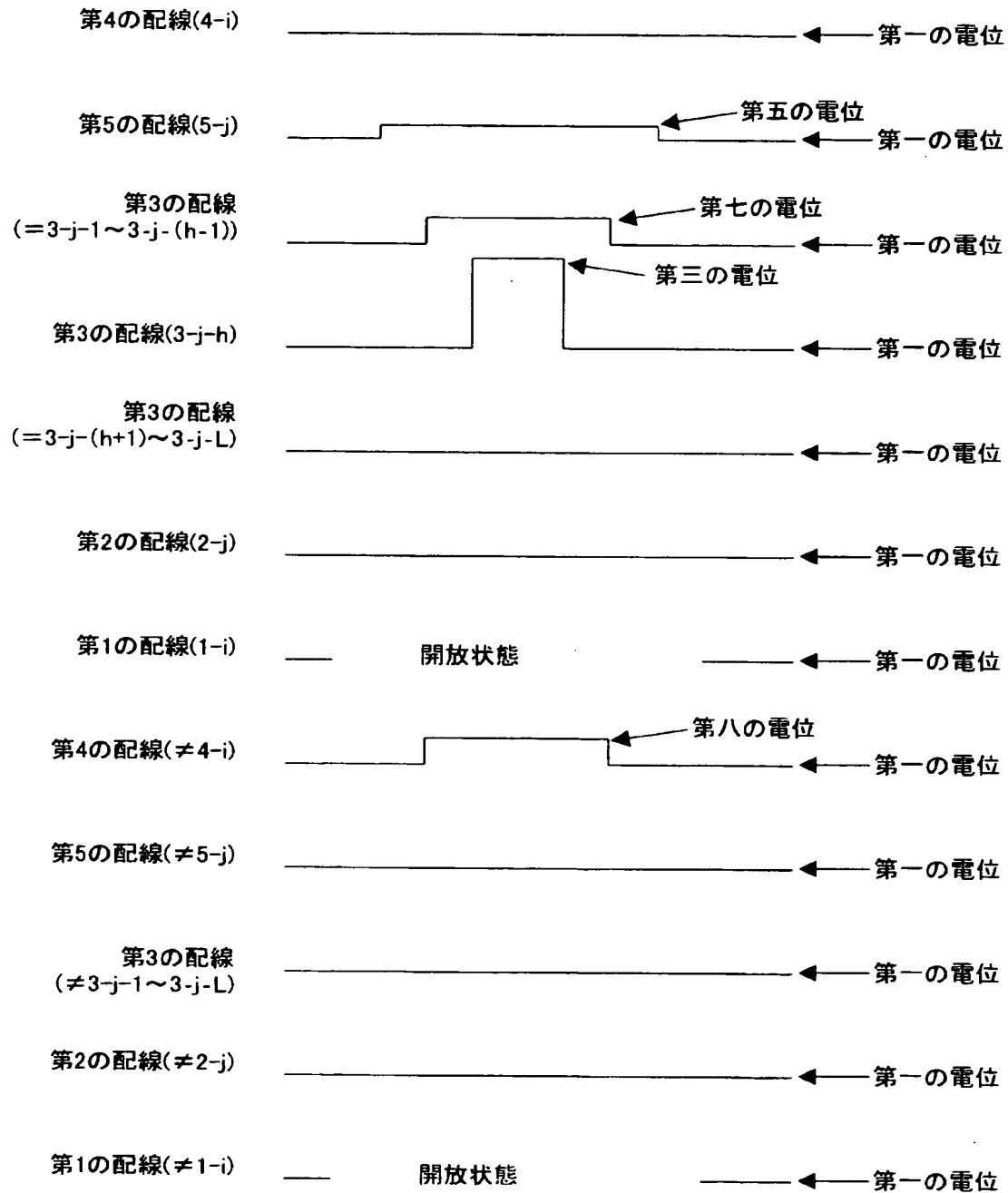
【図 8 8】



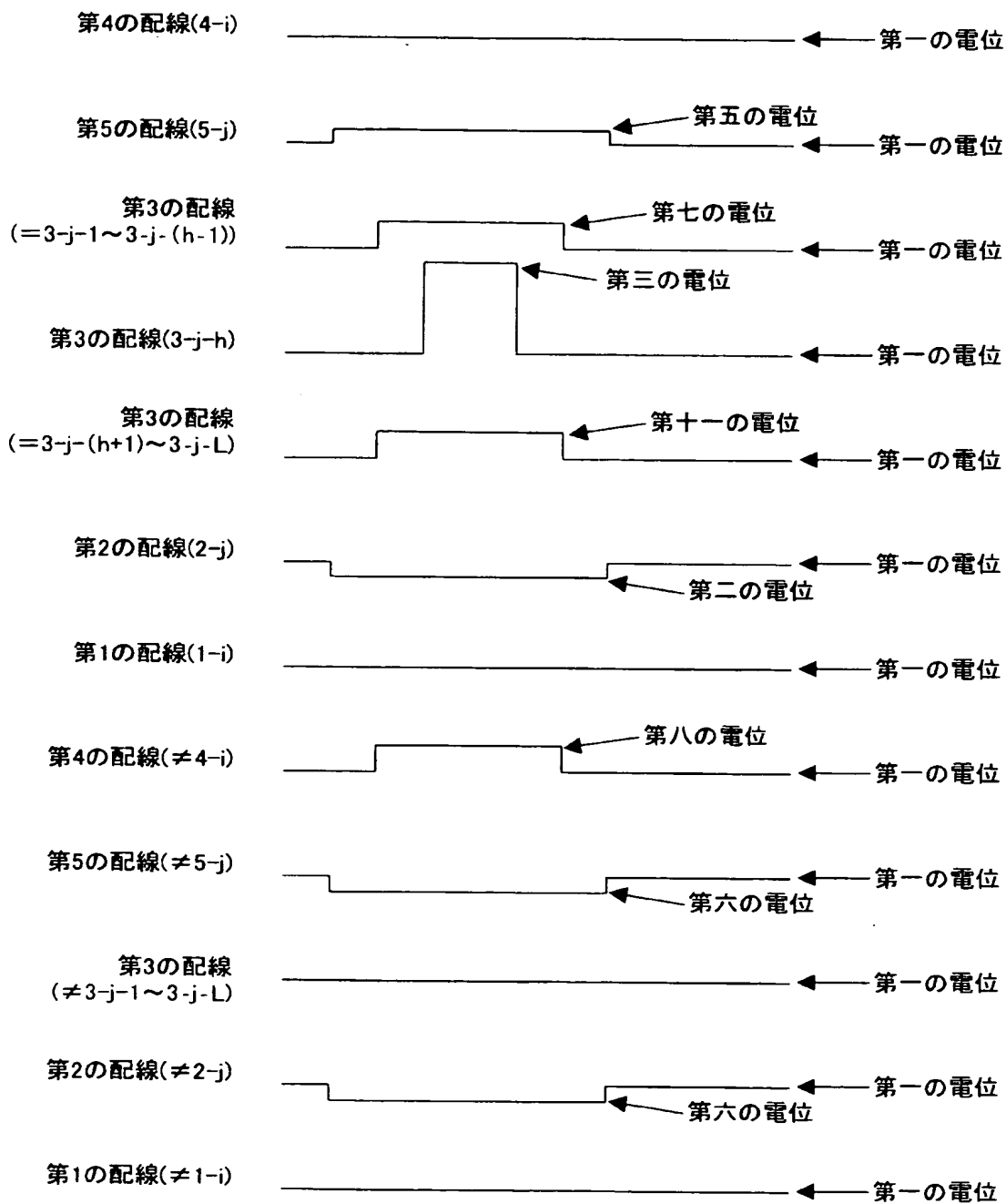
【図 8 9】



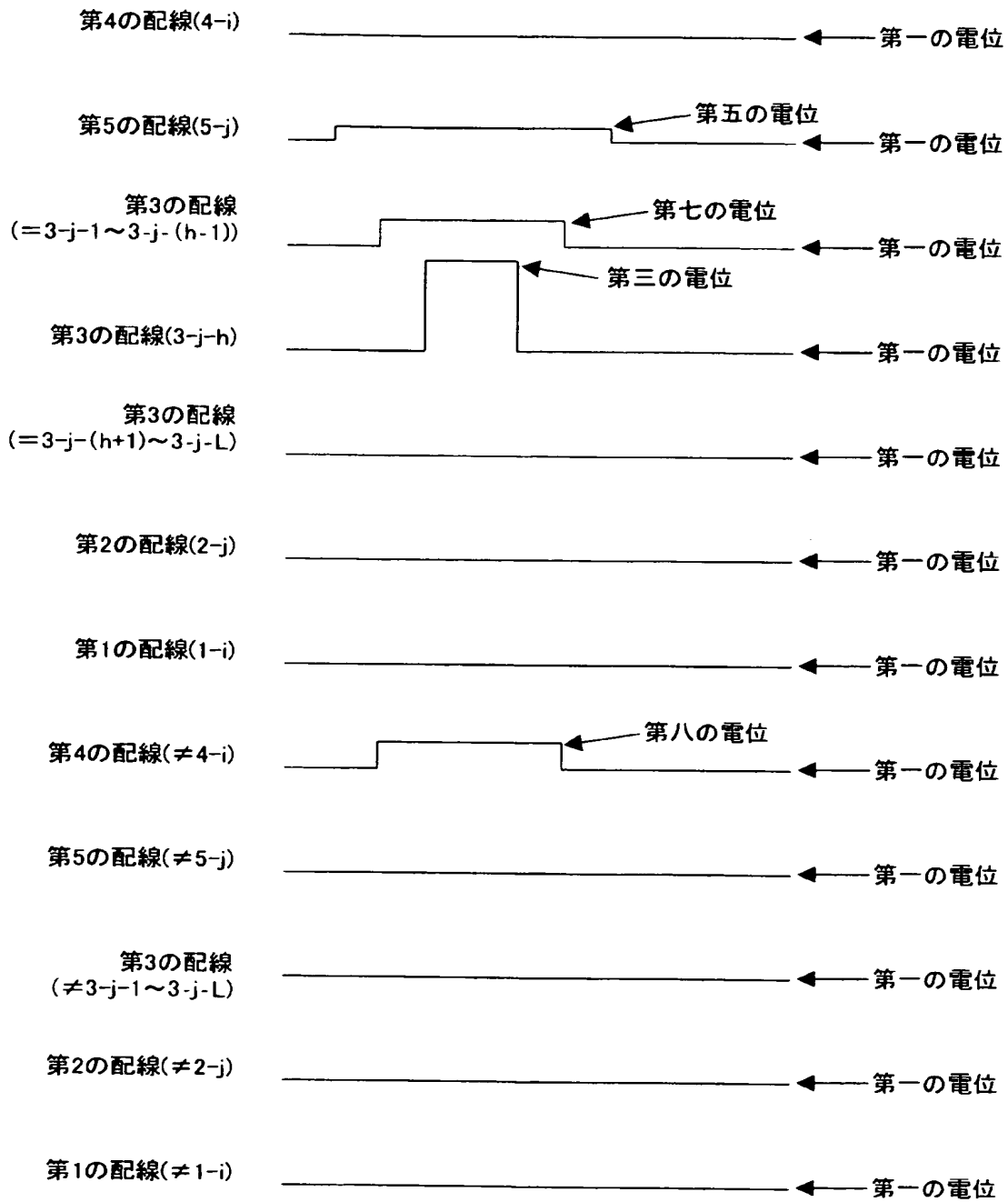
【図 9 0】



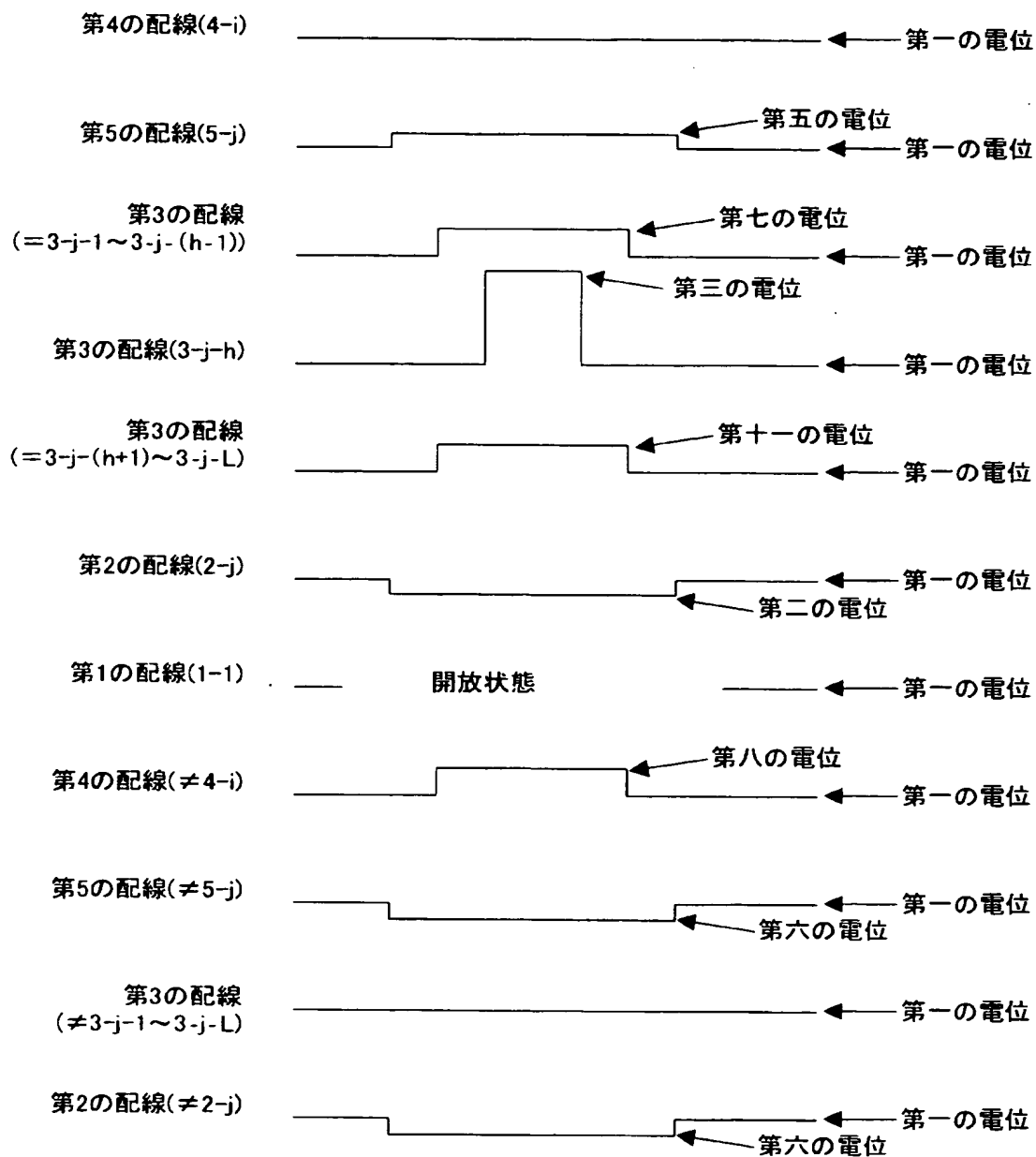
【図 9 1】



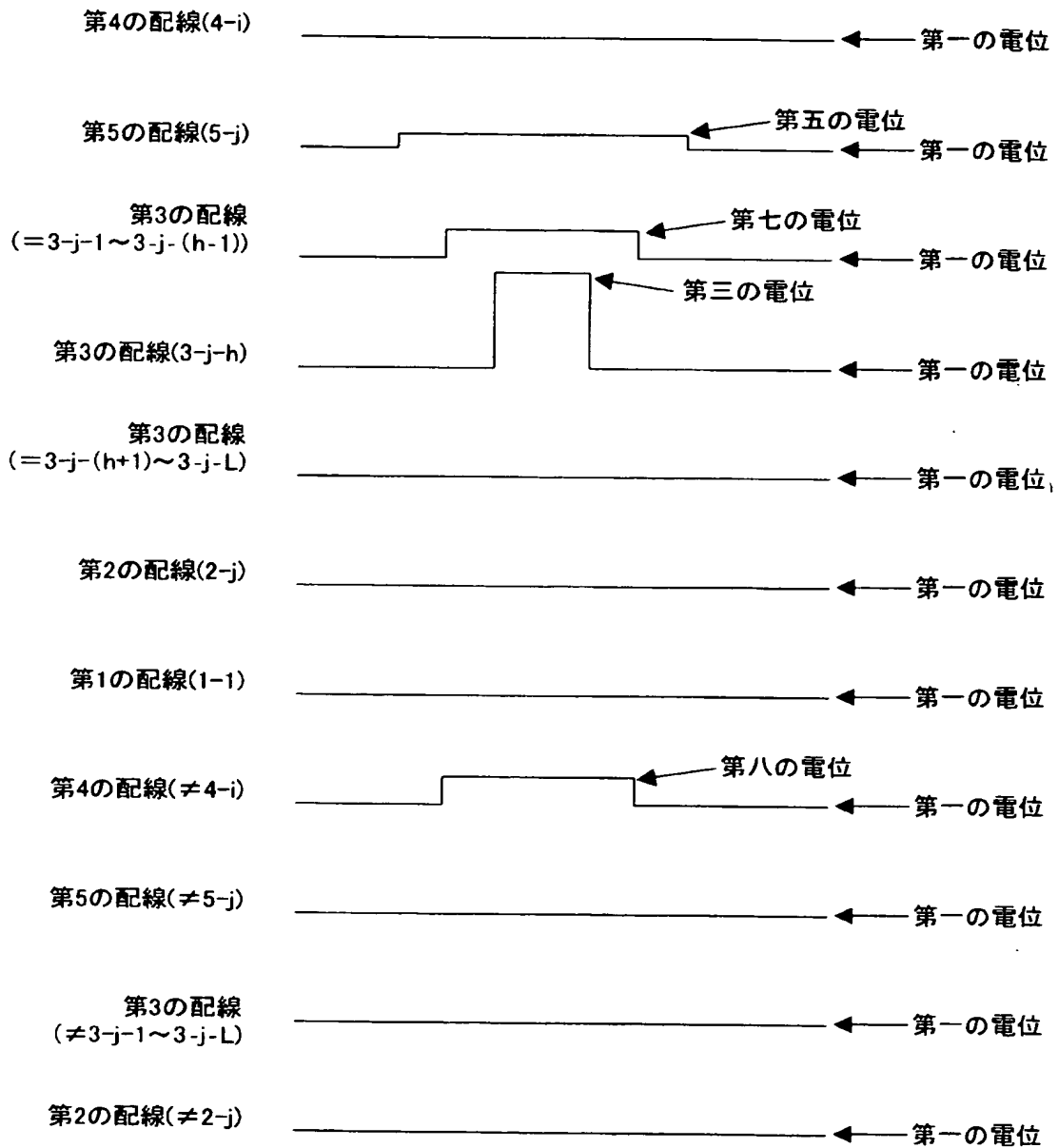
【図 9 2】



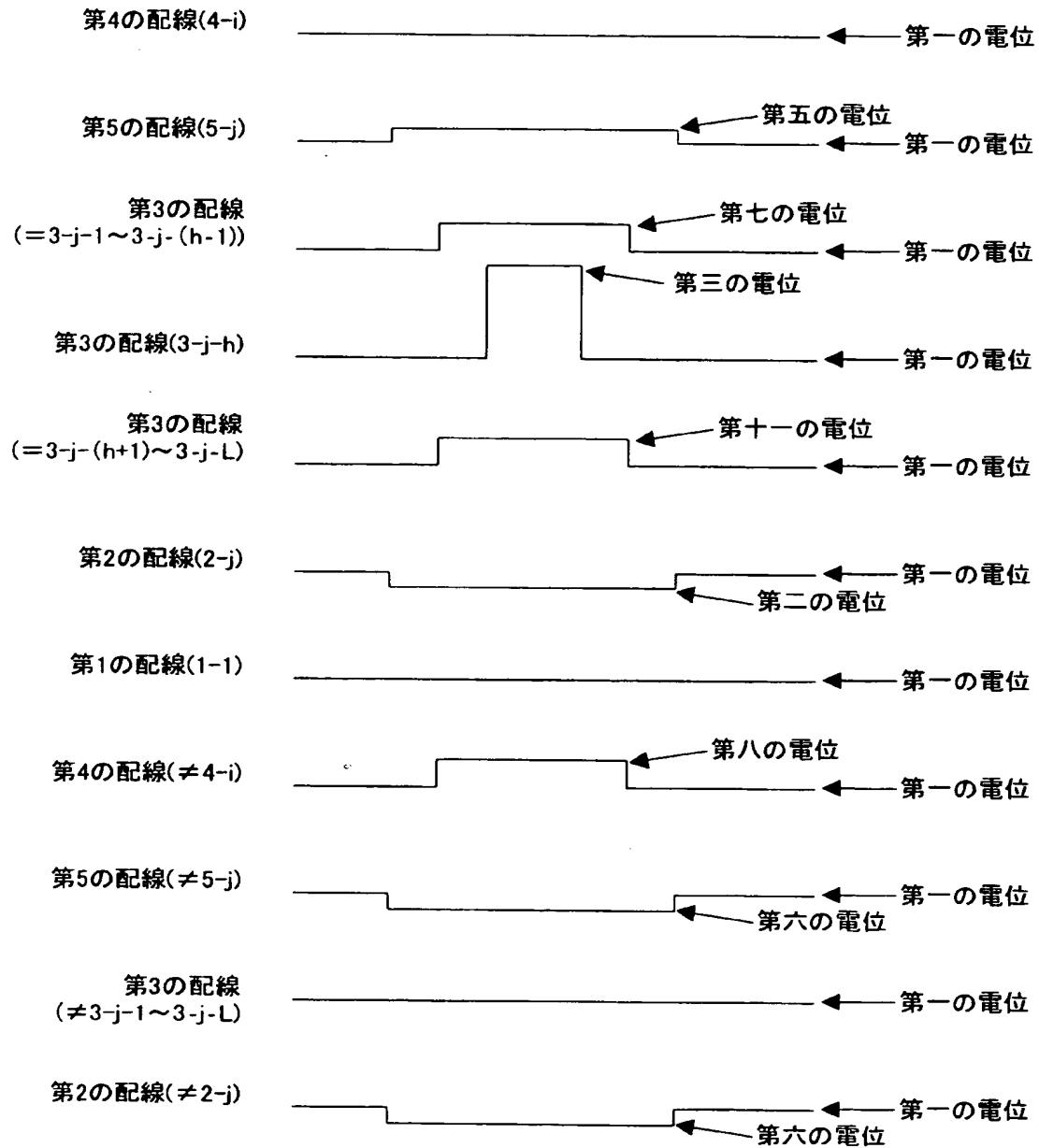
【図 9 3】



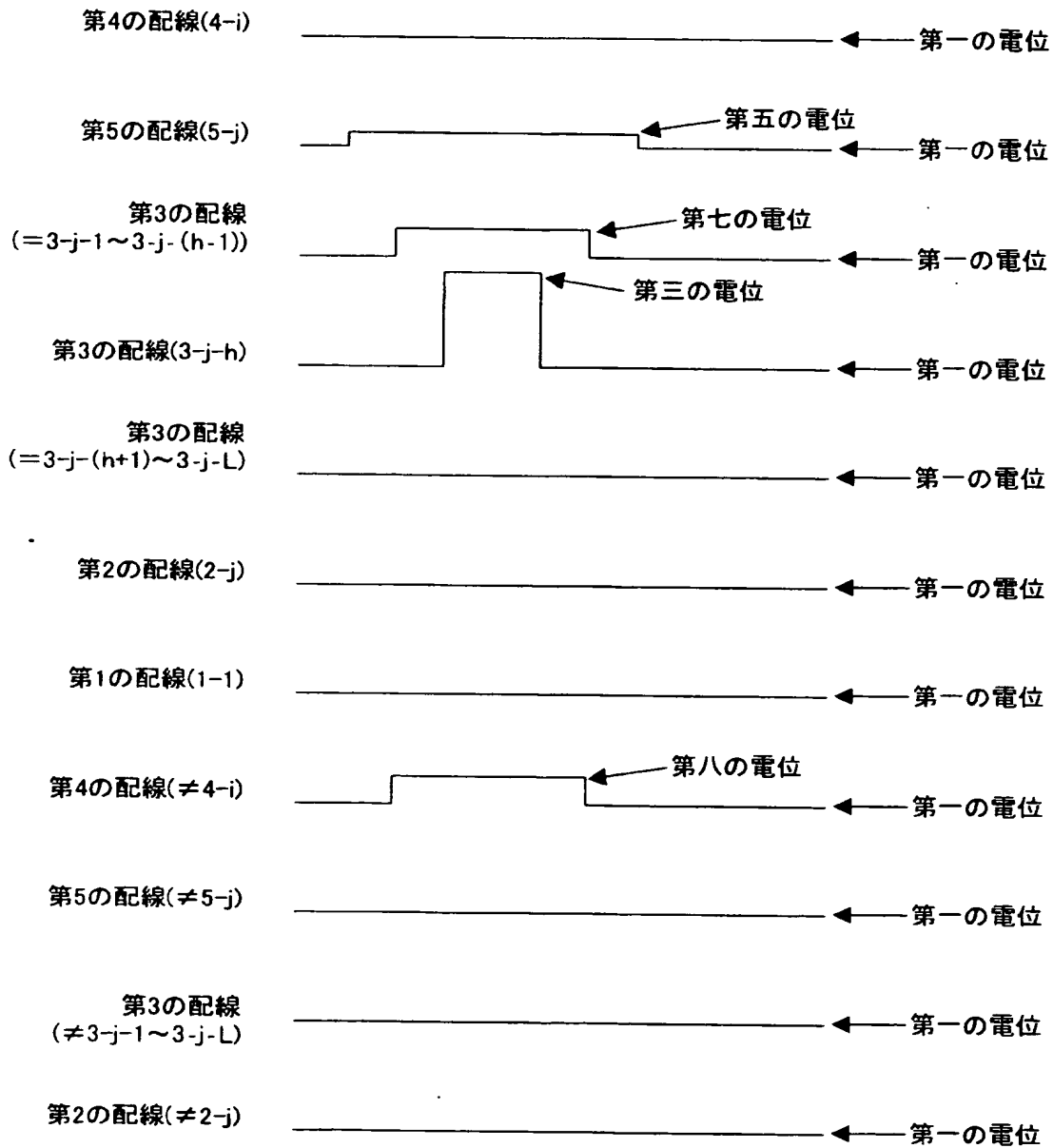
【図 9 4】



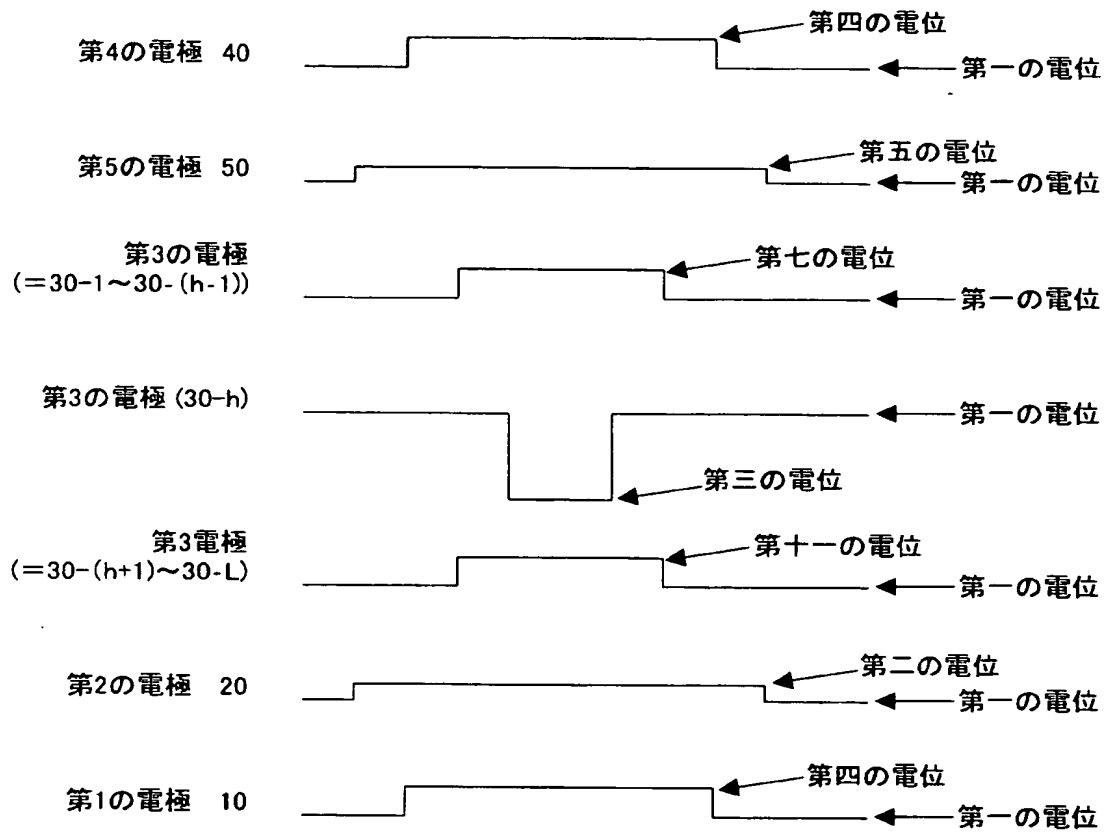
【図 9 5】



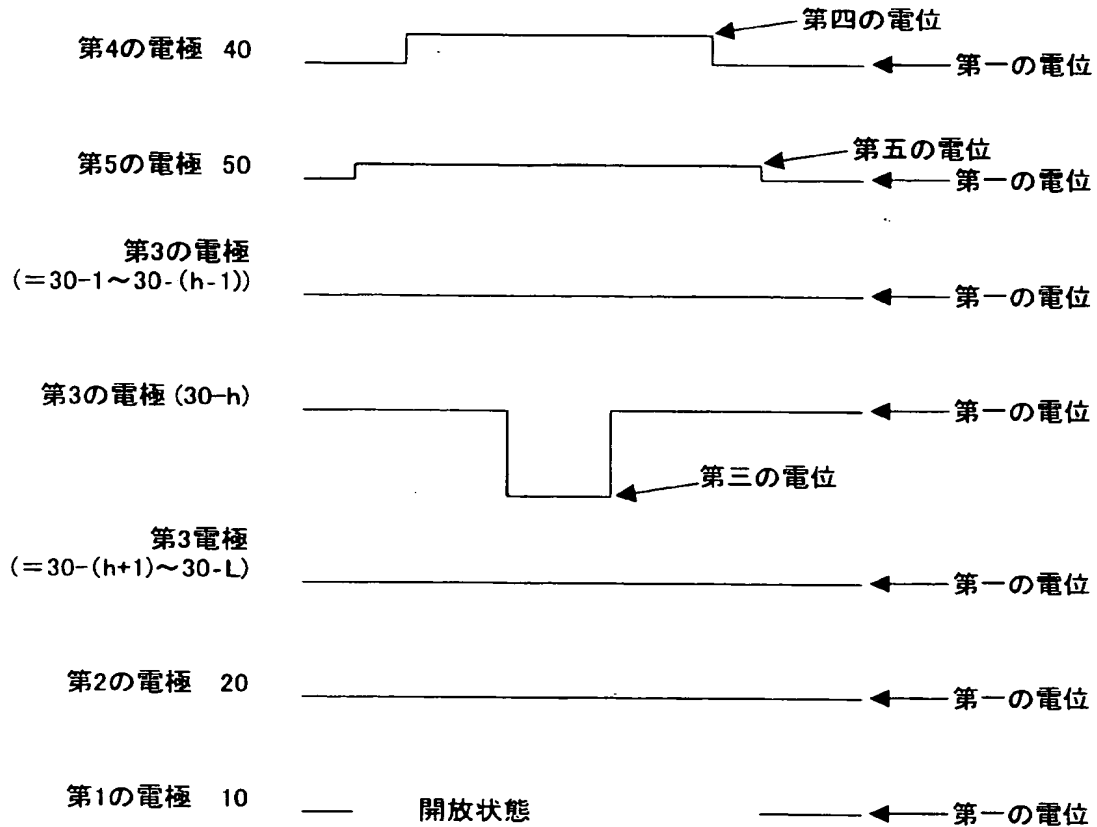
【図 9 6】



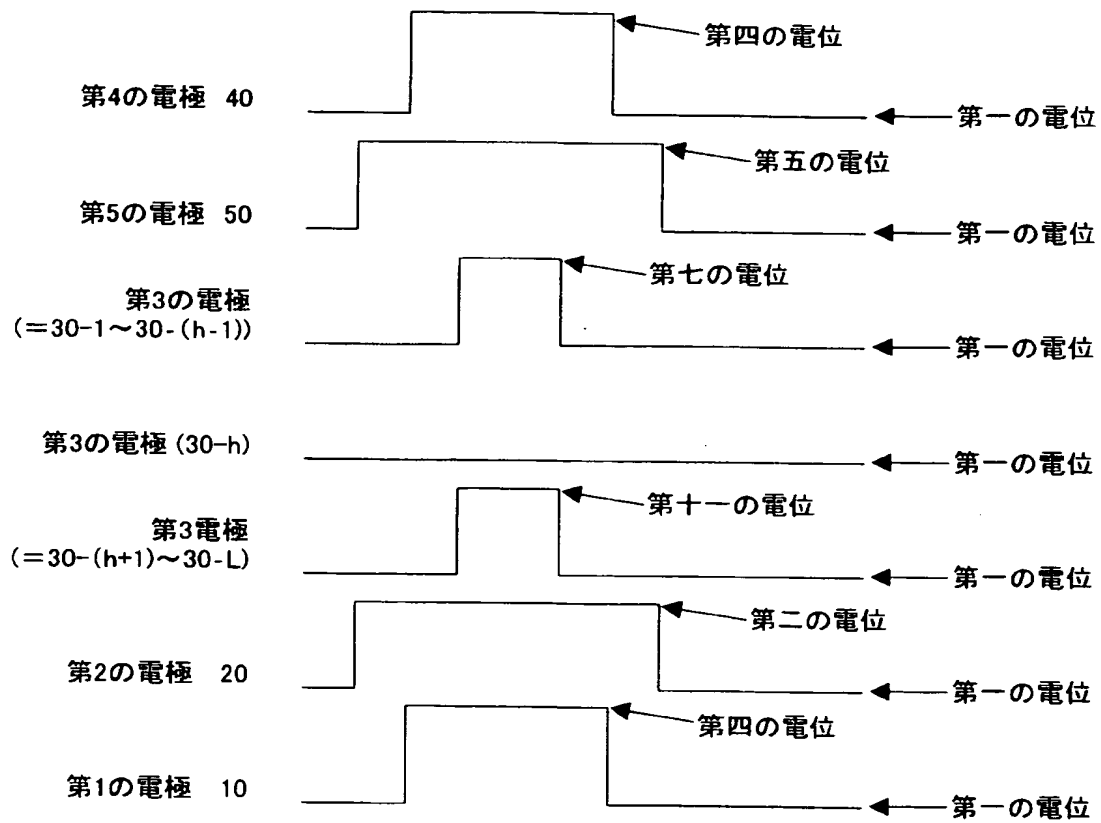
【図 97】



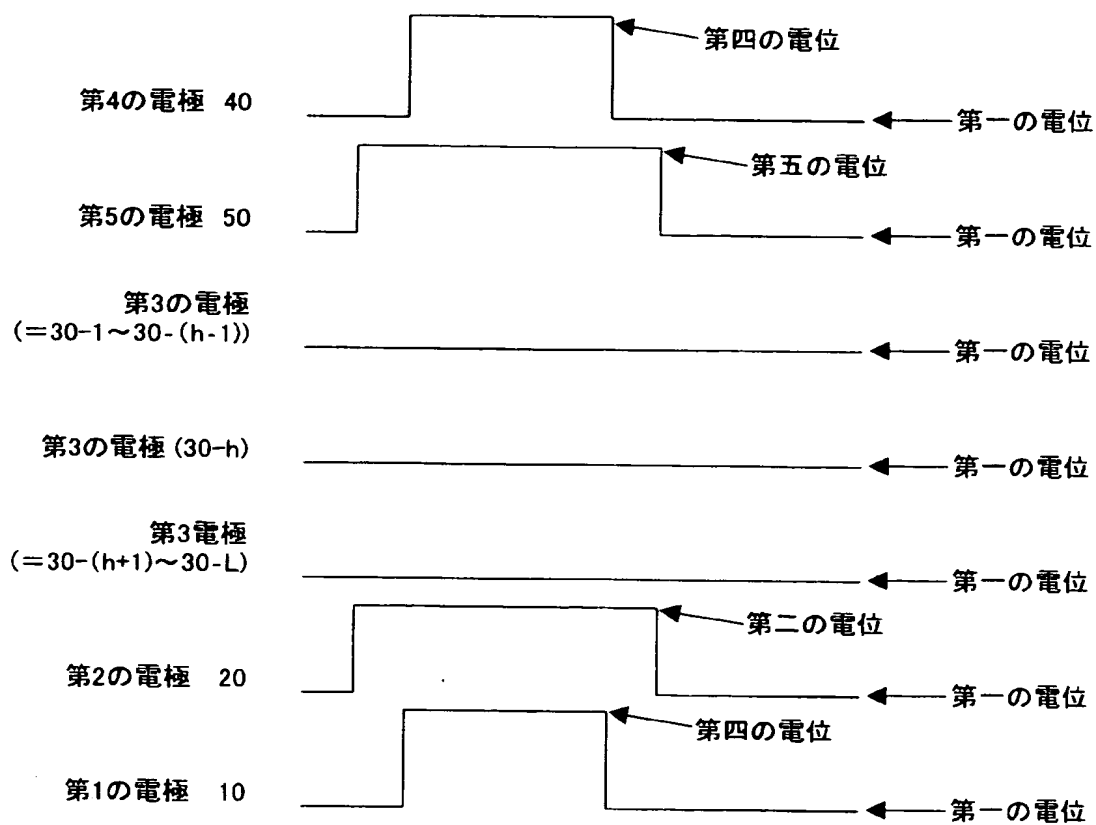
【図 9 8】



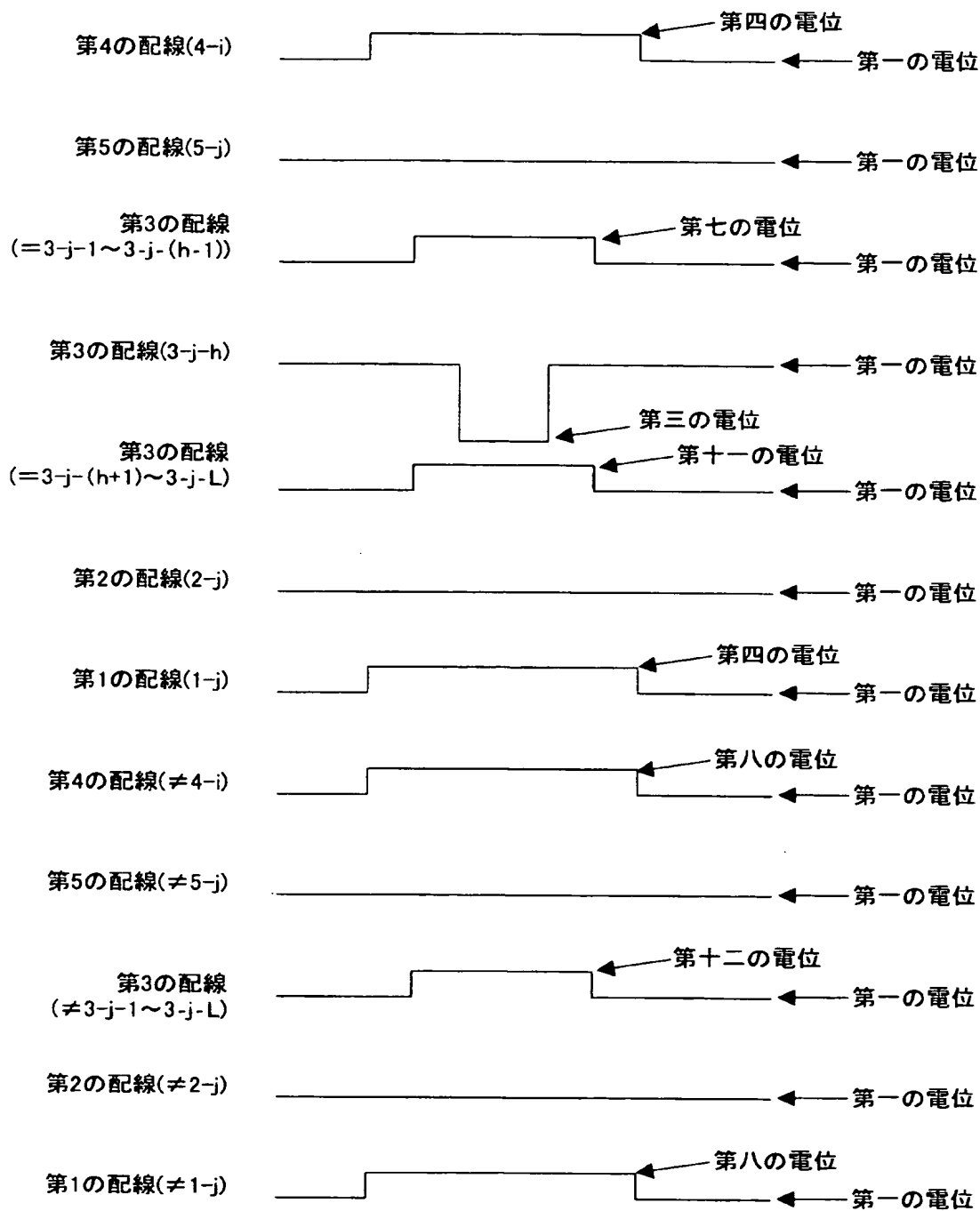
【図 99】



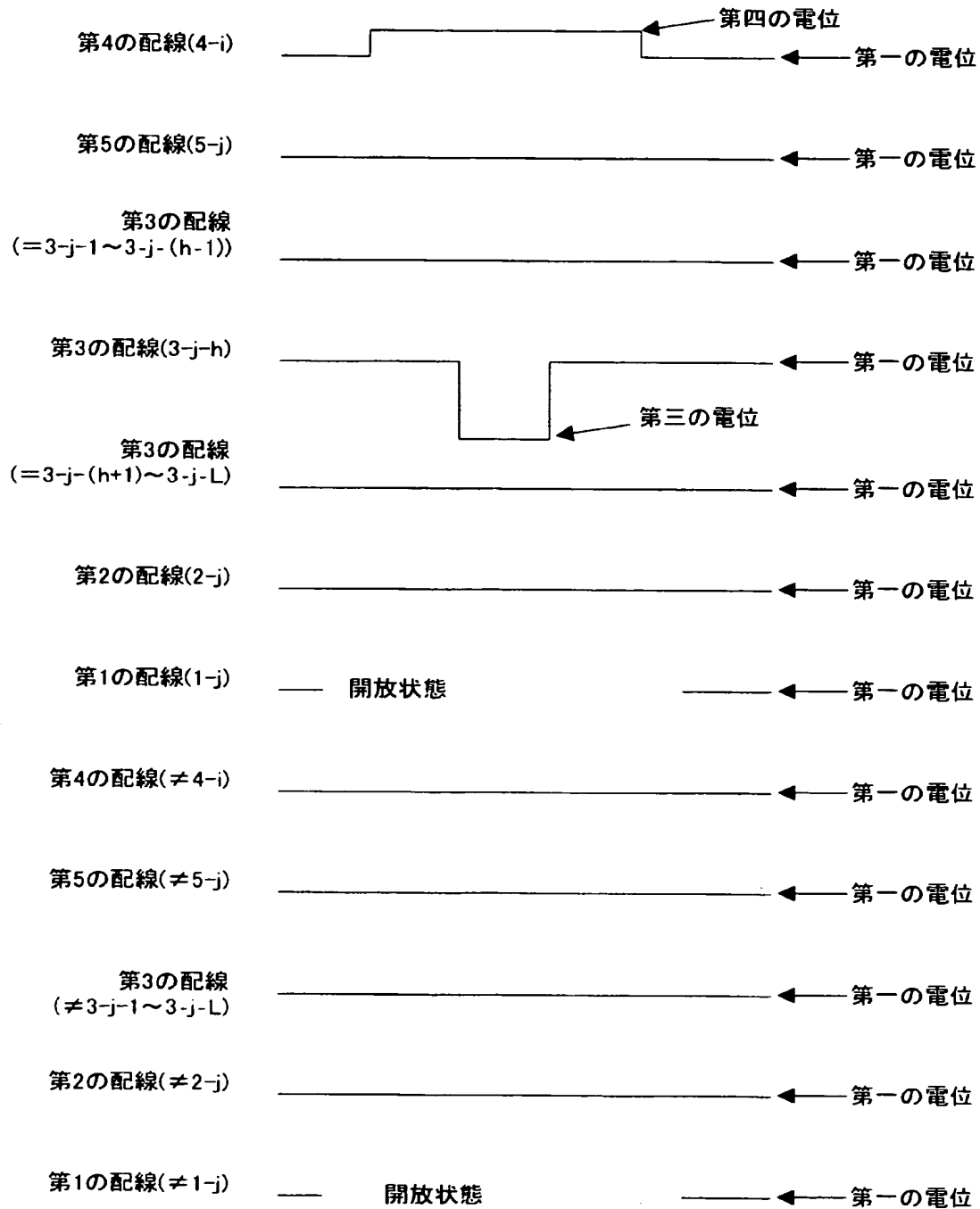
【図 100】



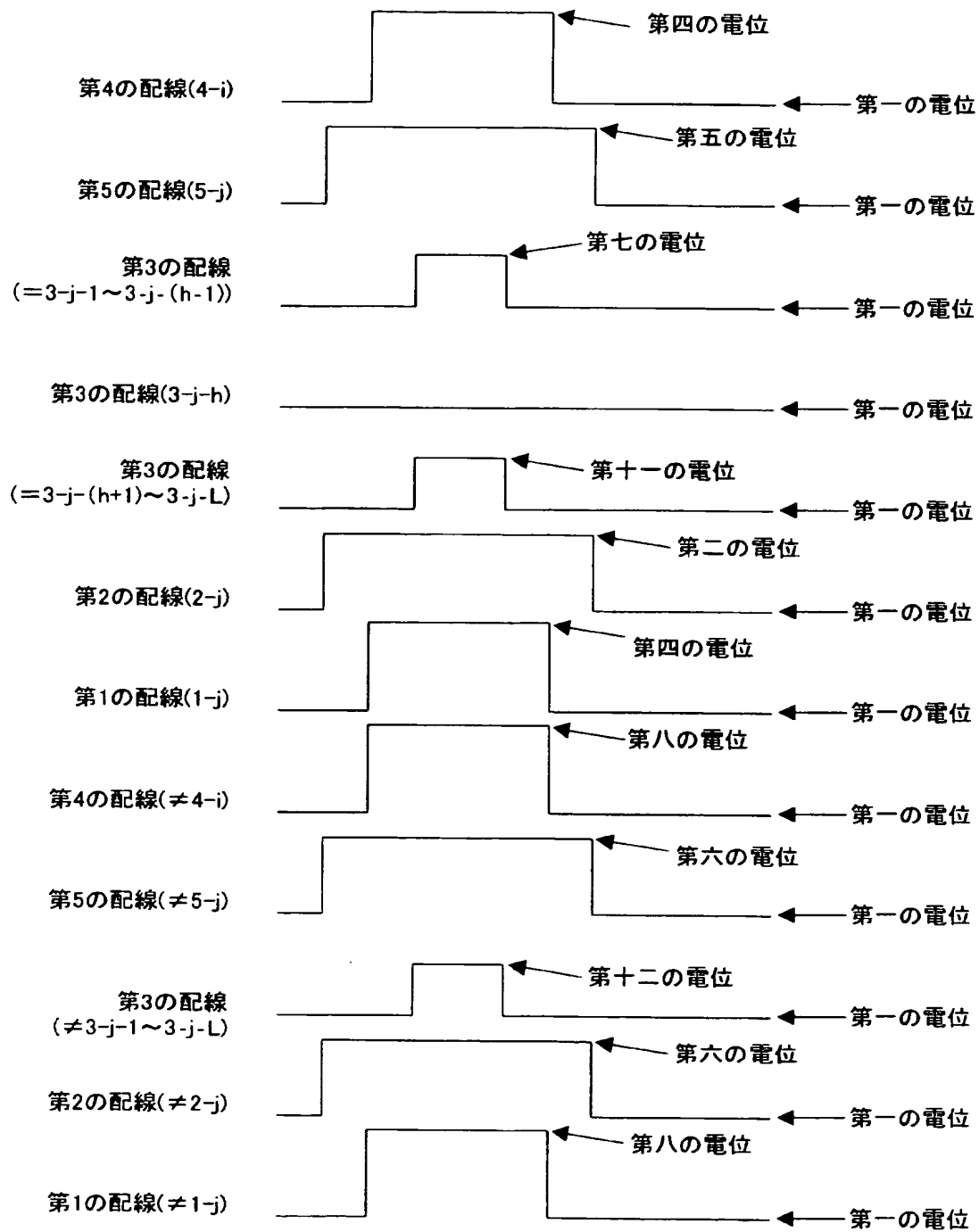
【図 101】



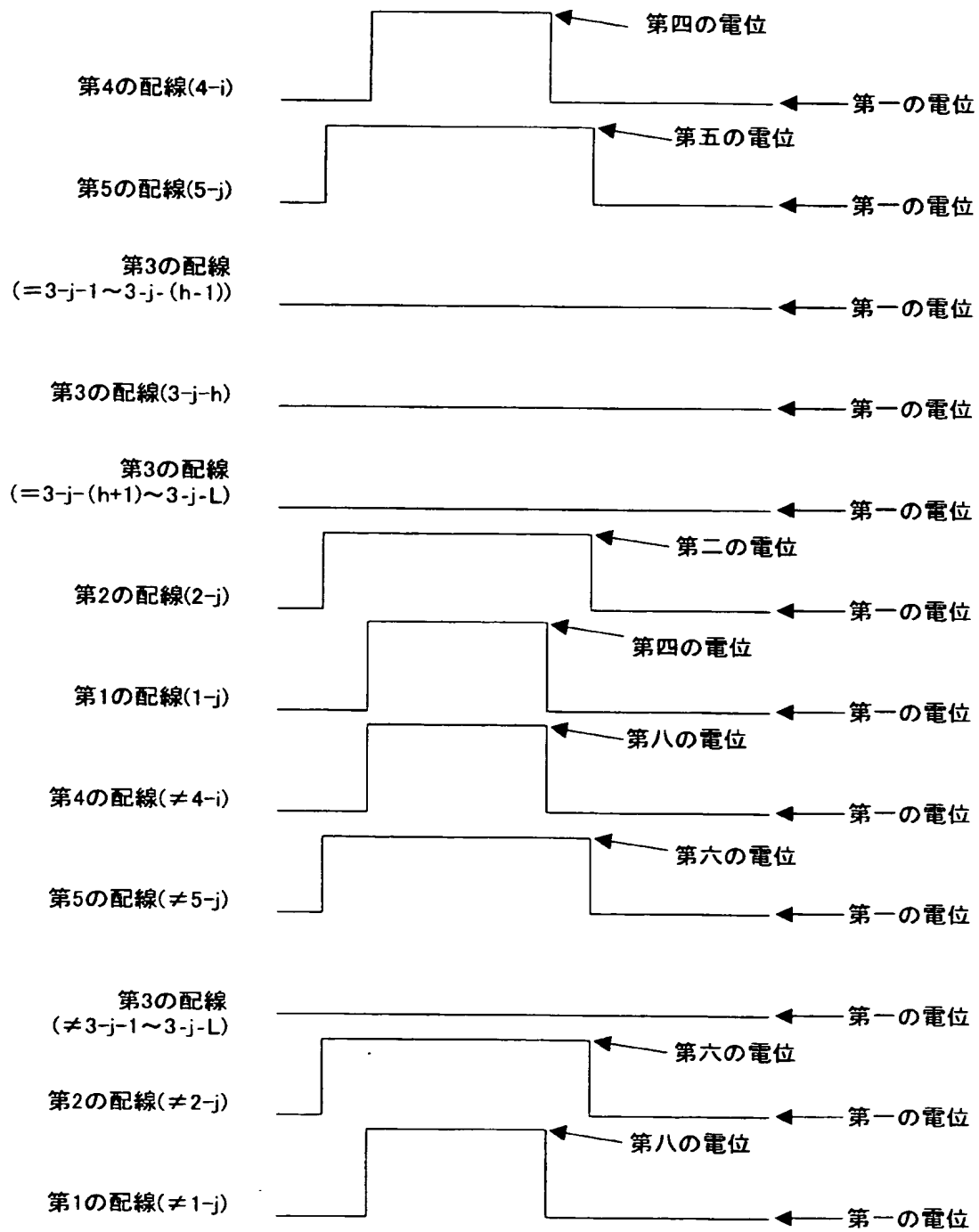
【図 102】



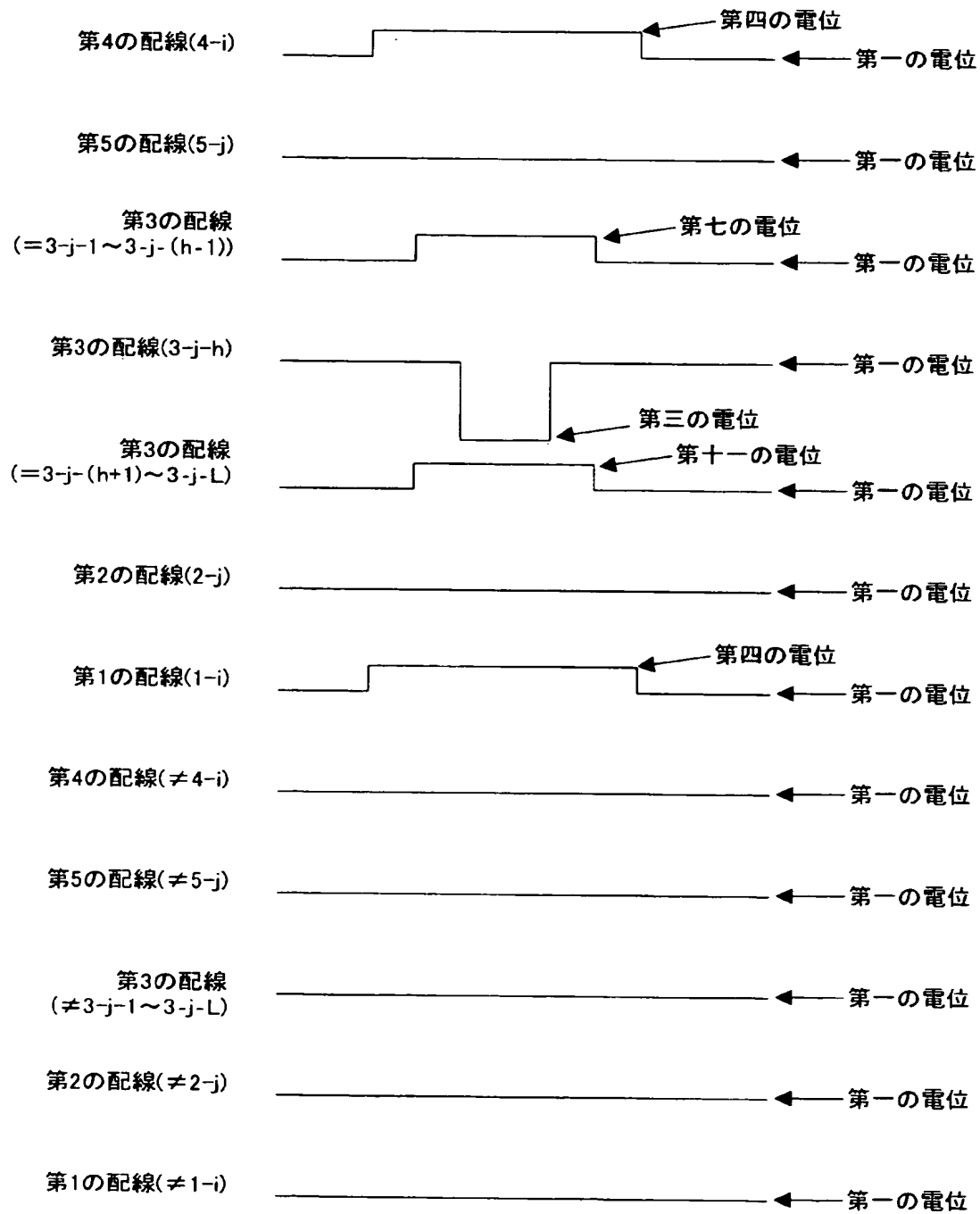
【図 1 0 3】



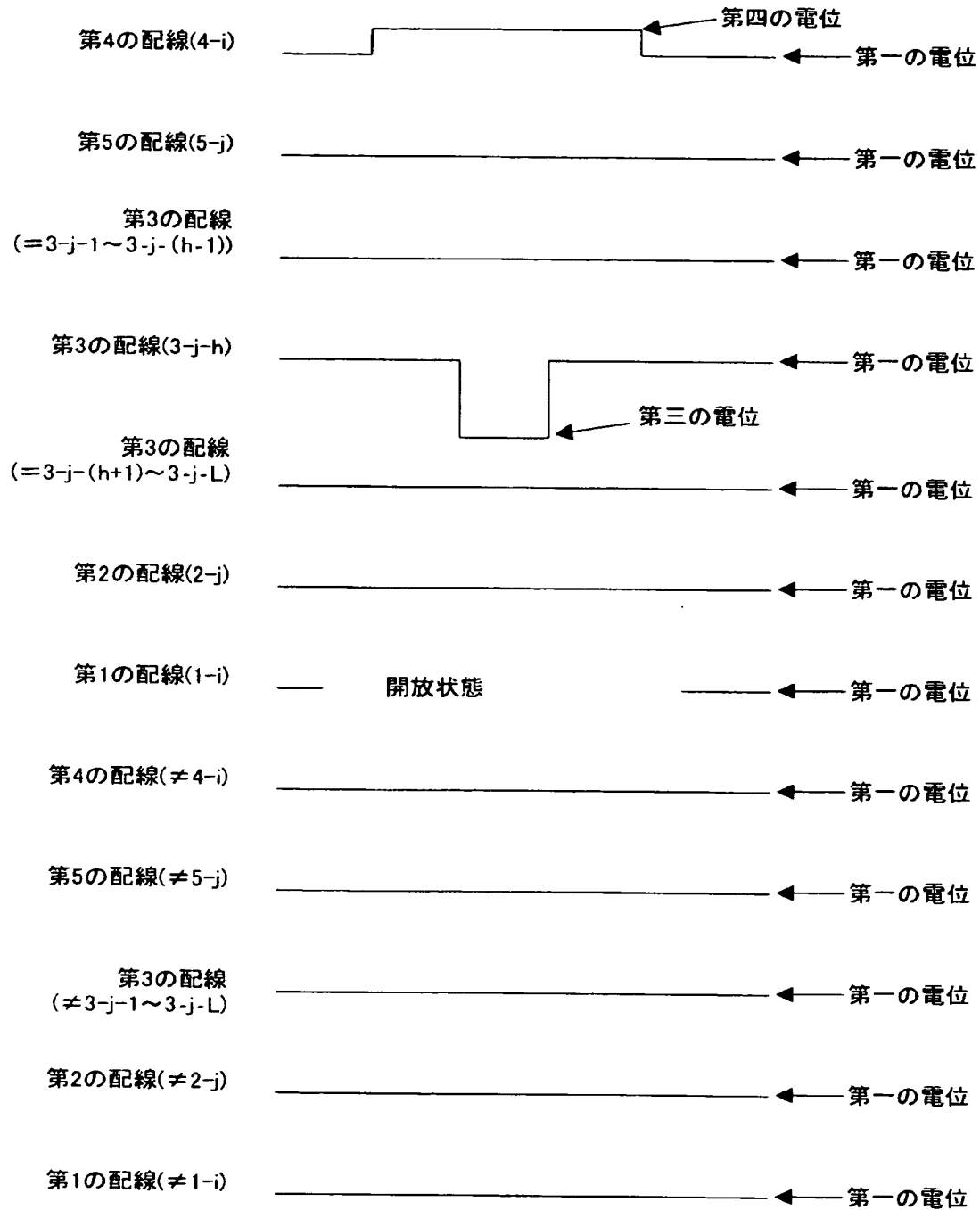
【図 104】



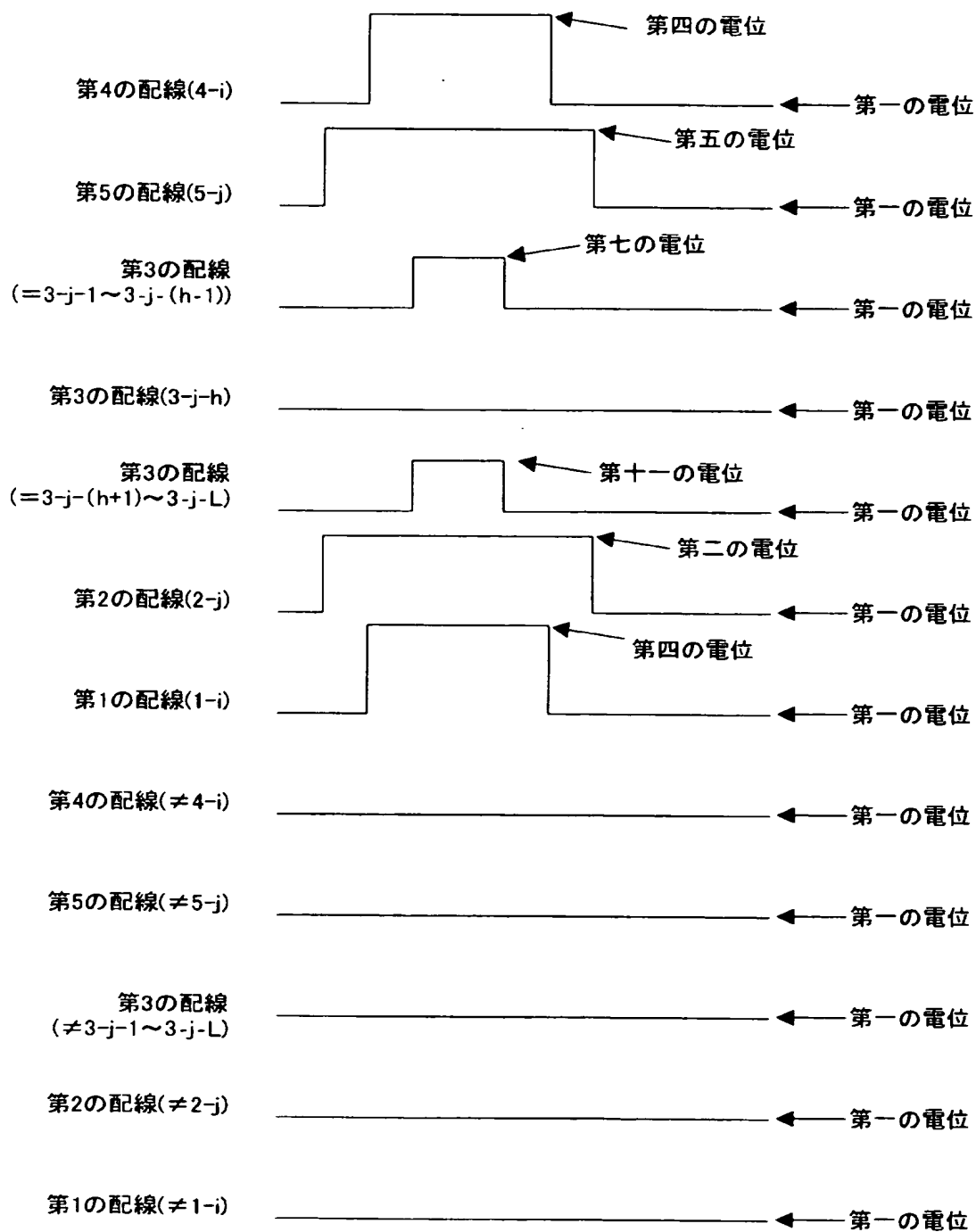
【図 1 0 5】



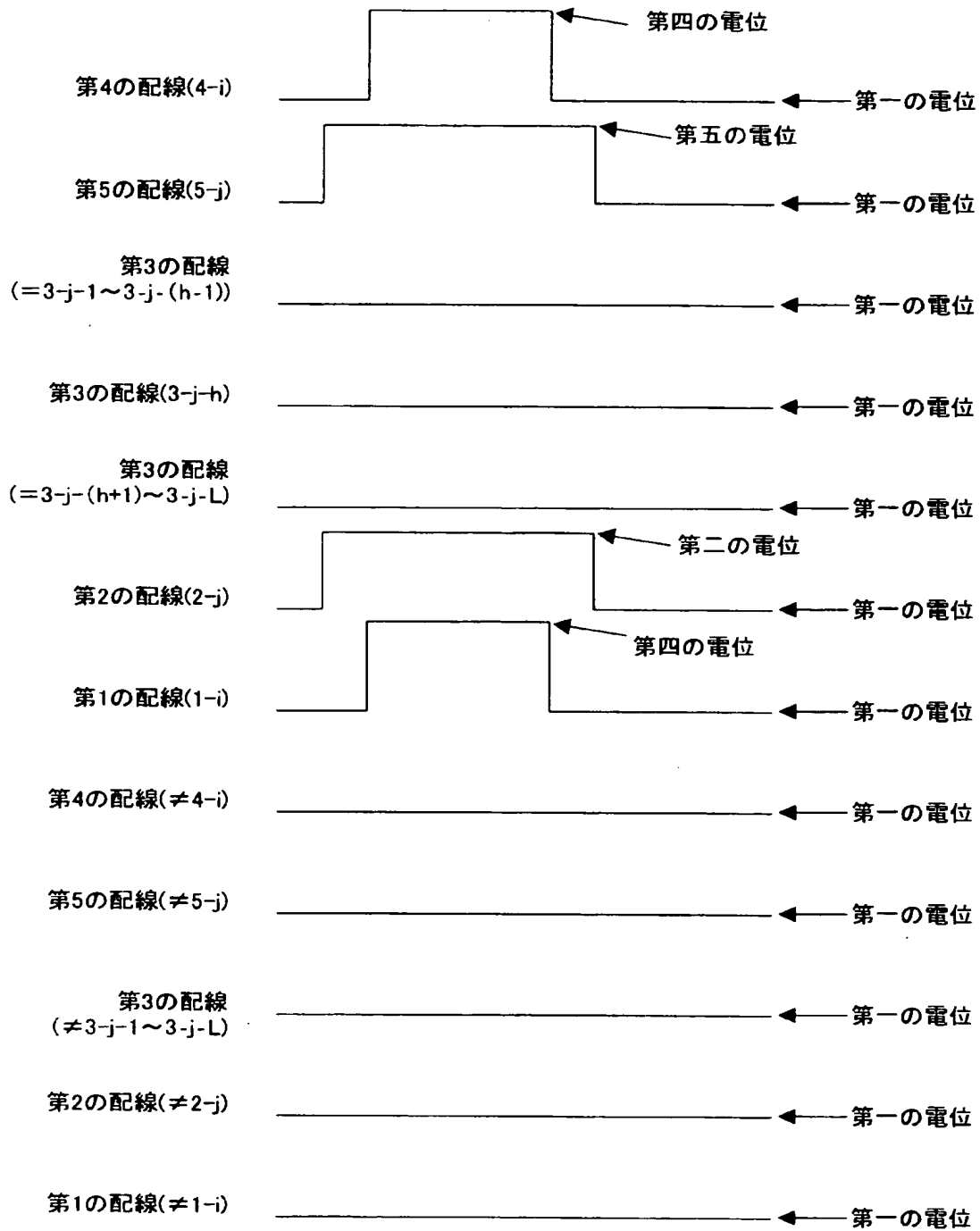
【図 1 0 6】



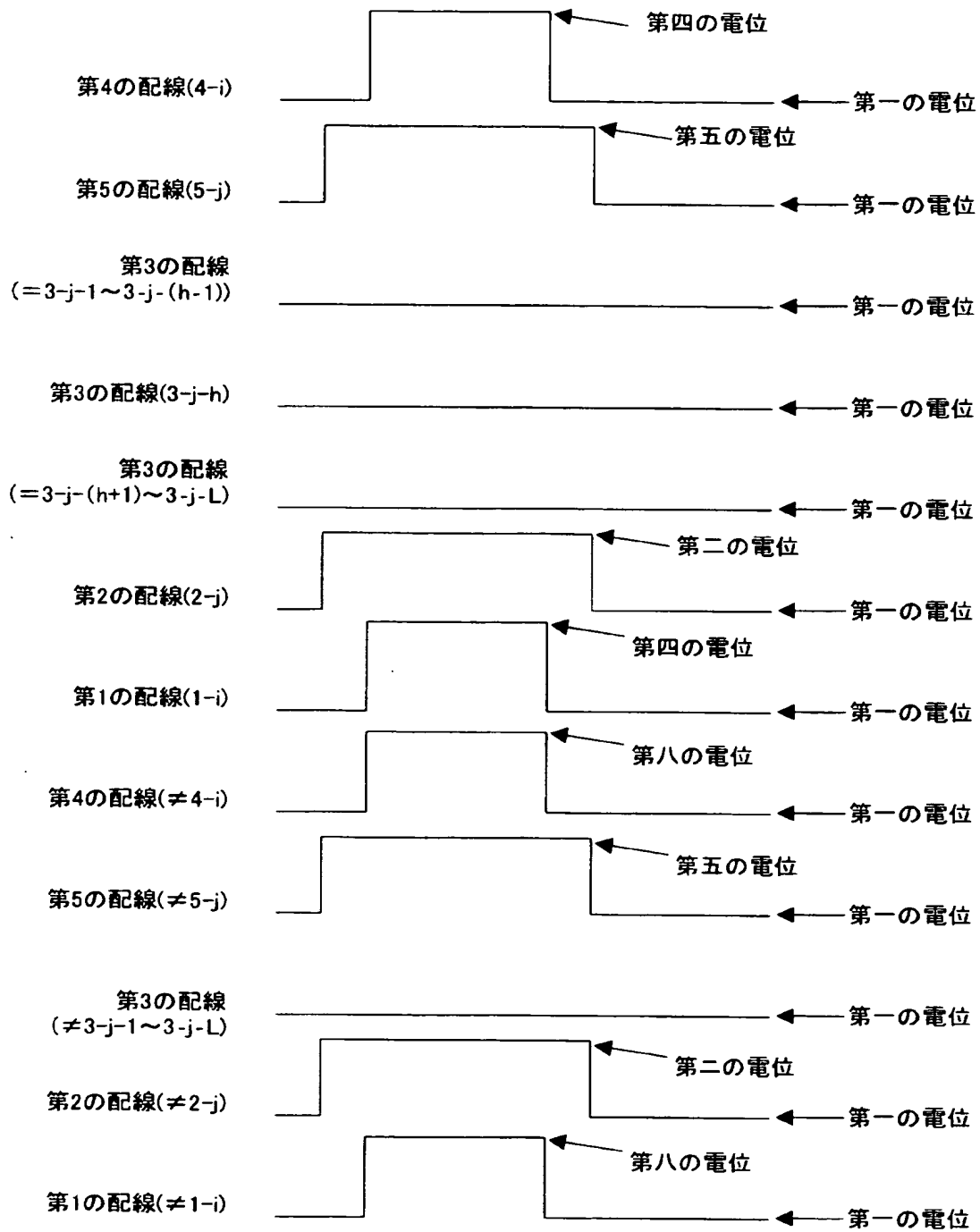
【図 107】



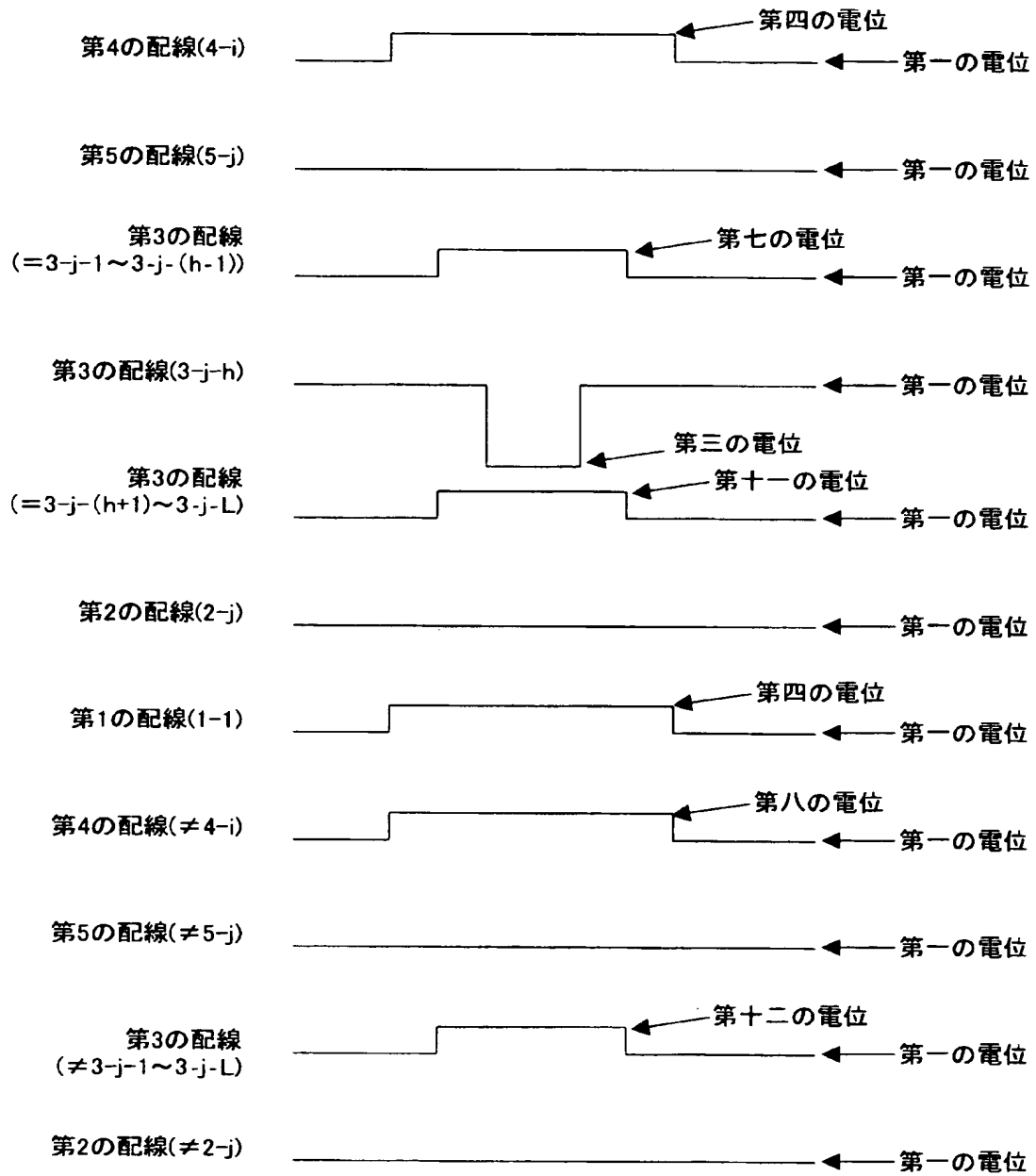
【図 1 0 8】



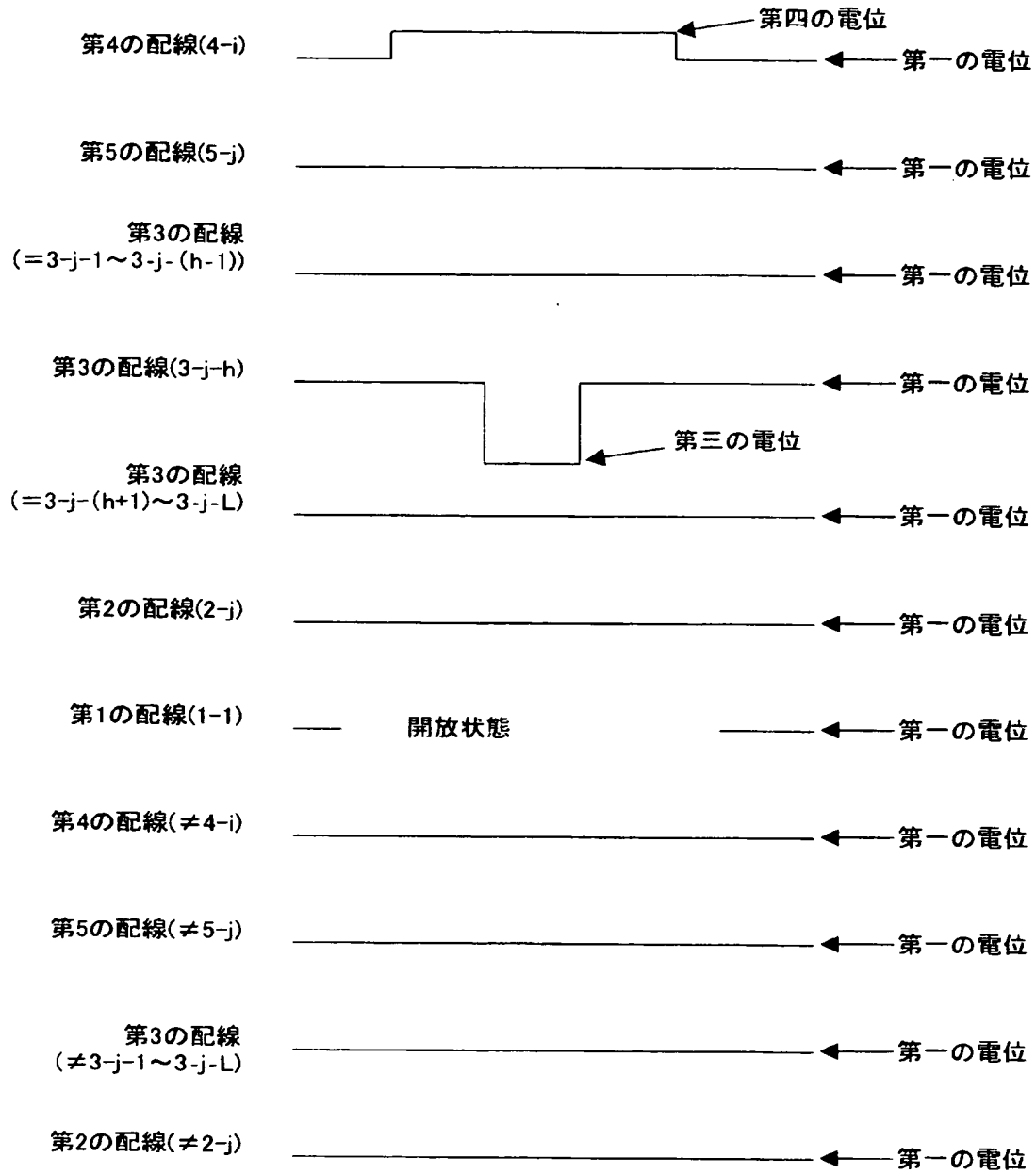
【図 1 0 9】



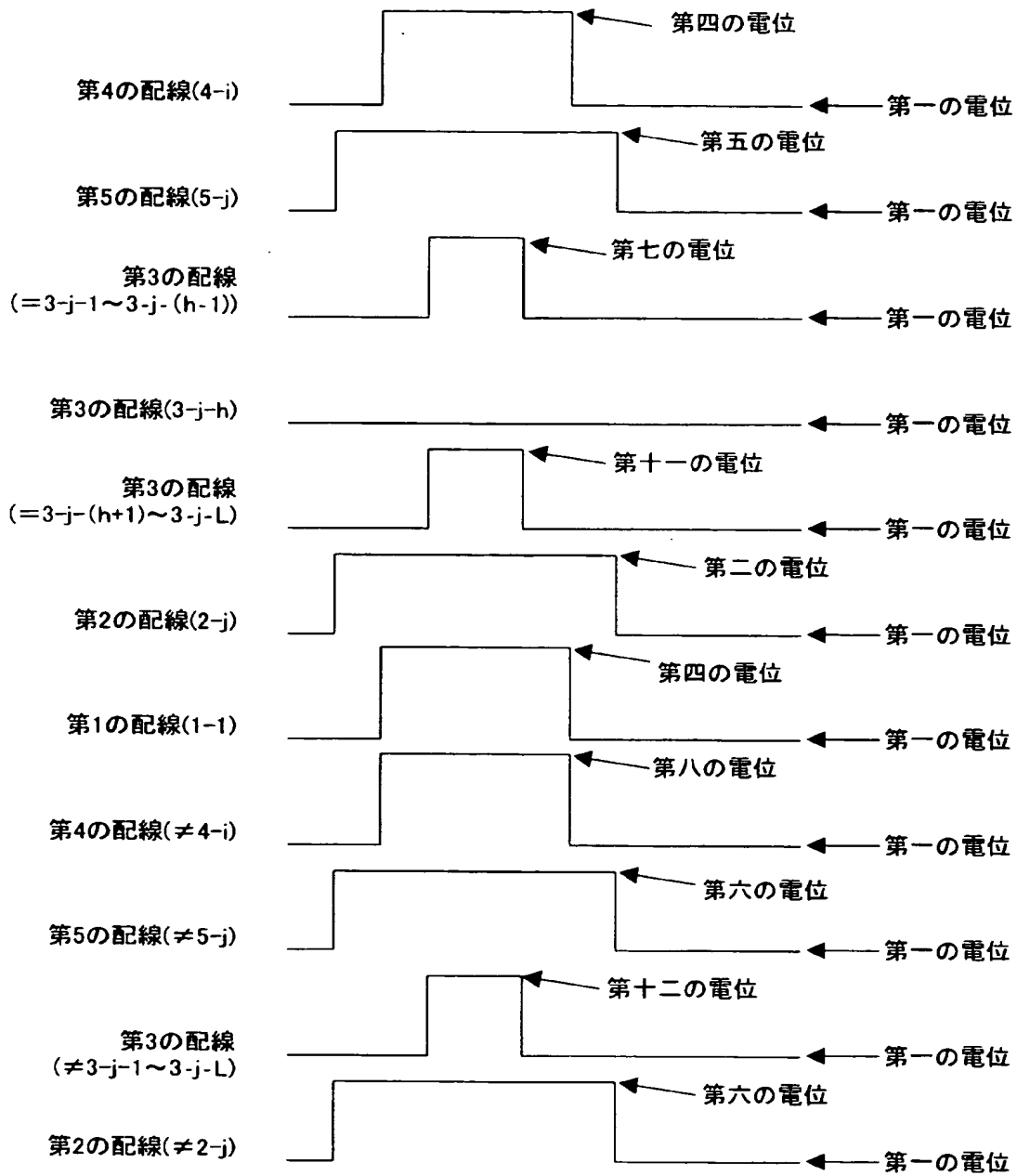
【図 110】



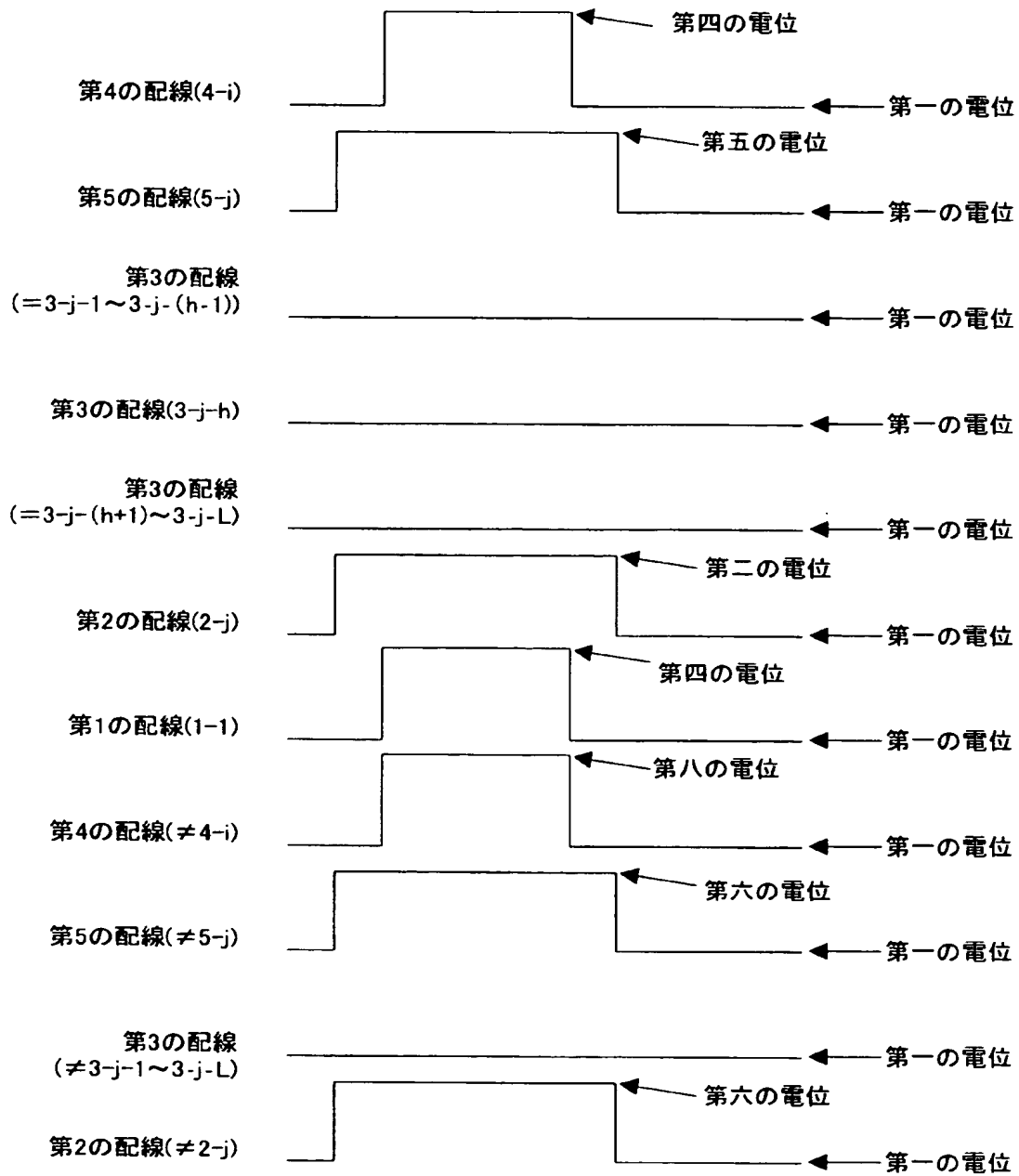
【図 1 1 1】



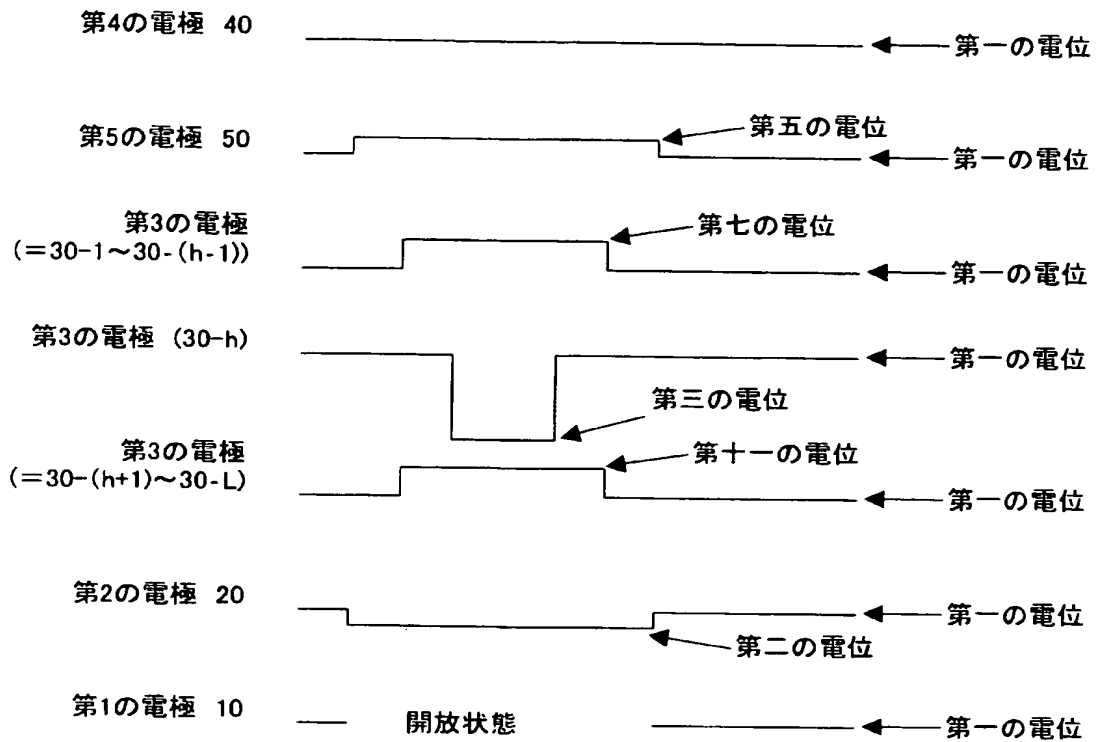
【図 112】



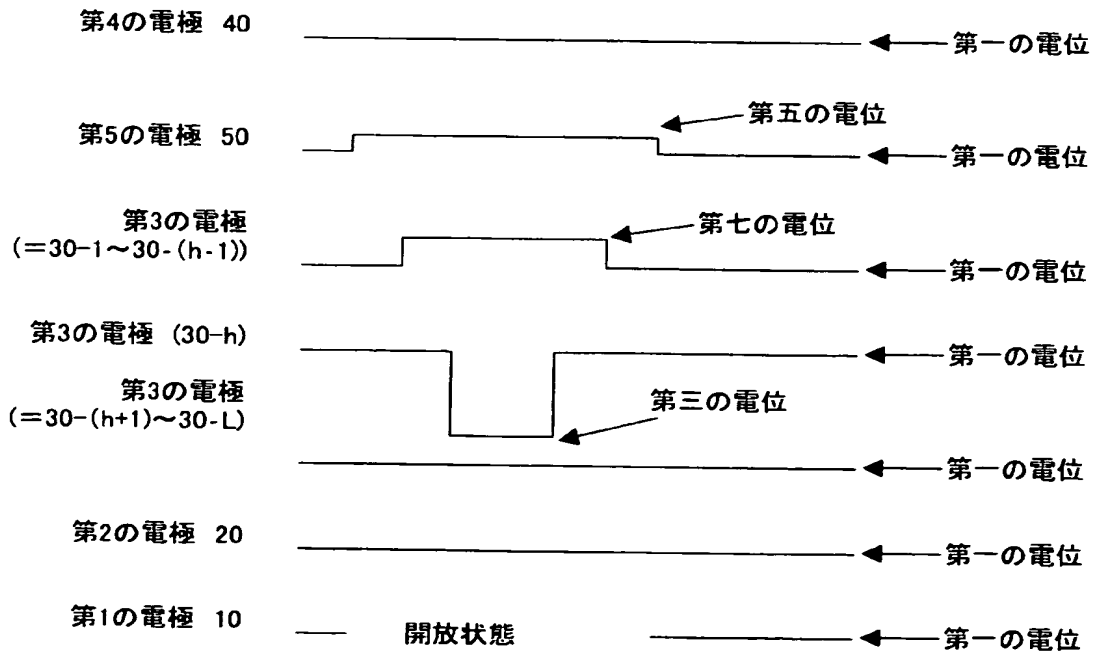
【図 113】



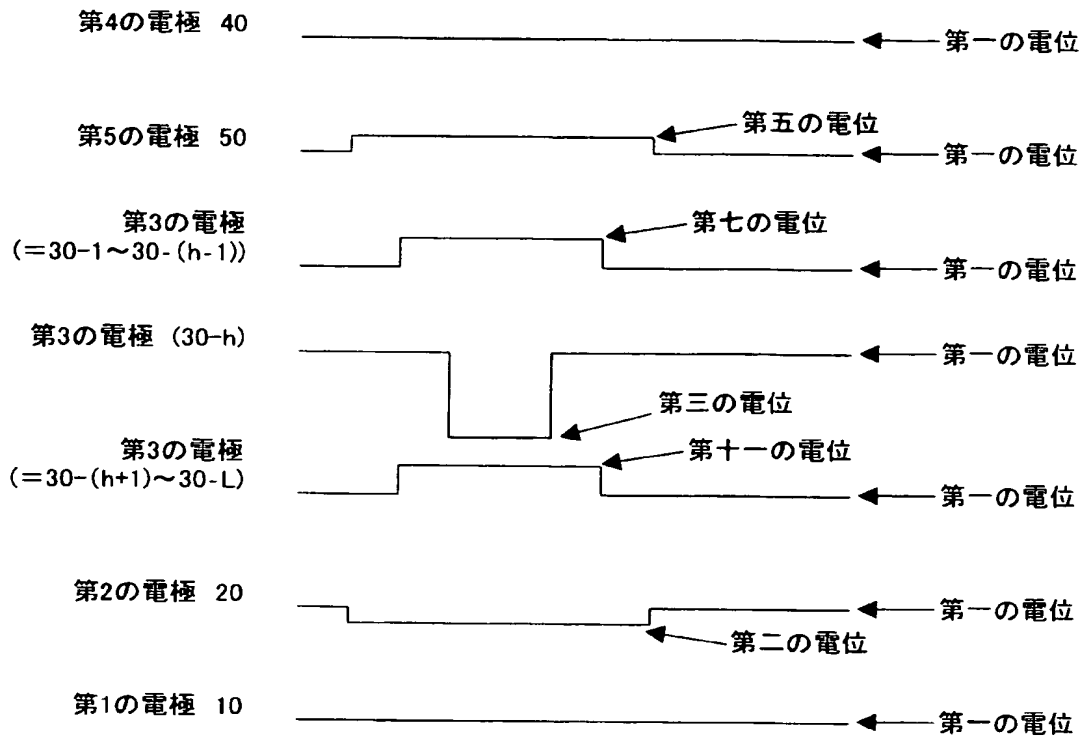
【図 1 1 4】



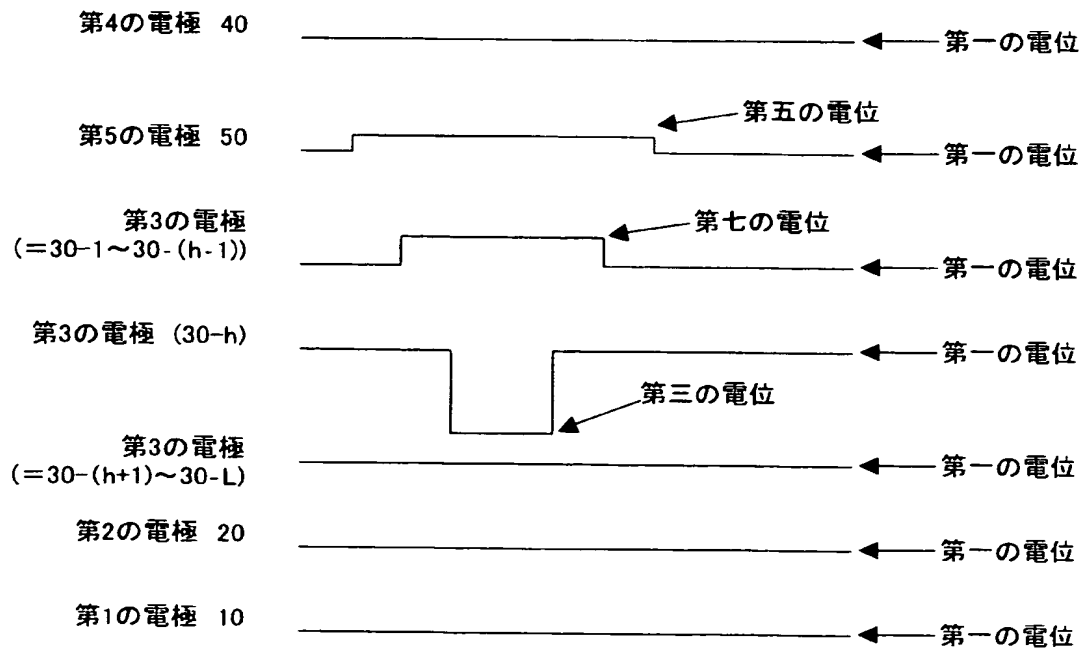
【図 1 1 5】



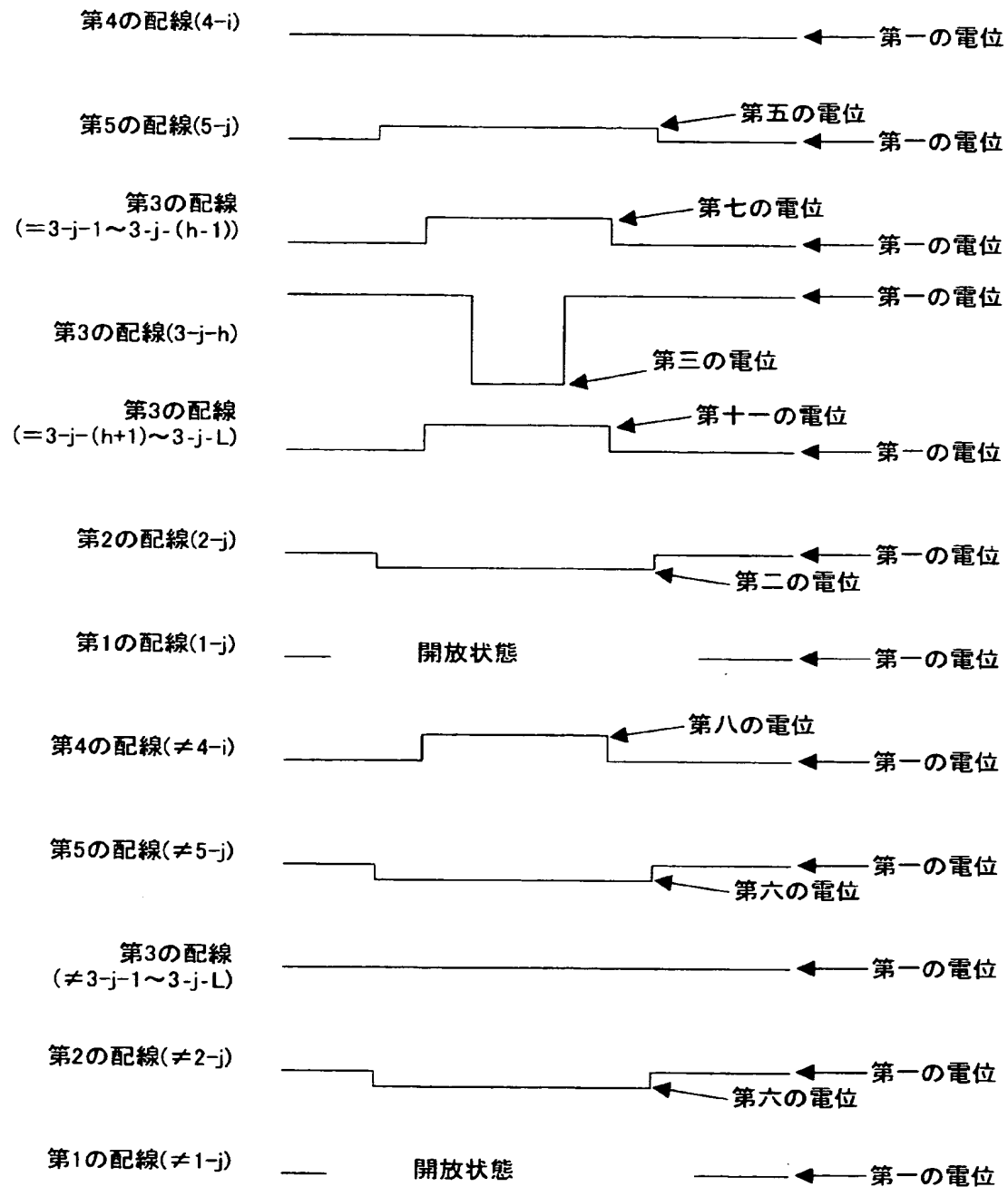
【図 116】



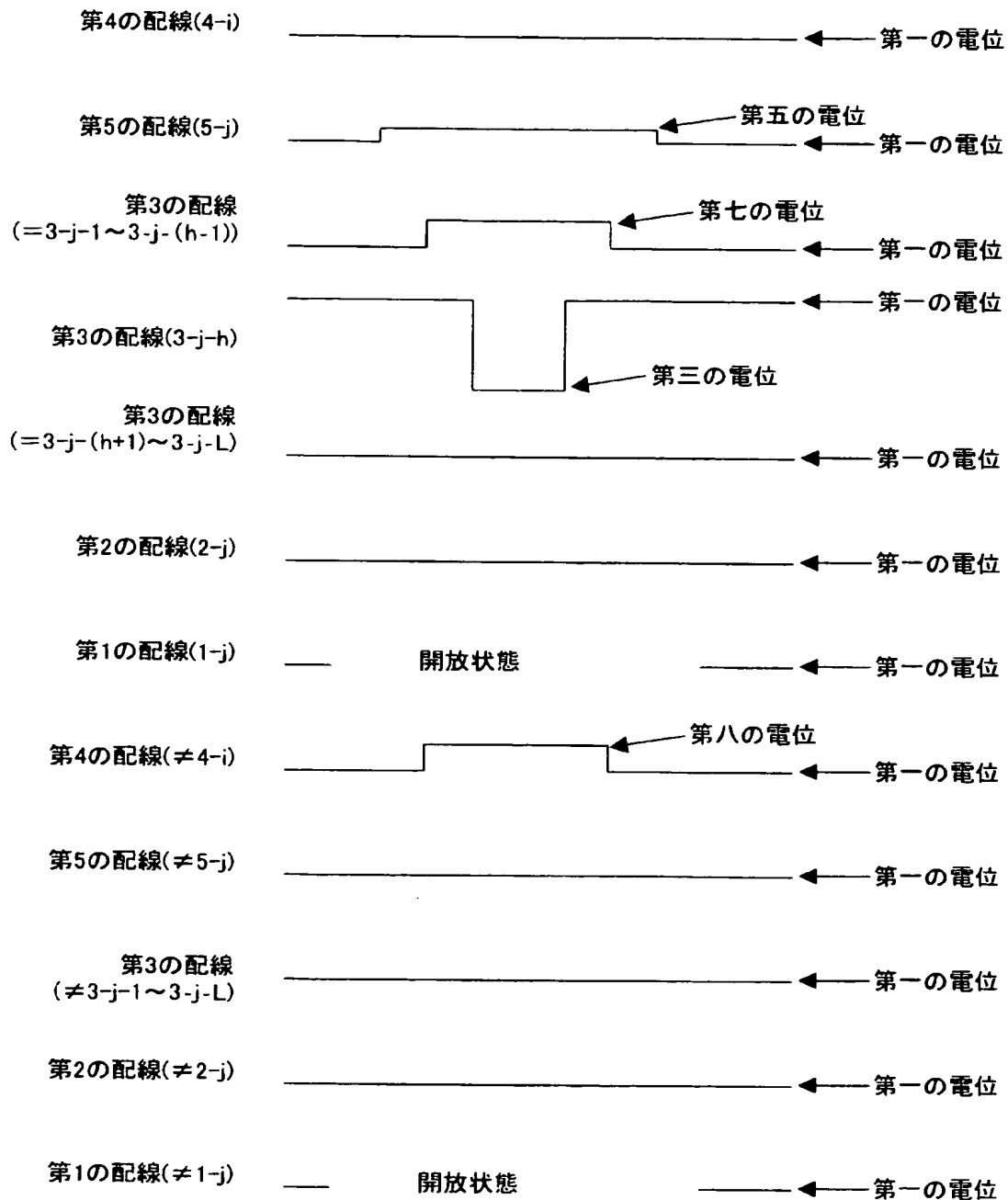
【図 117】



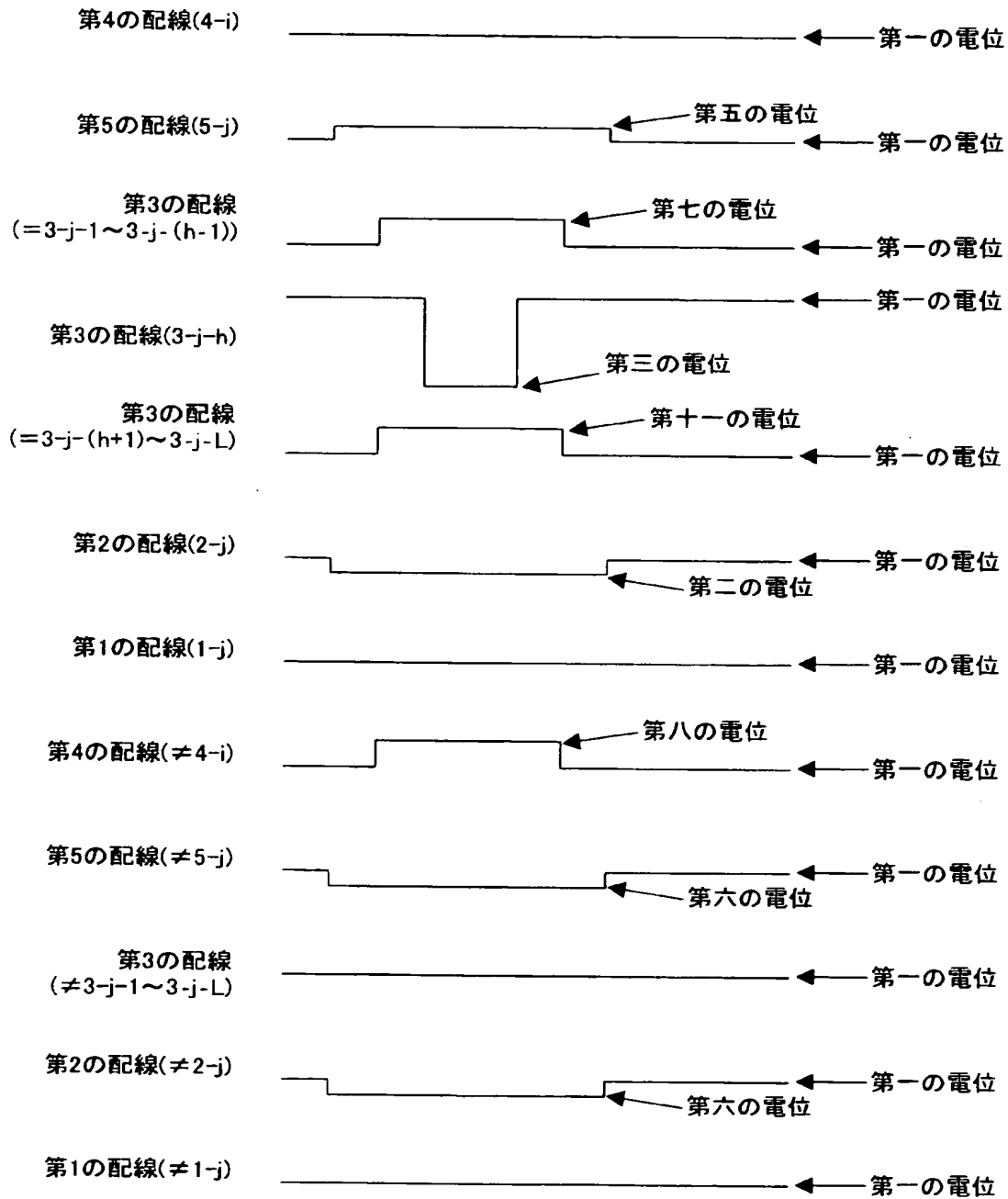
【図 118】



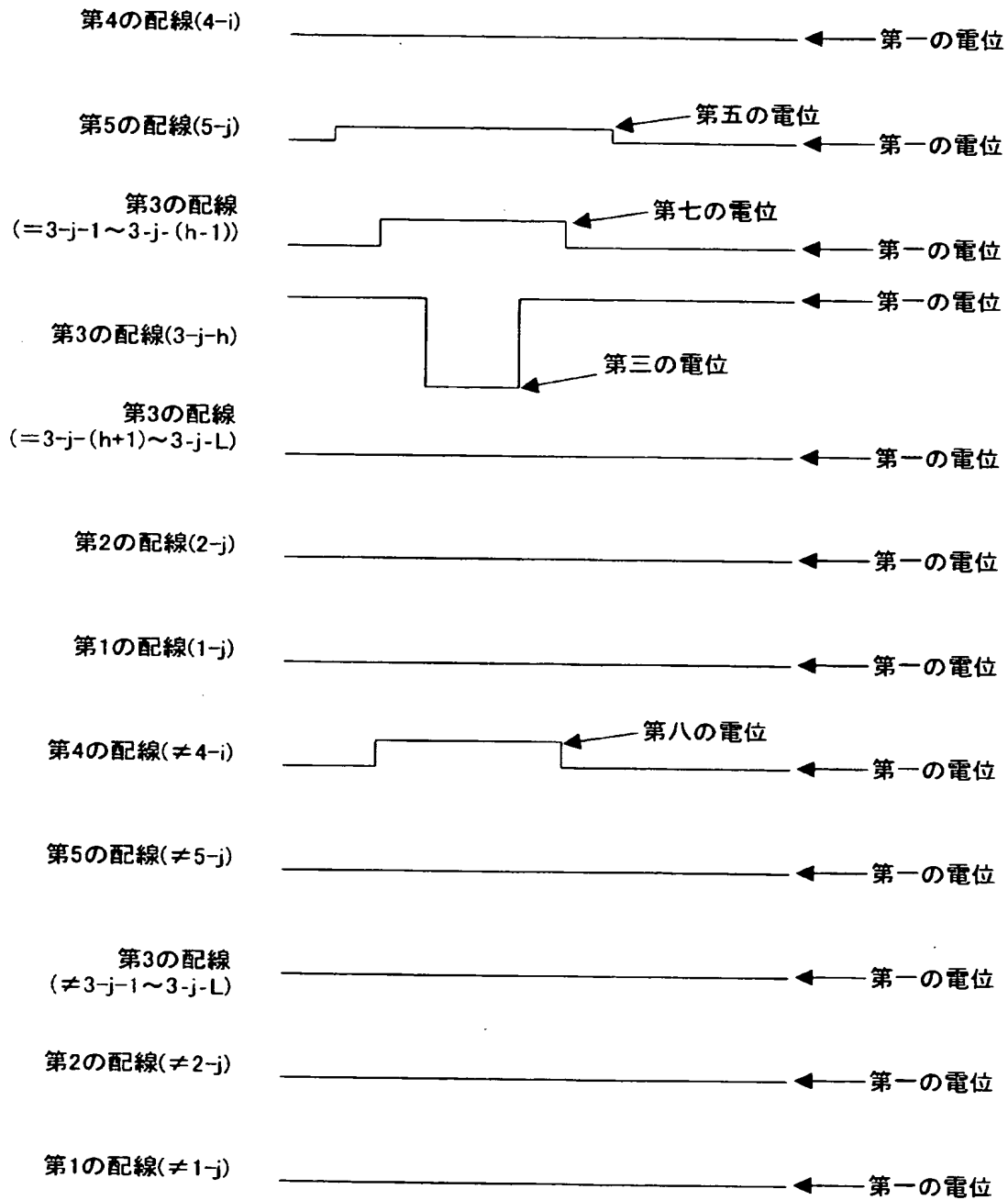
【図 1 1 9】



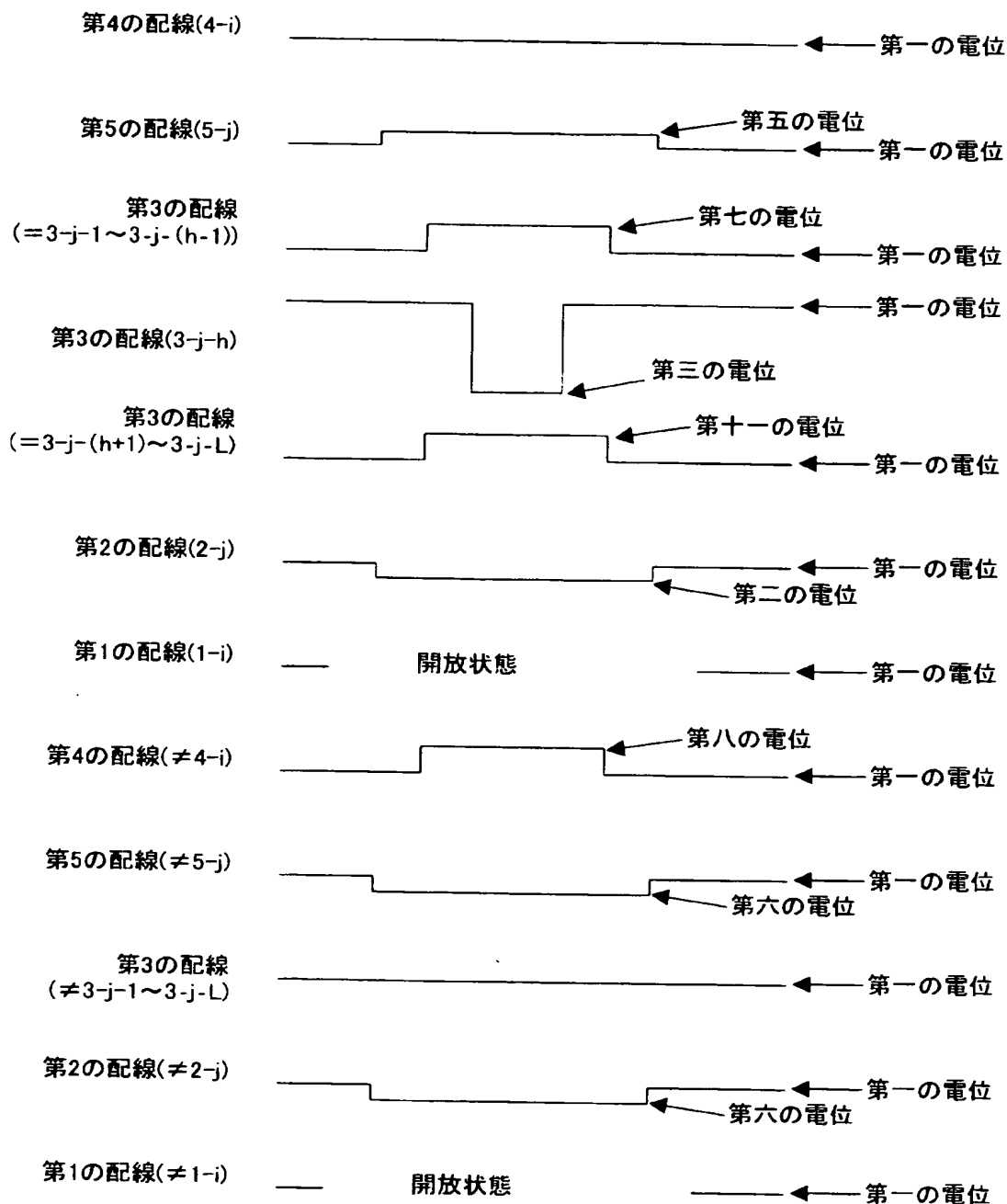
【図 120】



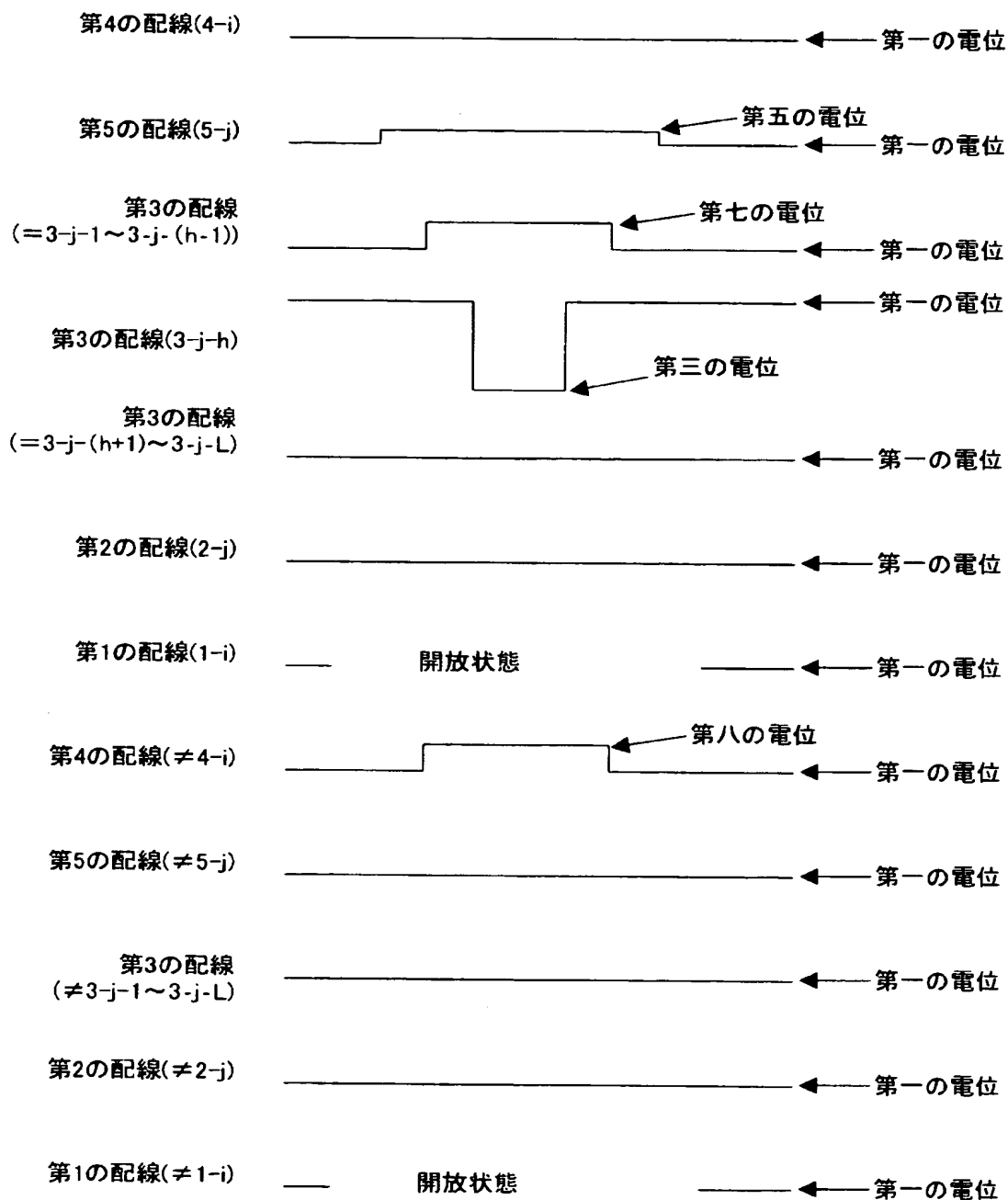
【図 121】



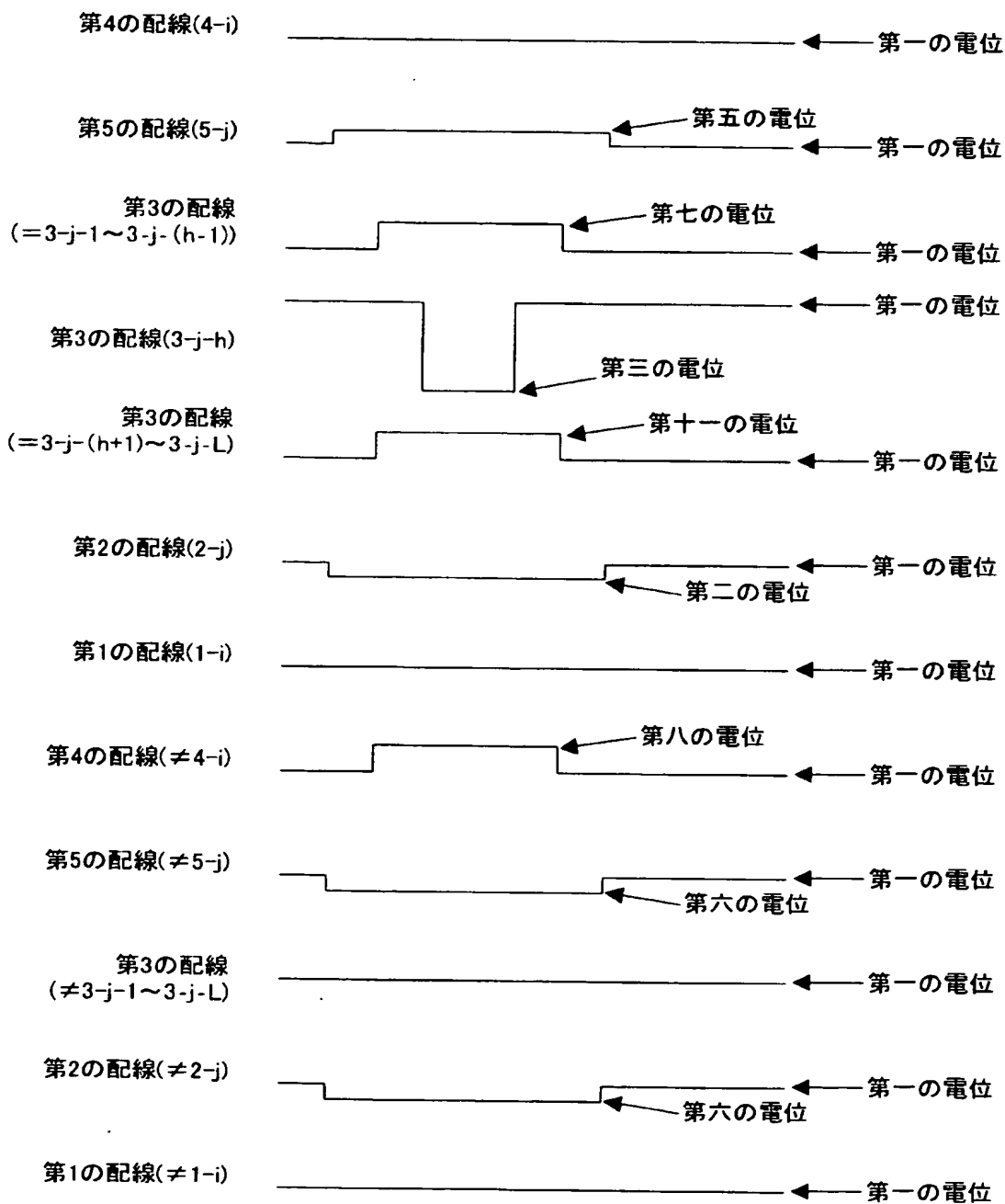
【図 122】



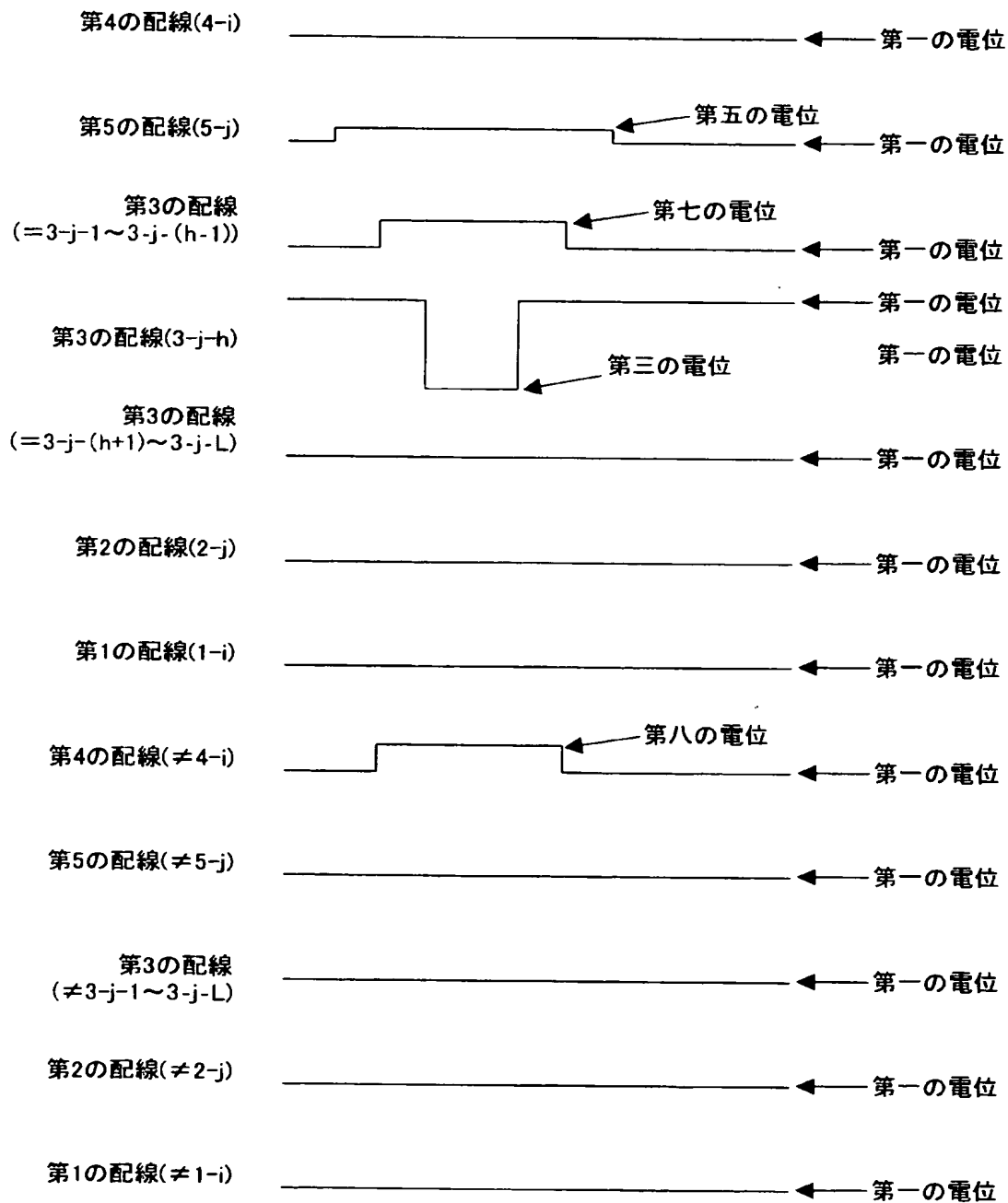
【図 1 2 3】



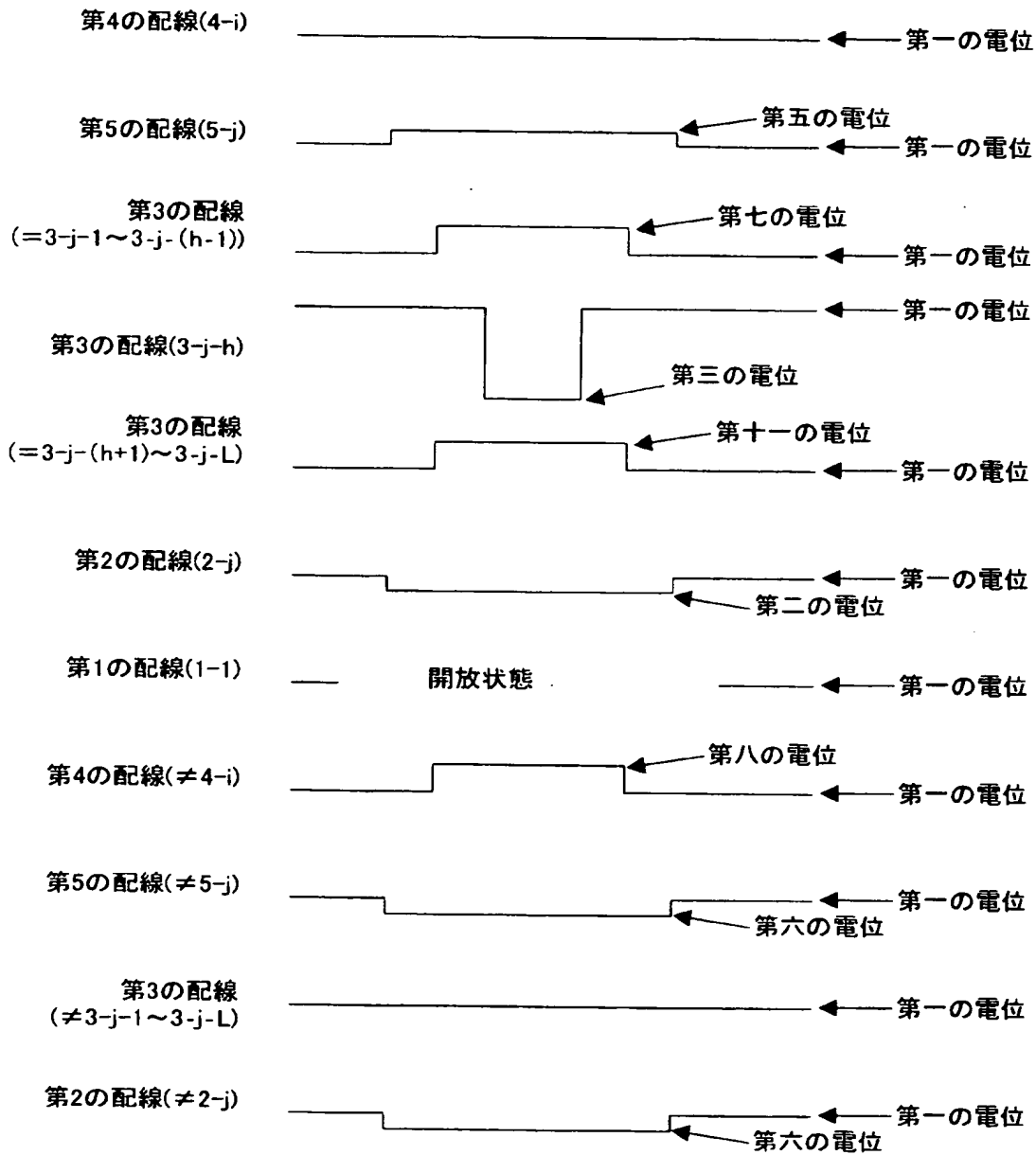
【図 1 2 4】



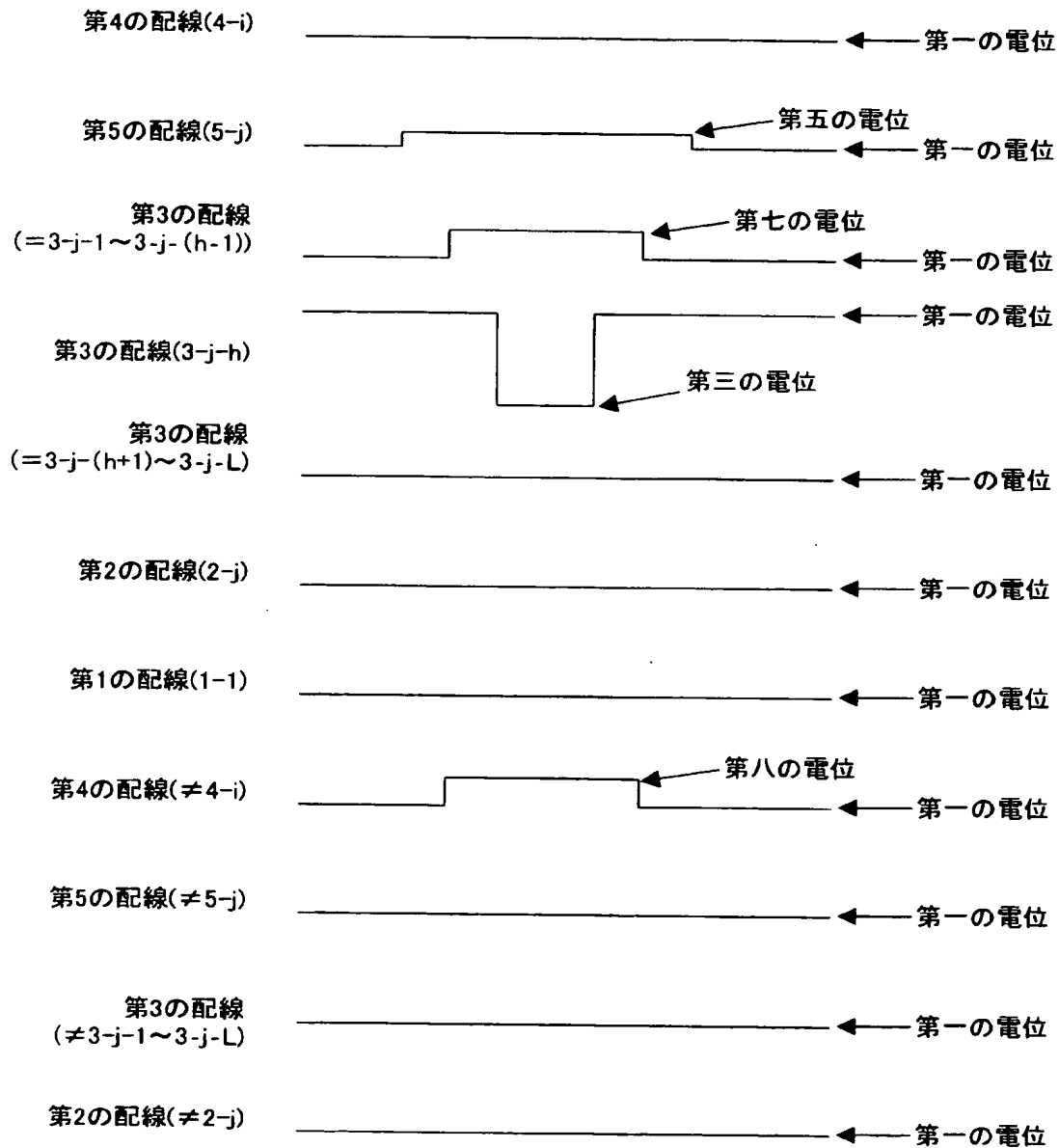
【図 1 2 5】



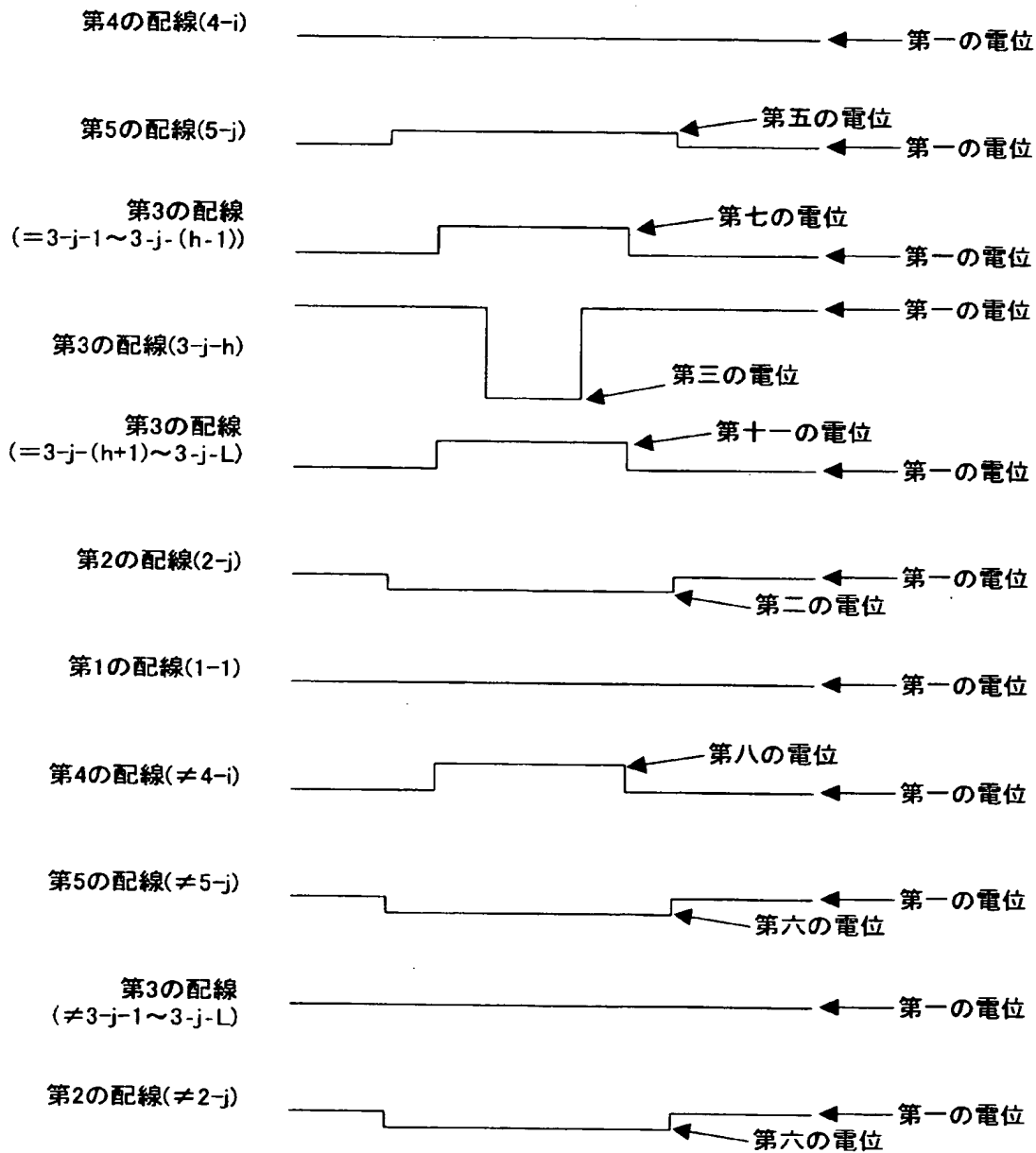
【図 1 2 6】



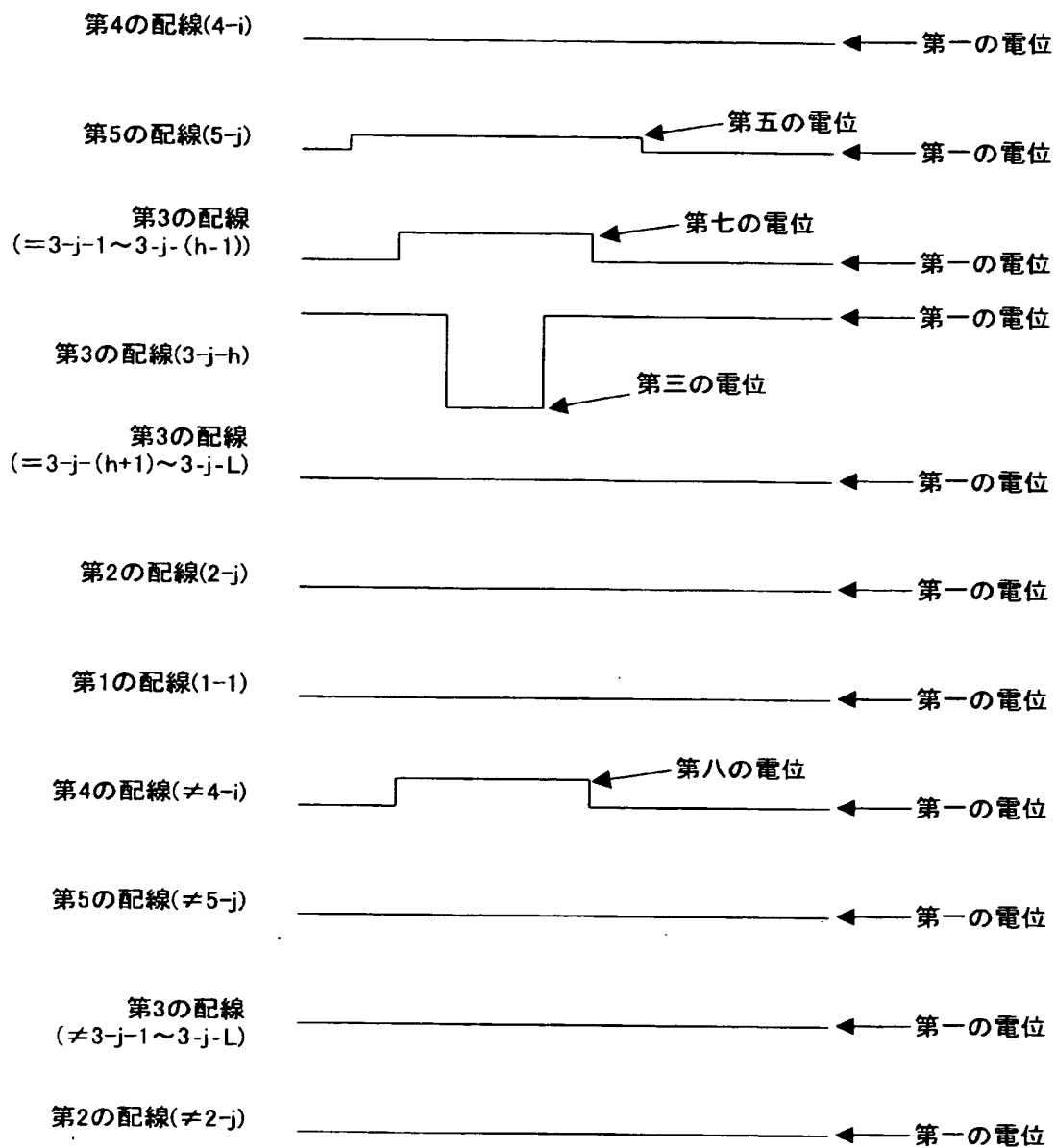
【図 1 2 7】



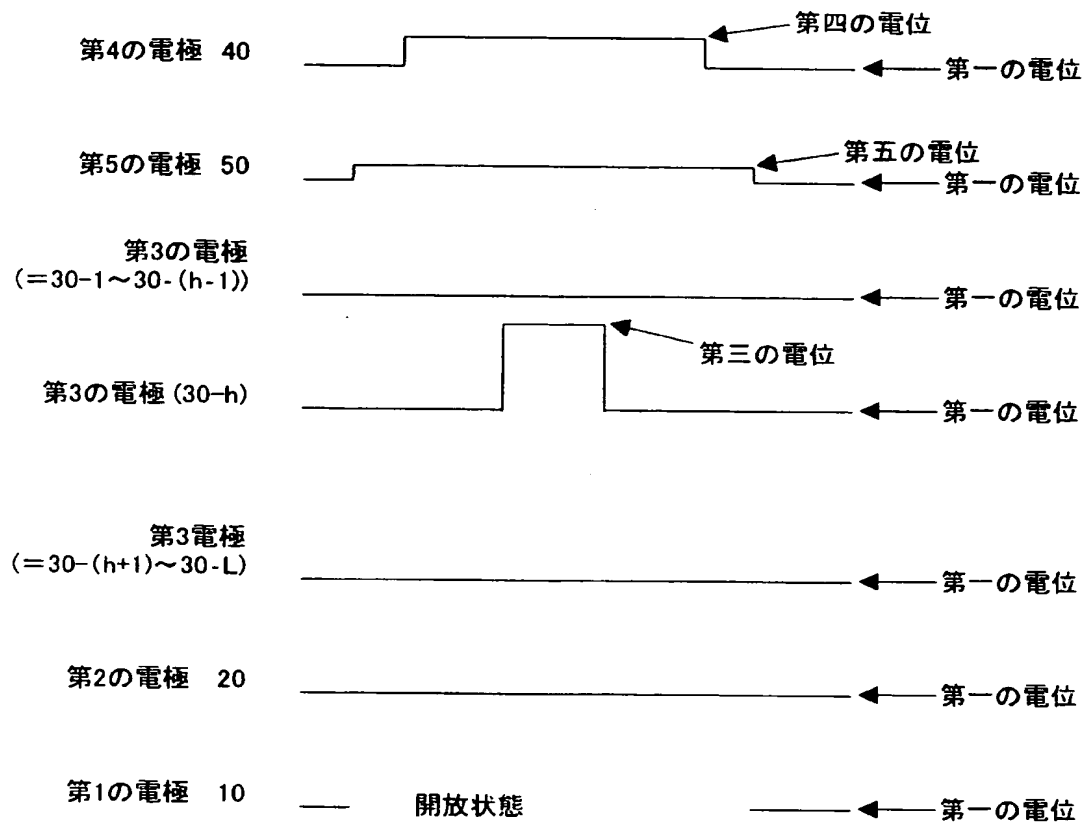
【図 128】



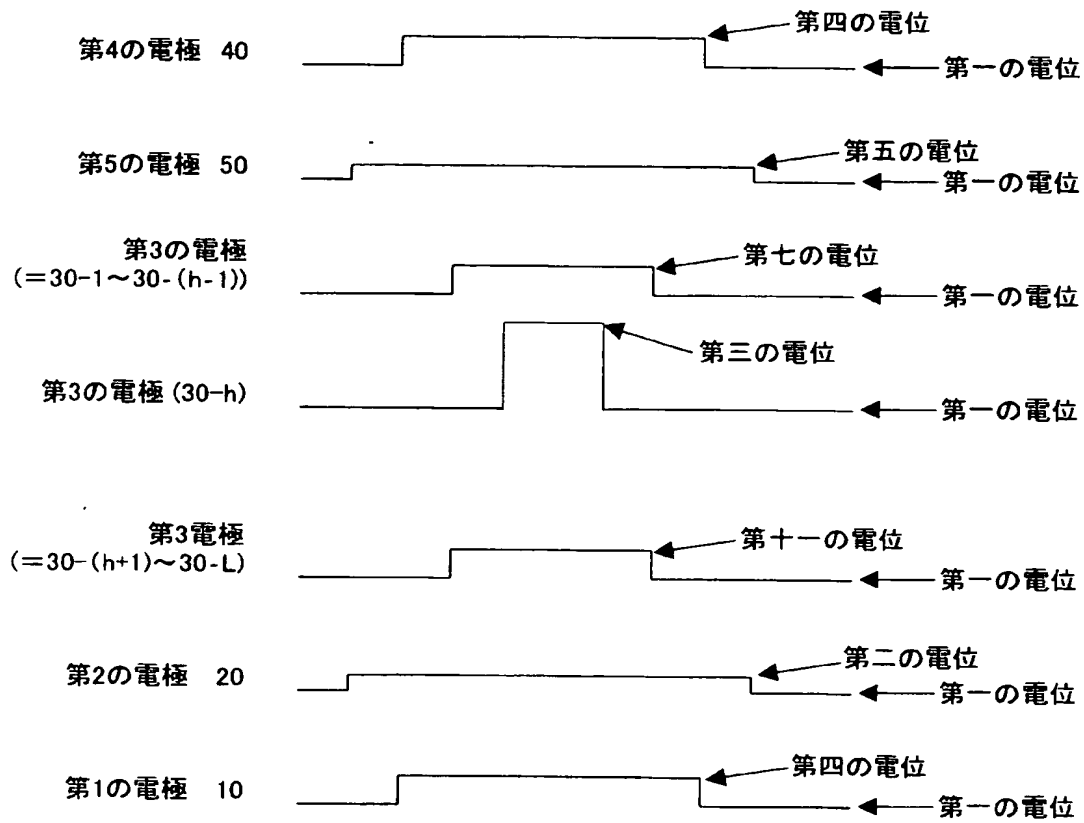
【図 1 2 9】



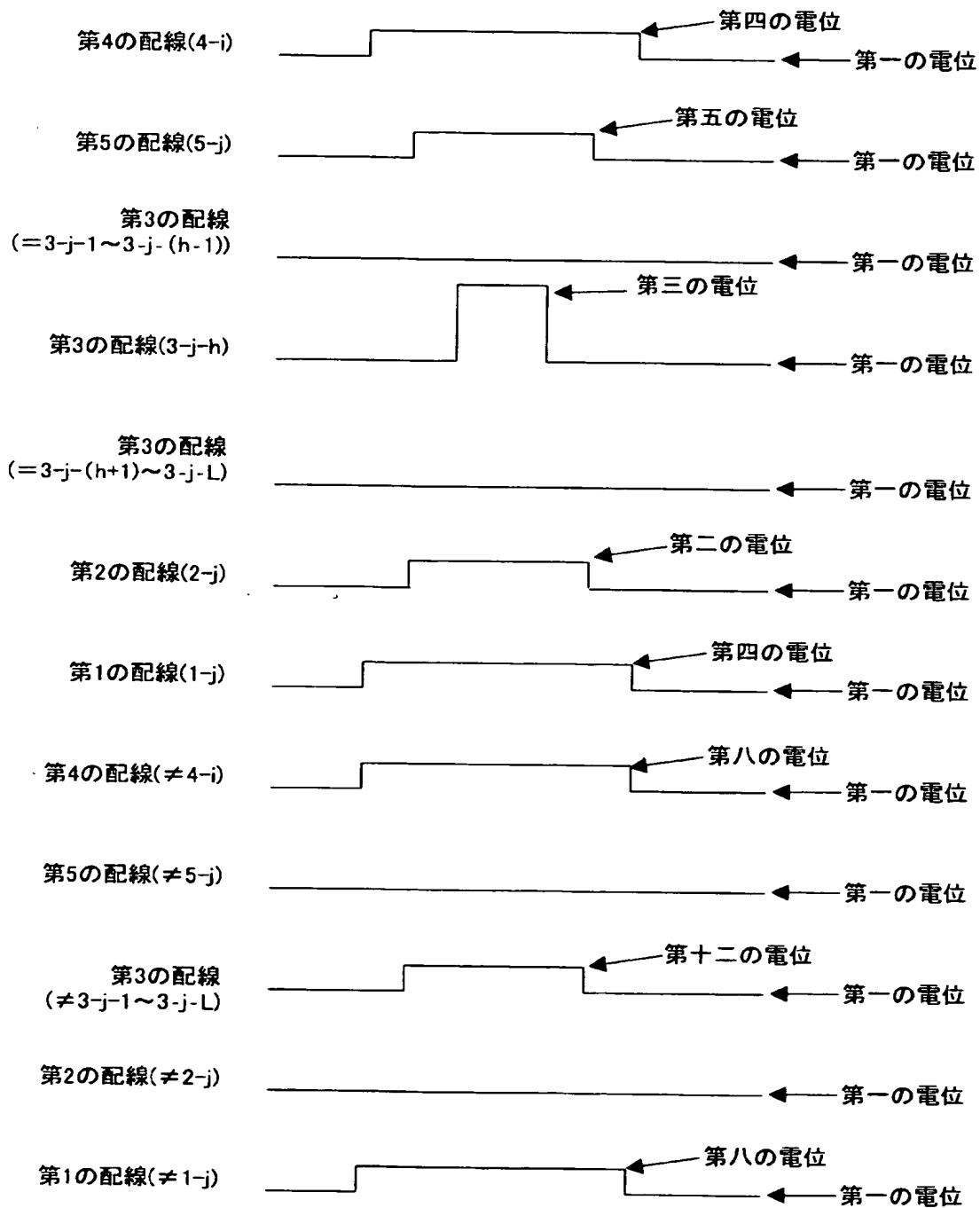
【図 130】



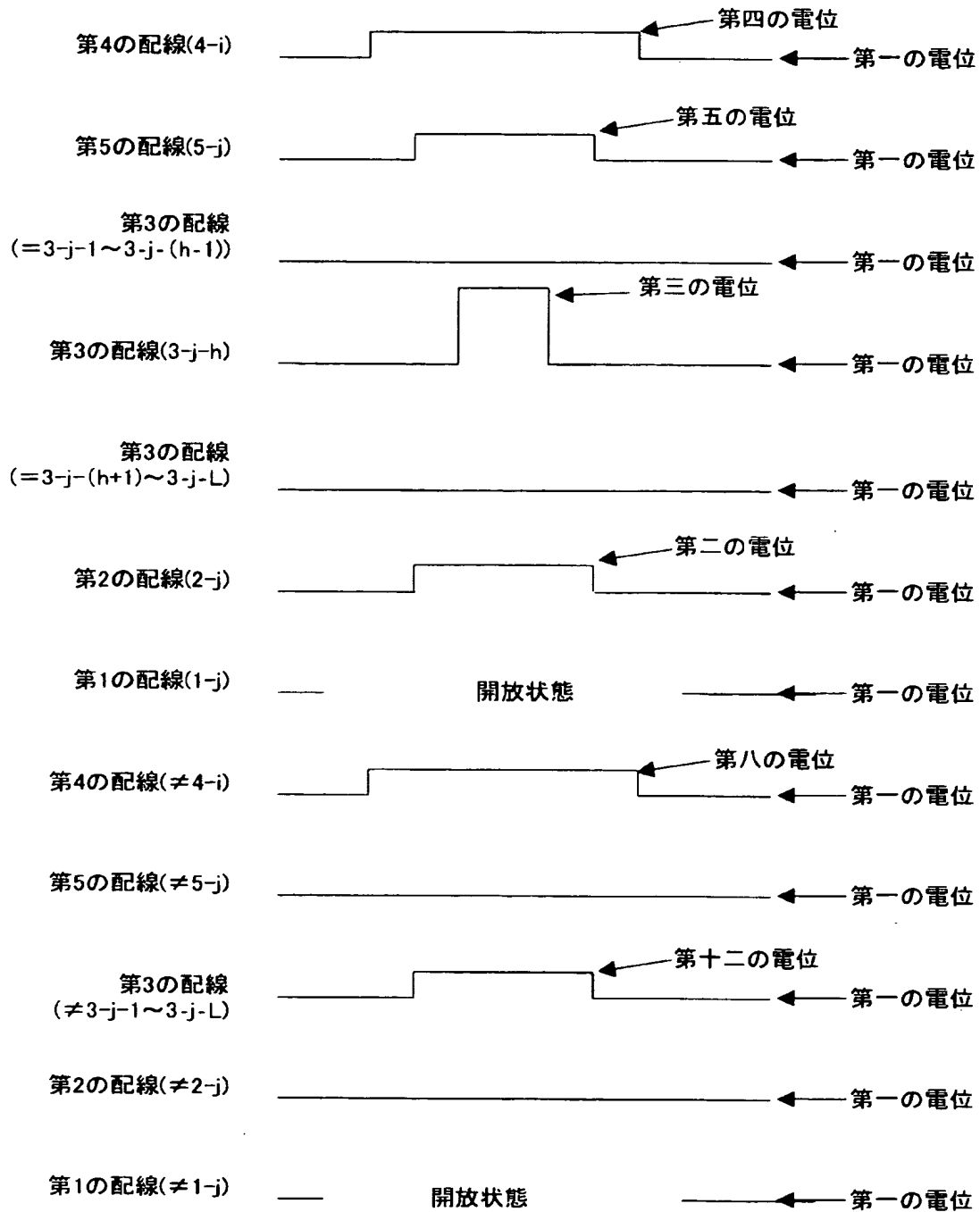
【図 131】



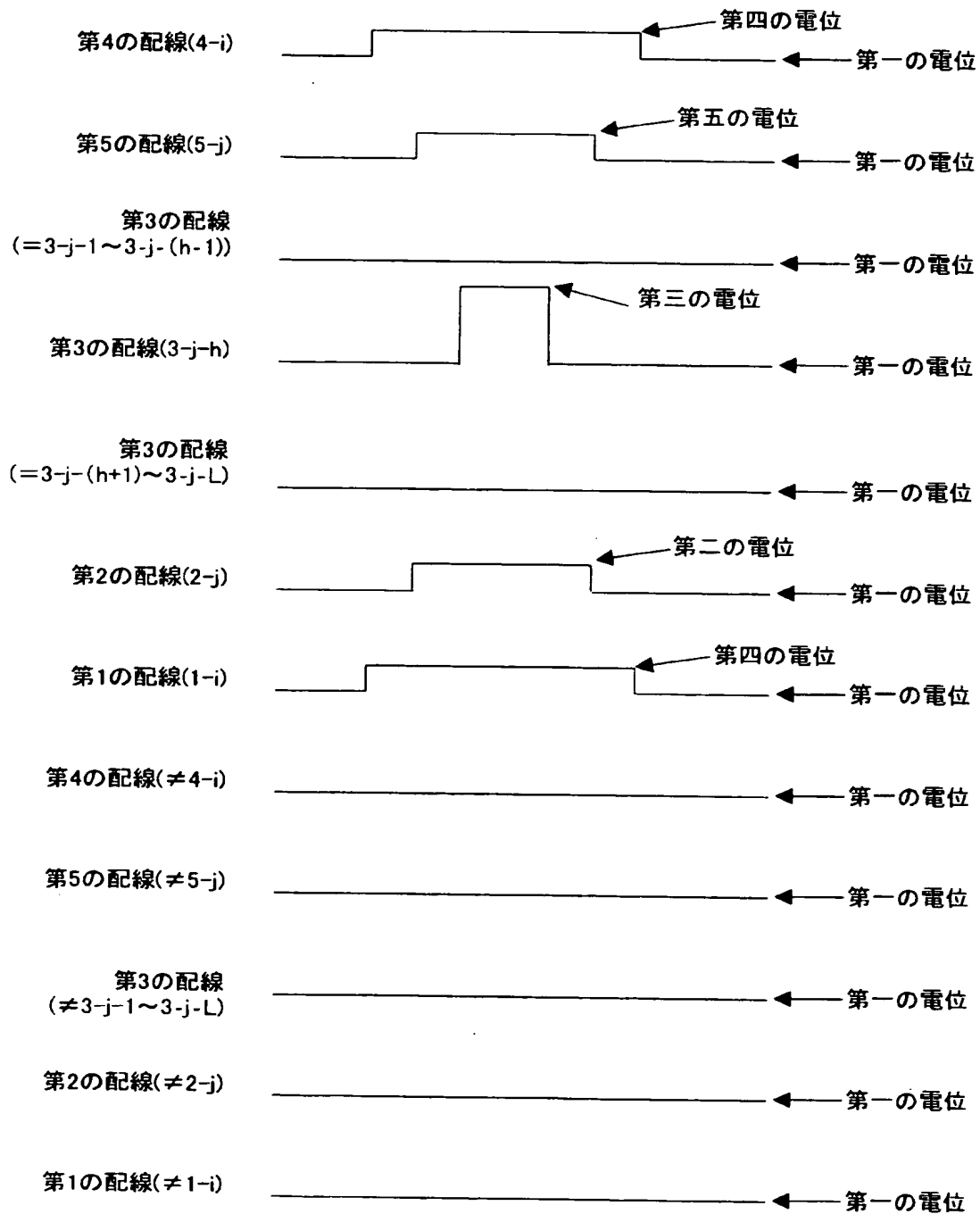
【図 132】



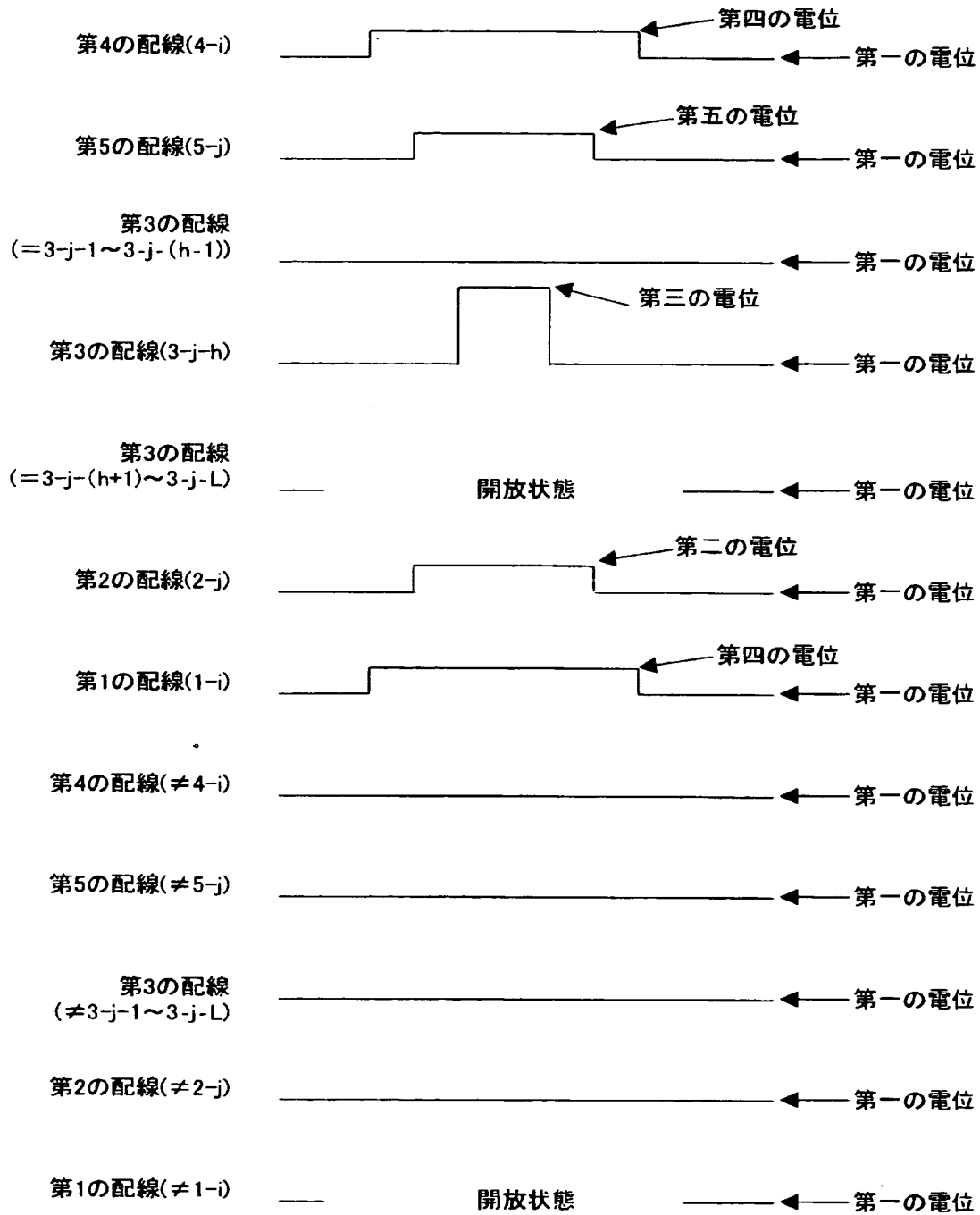
【図 133】



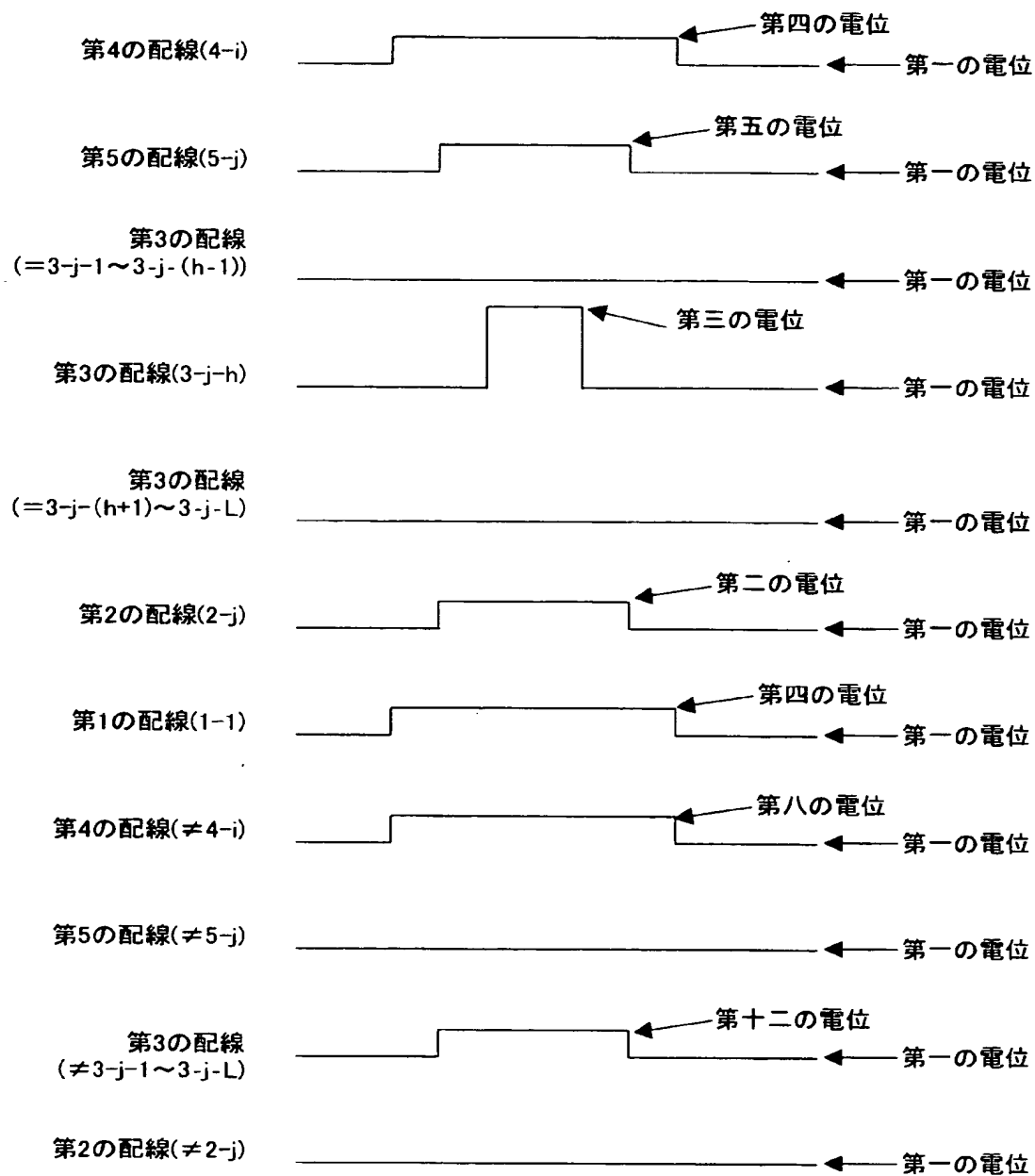
【図 1 3 4】



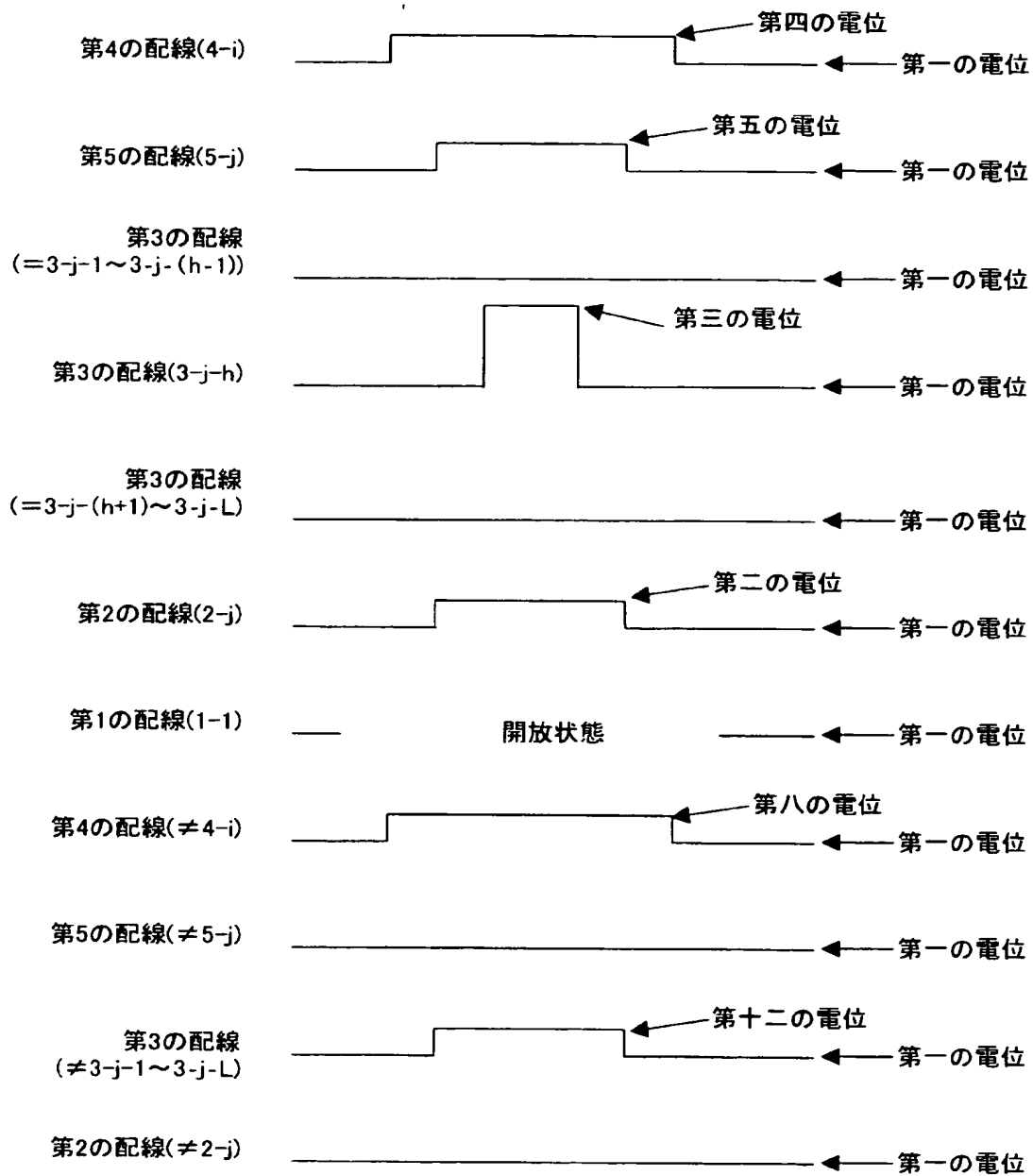
【図 135】



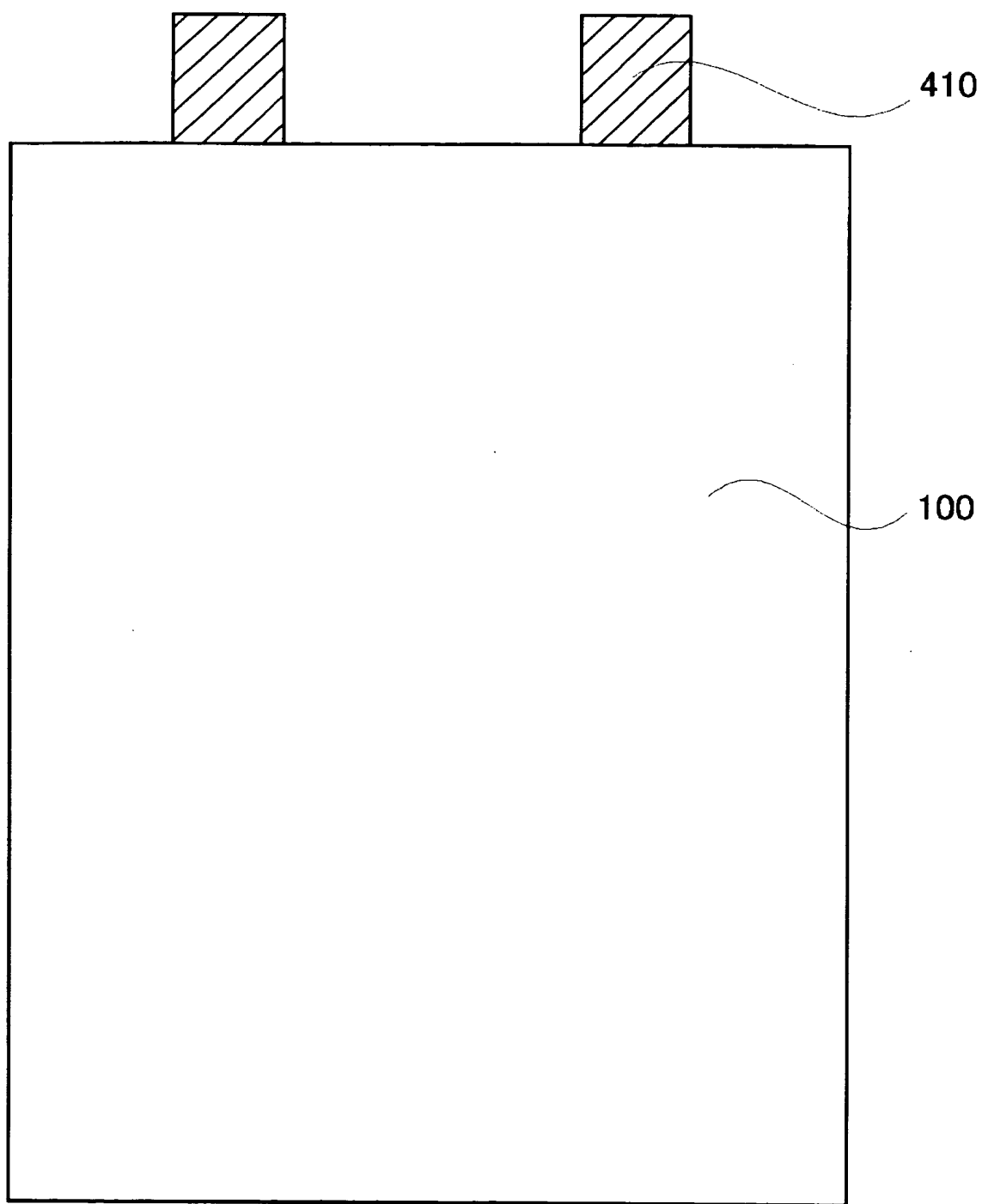
【図 136】



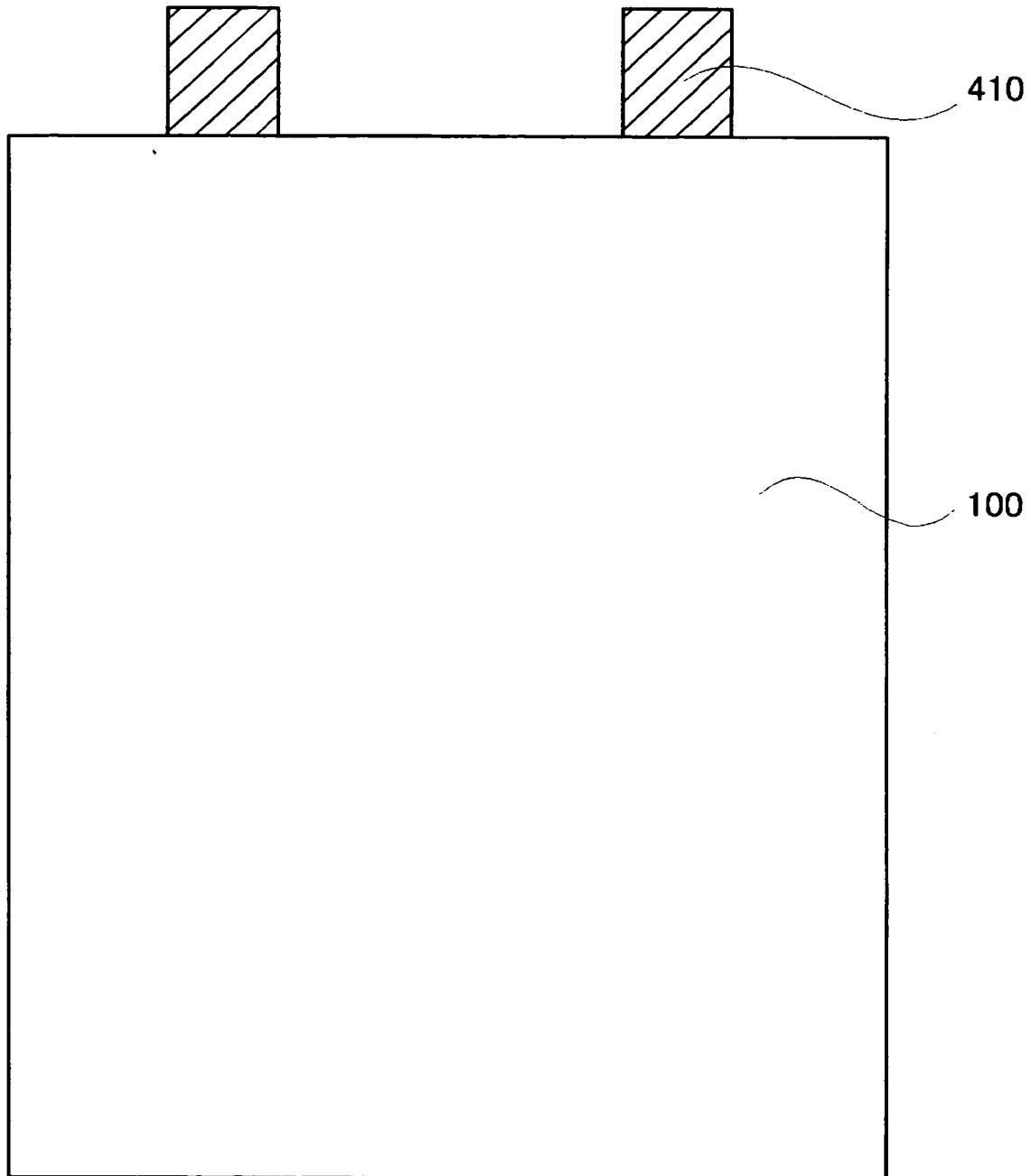
【図 137】



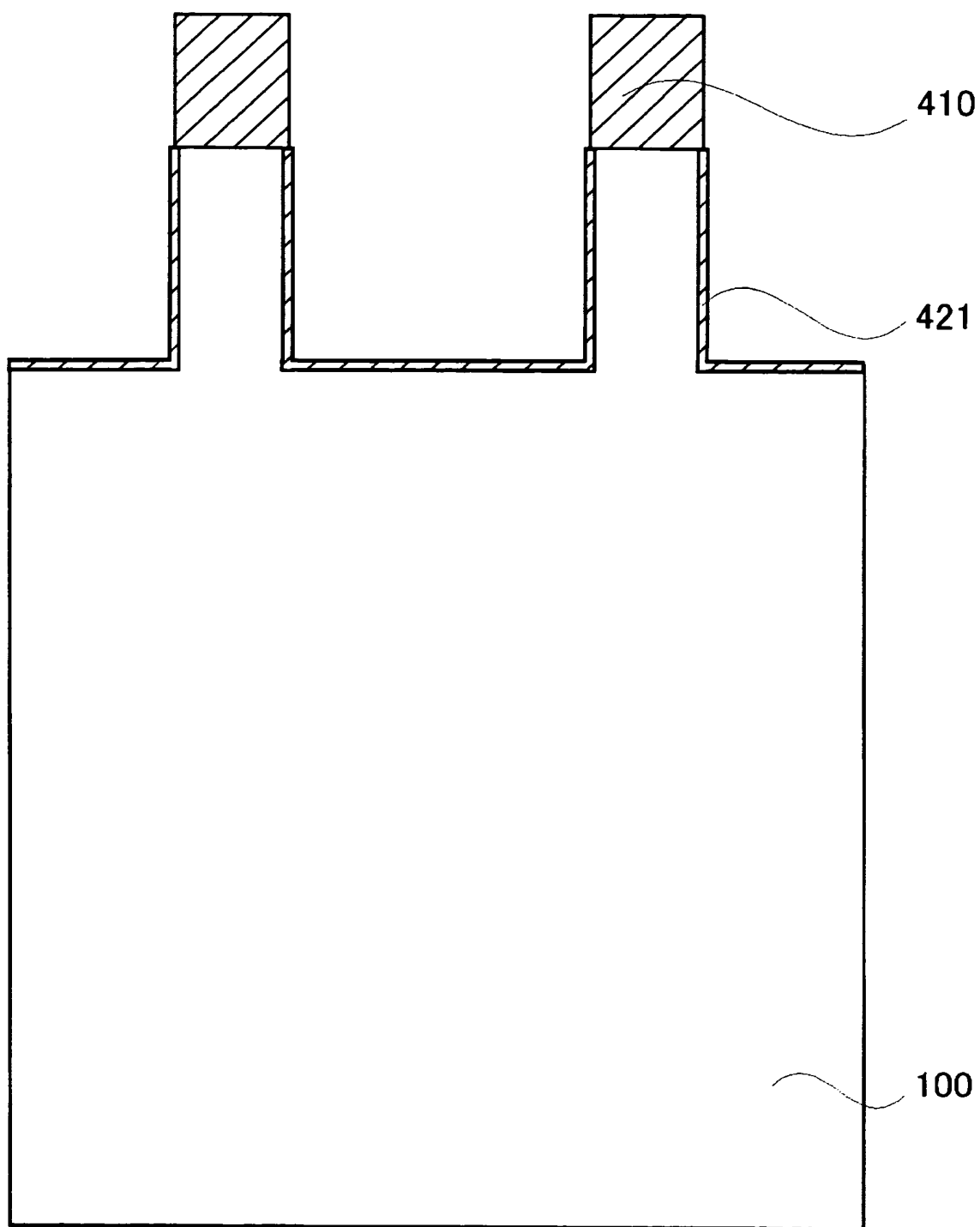
【図 138】



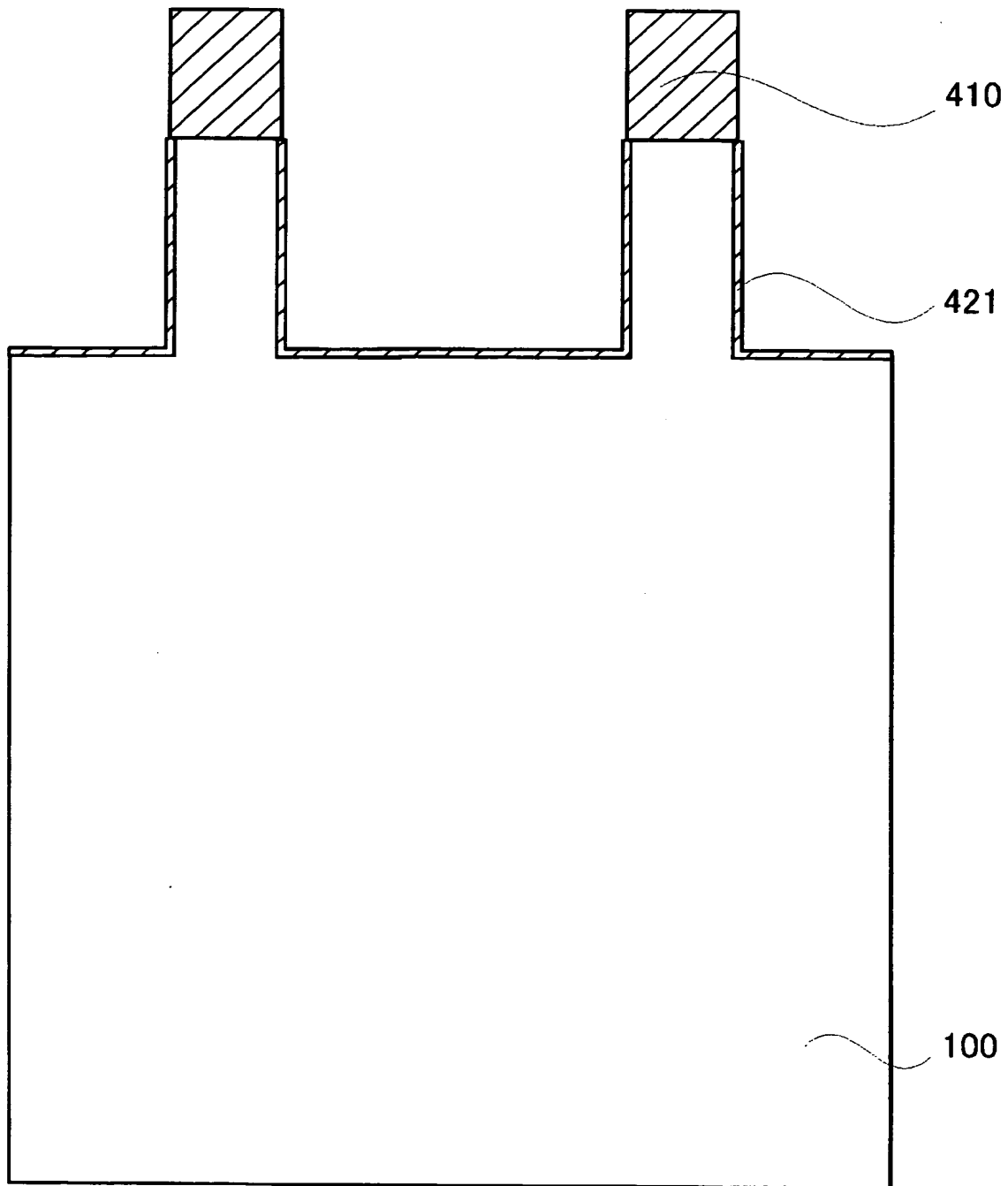
【図 139】



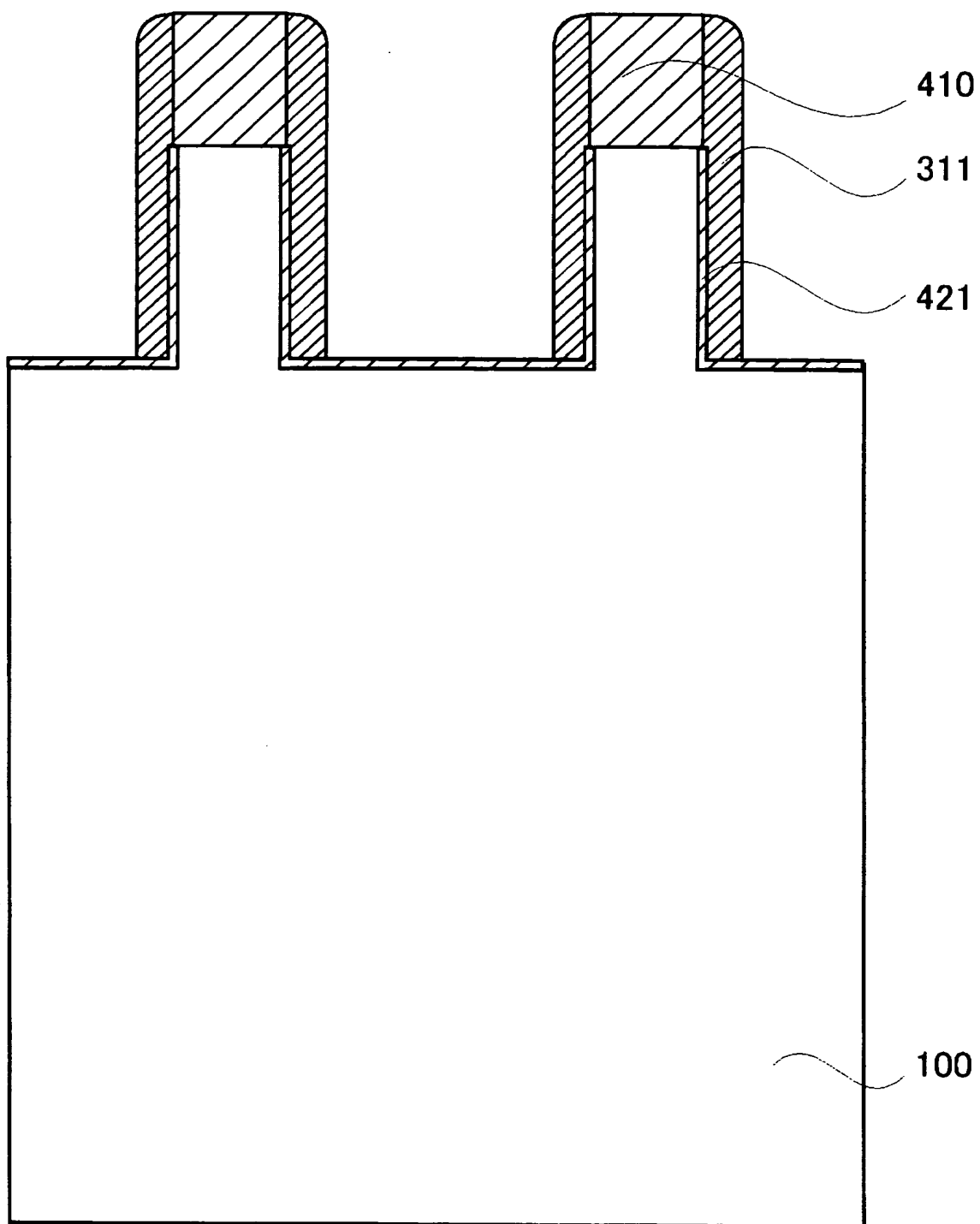
【図 140】



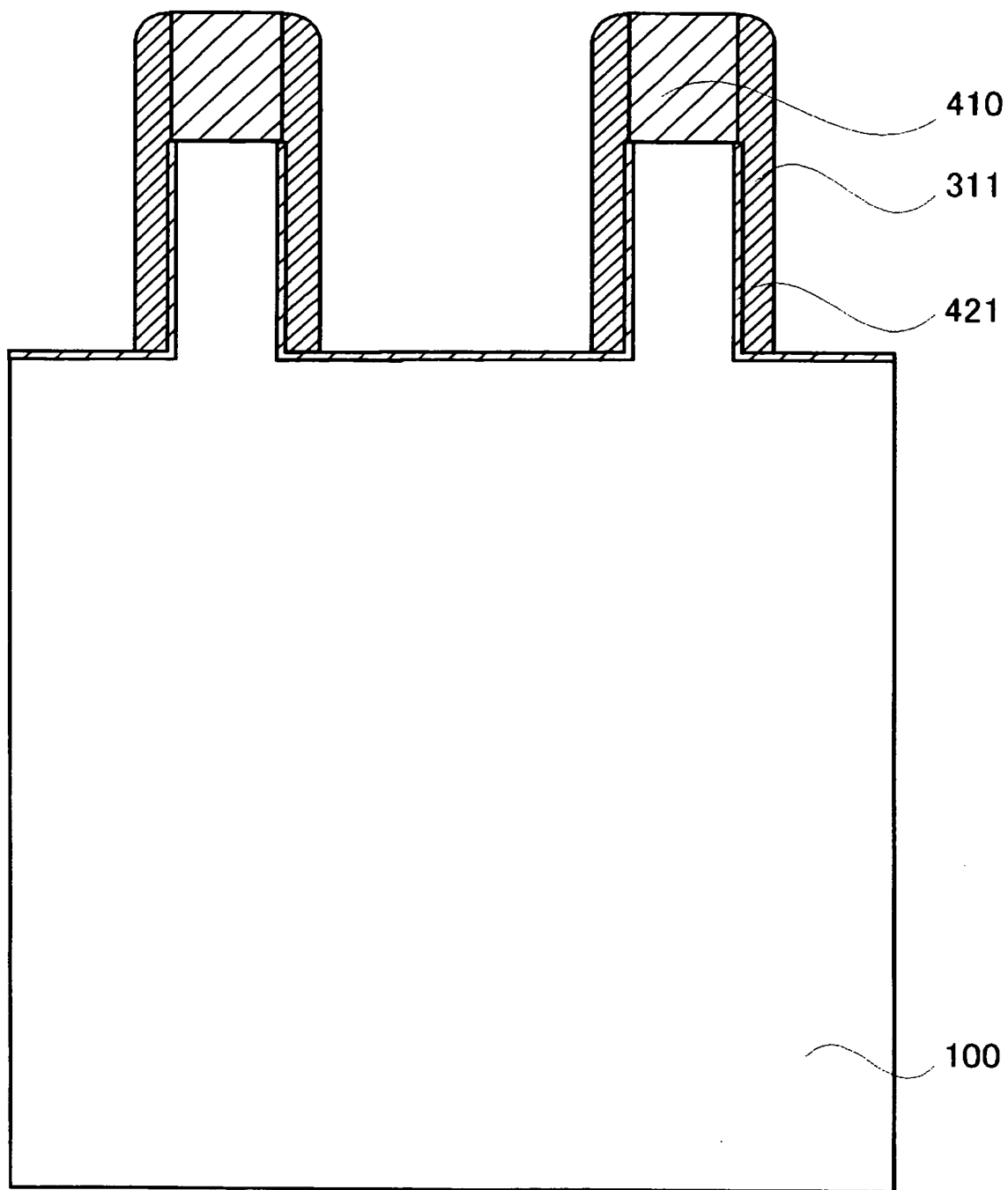
【図 141】



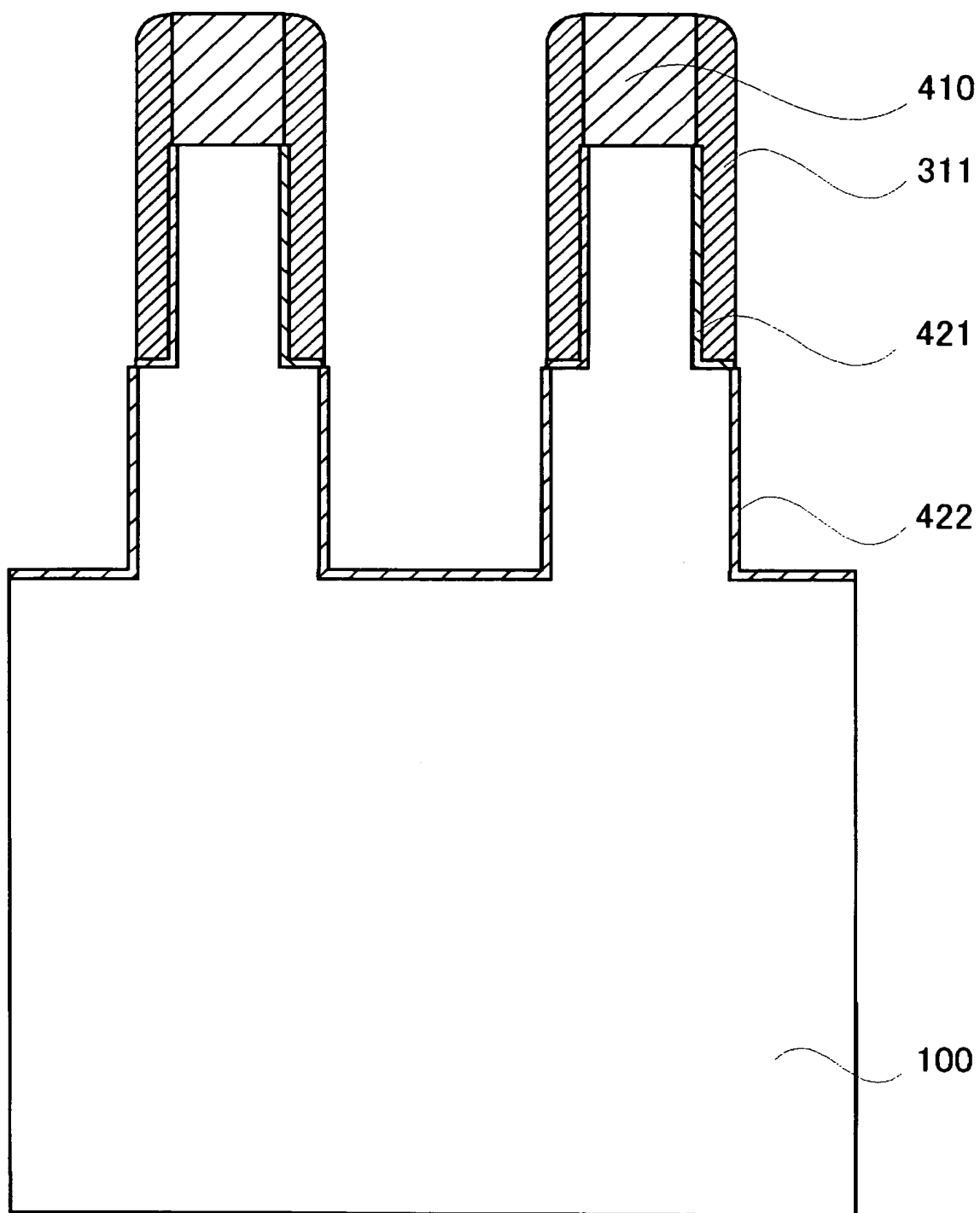
【図 142】



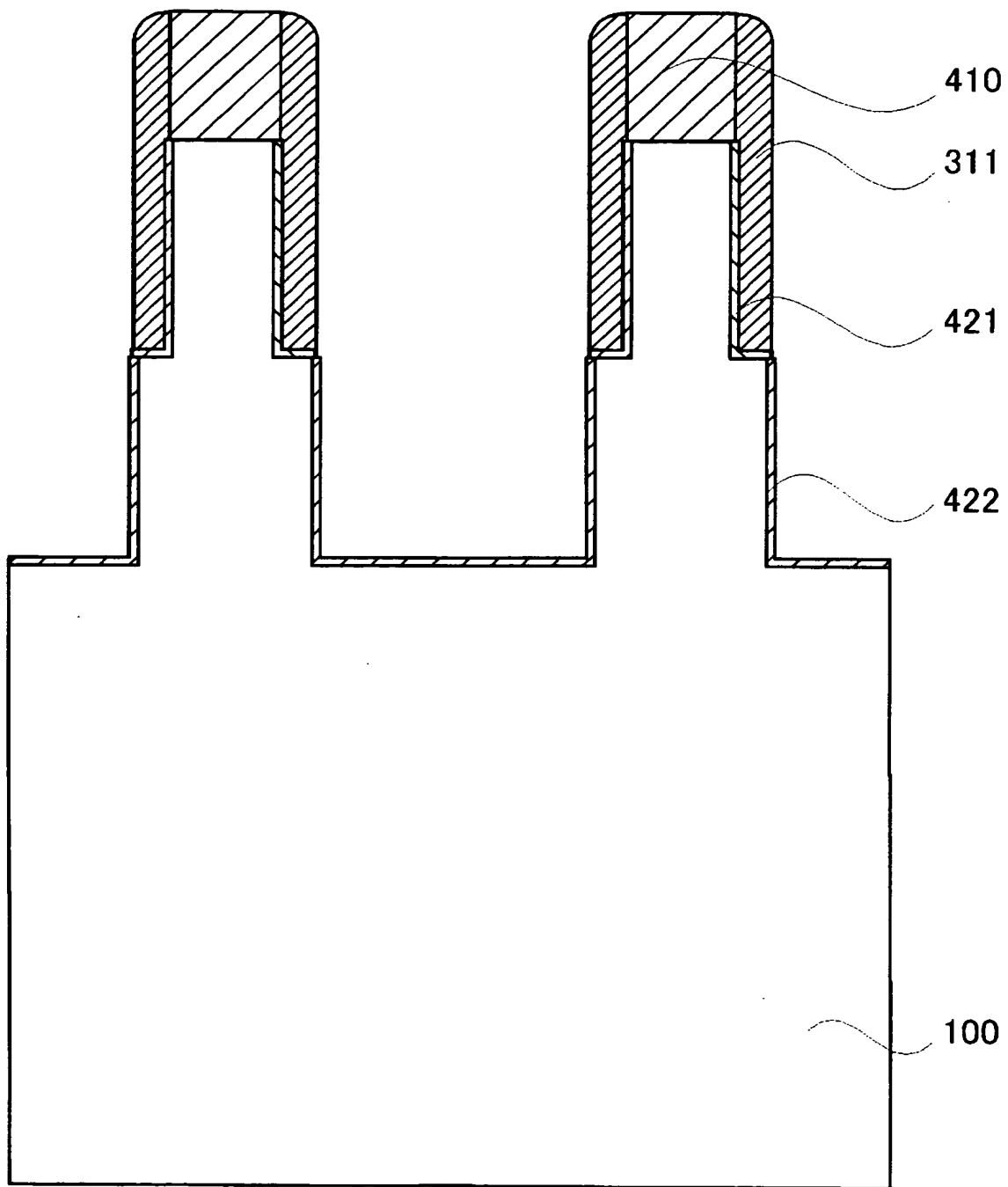
【図 143】



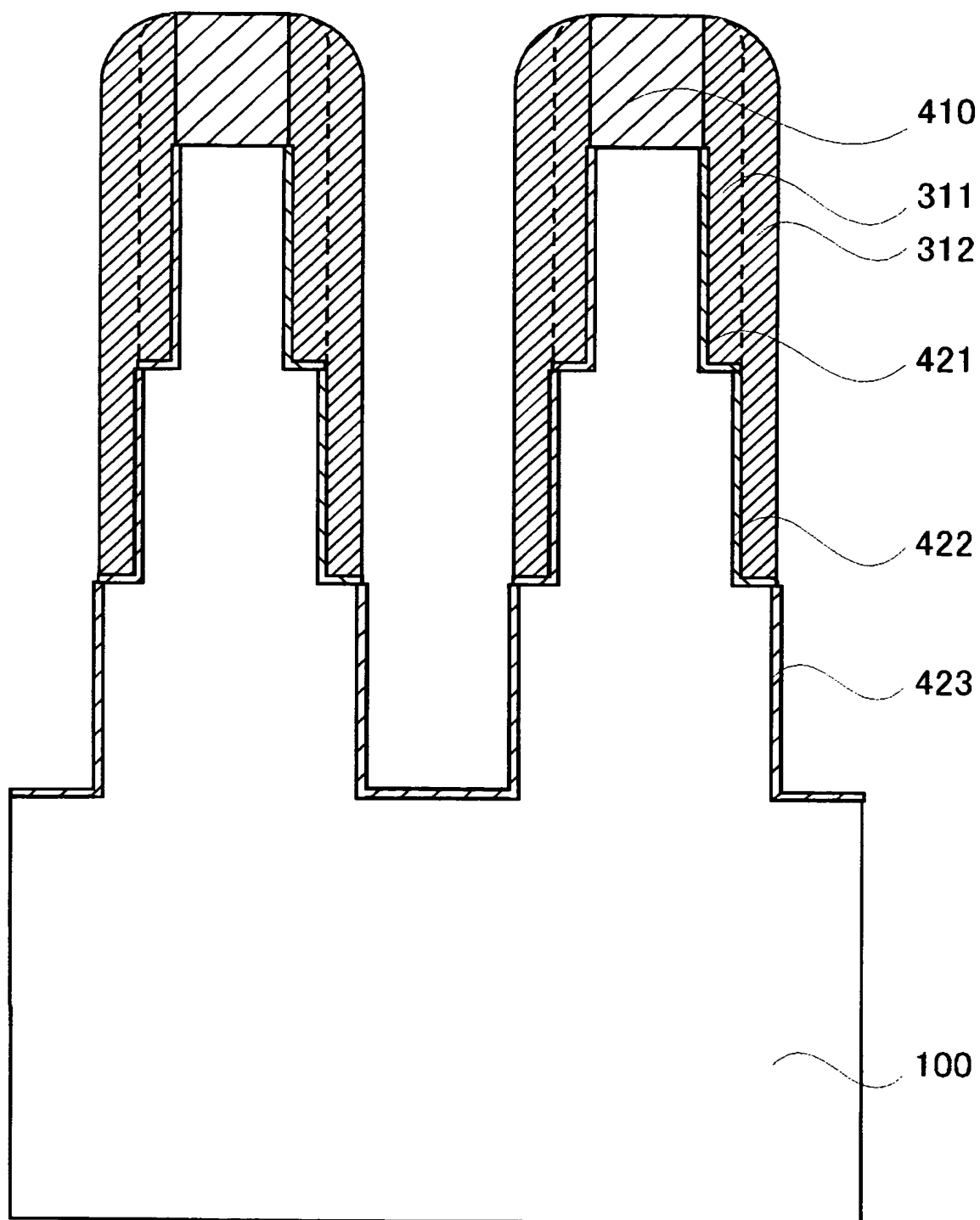
【図 1 4 4】



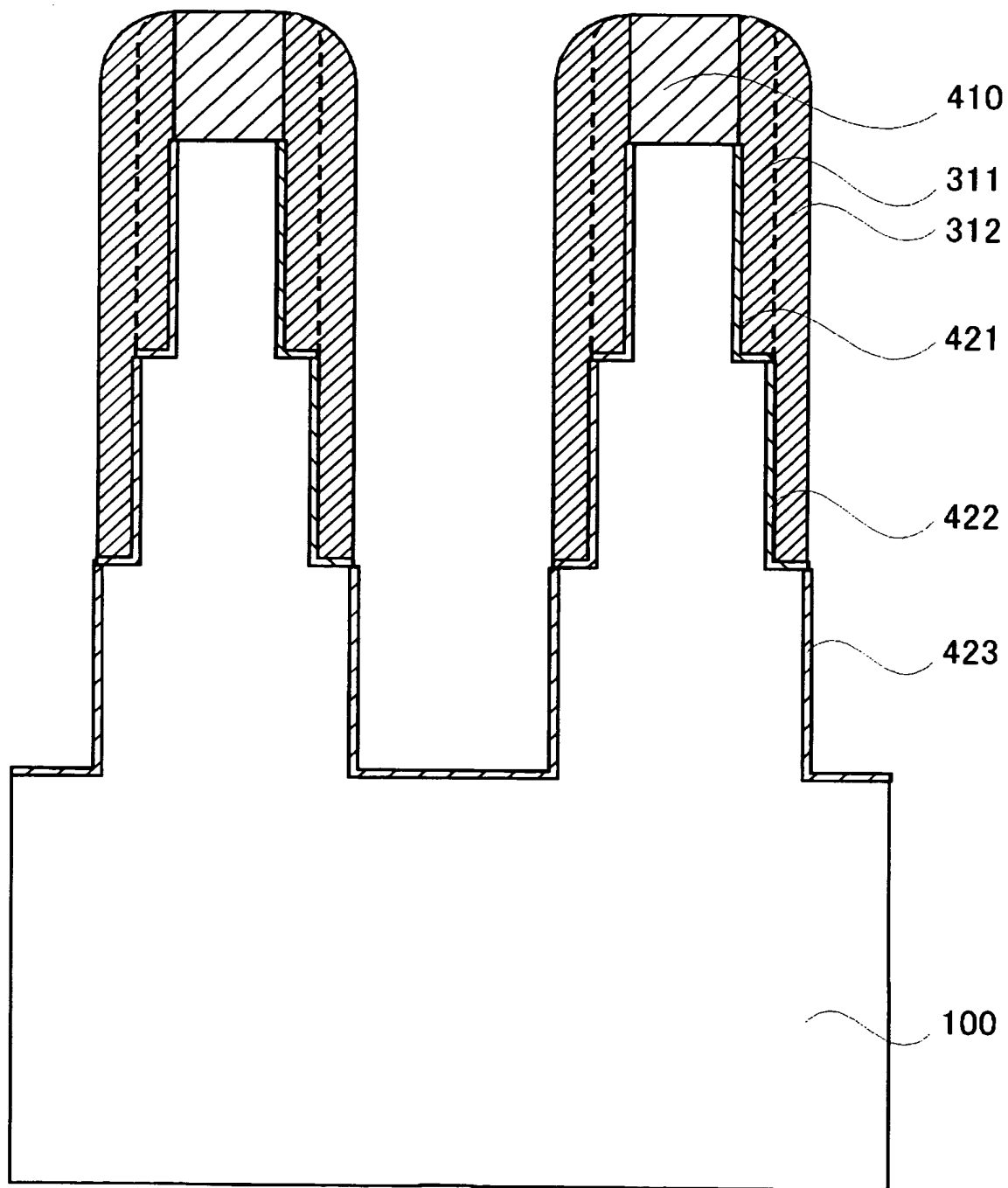
【図 145】



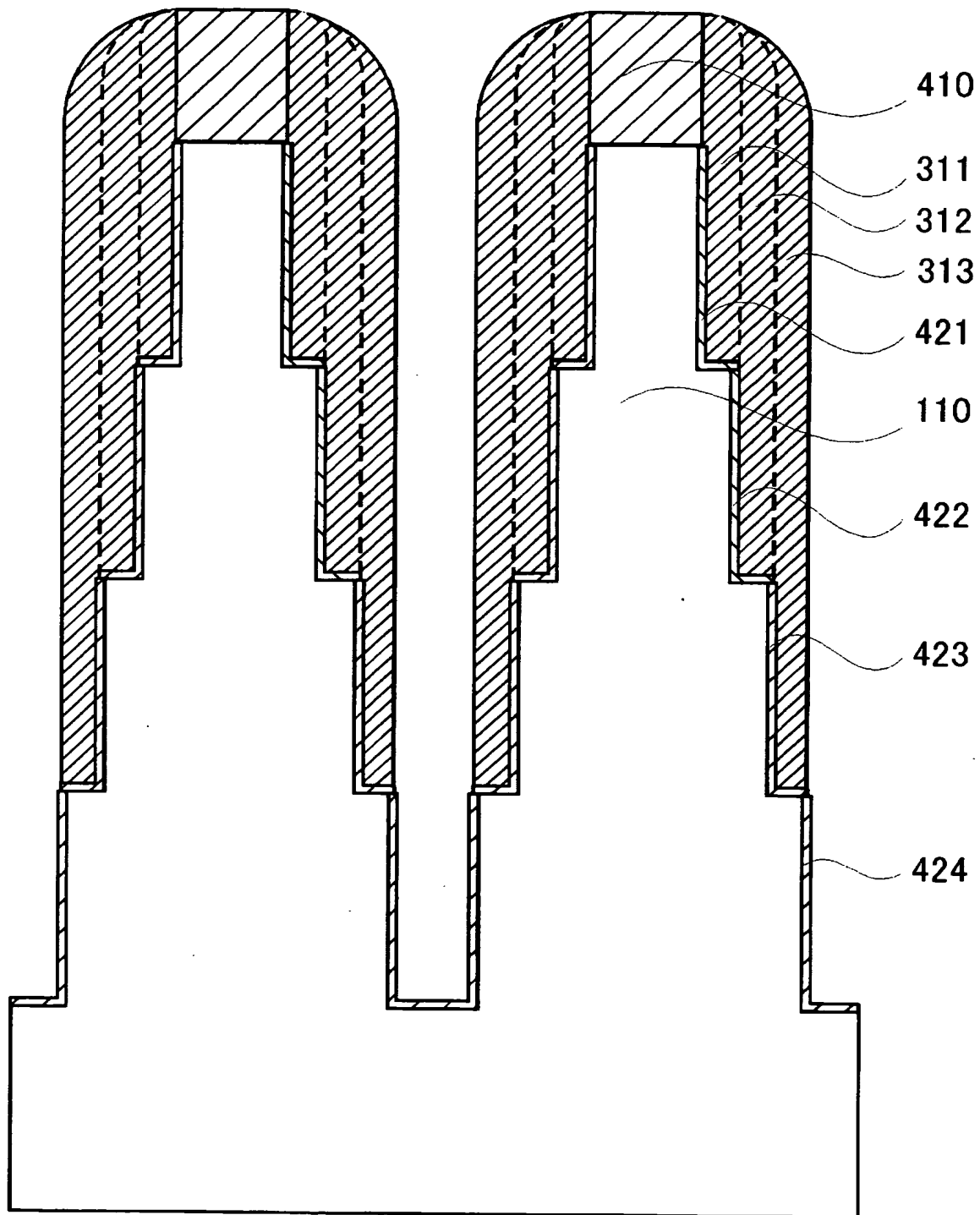
【図 146】



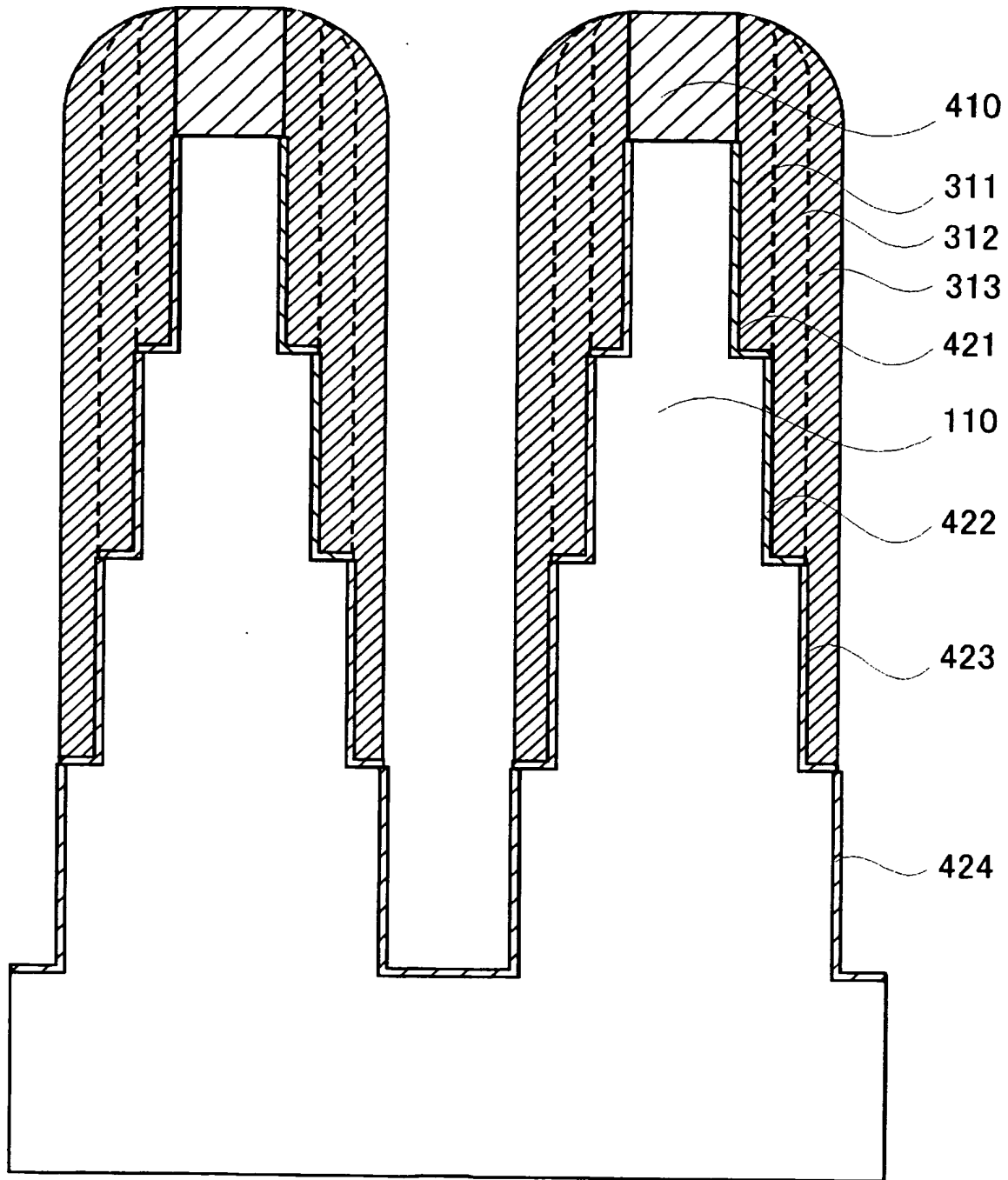
【図 147】



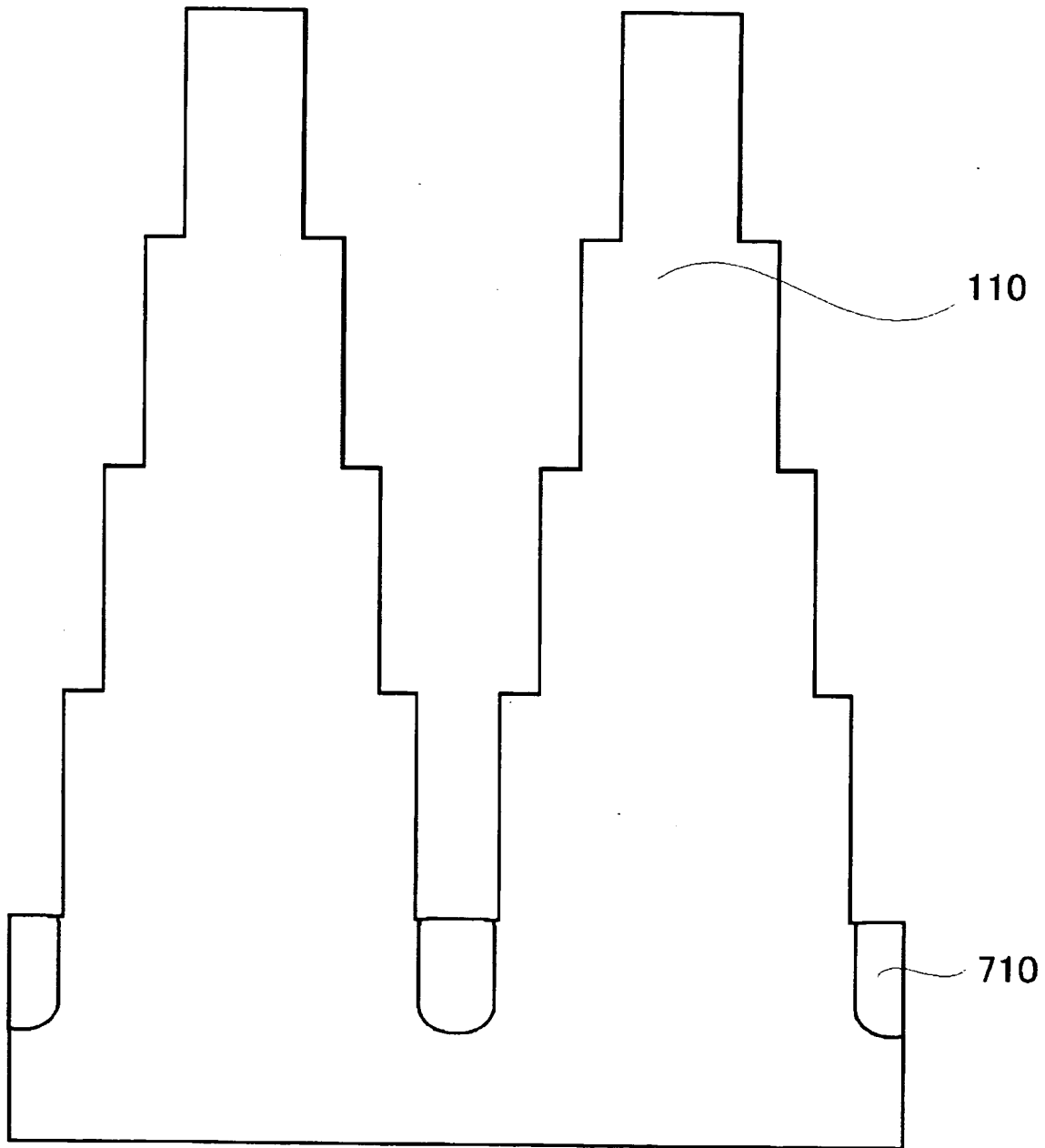
【図 148】



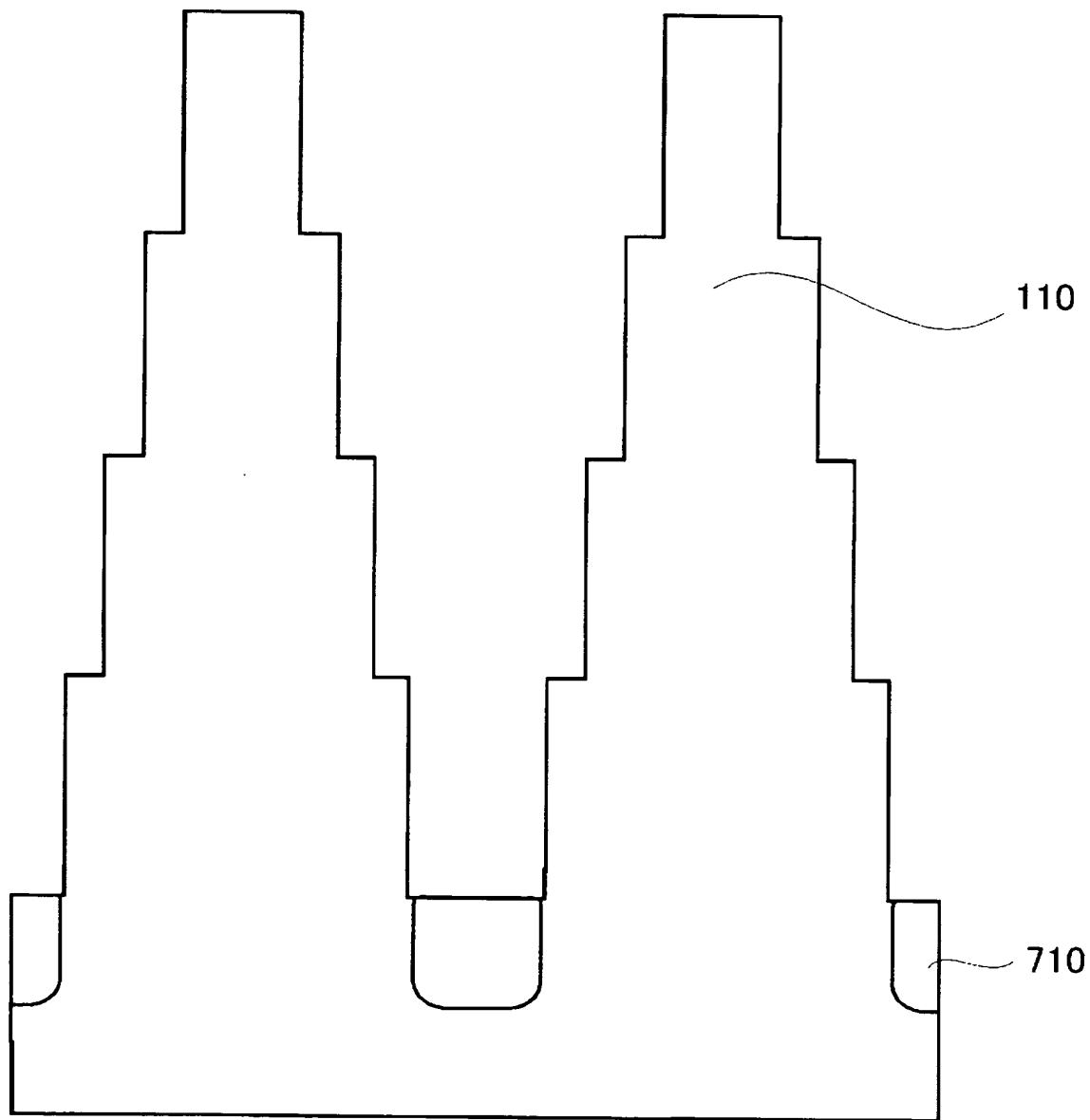
【図 149】



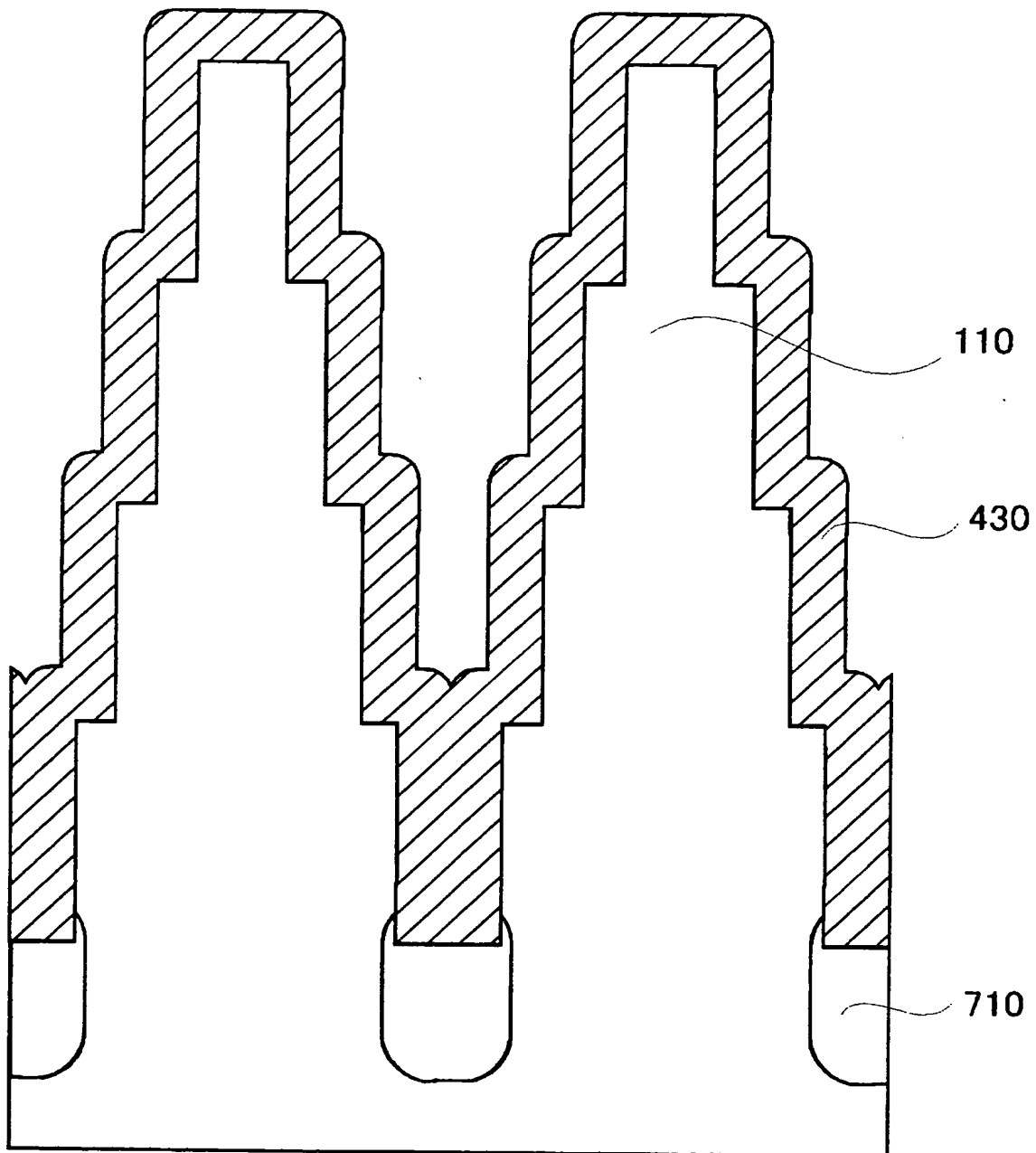
【図 150】



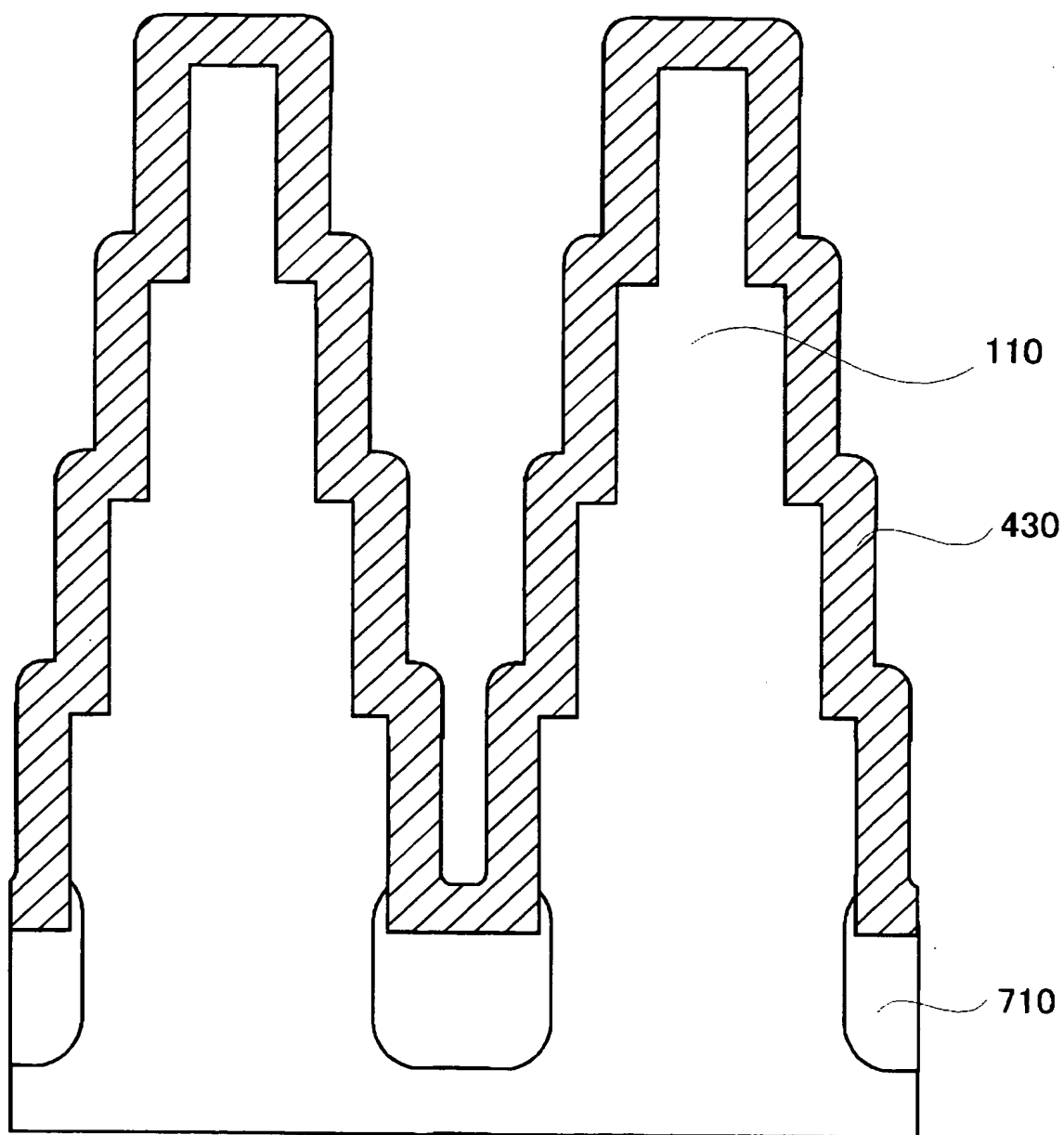
【図 151】



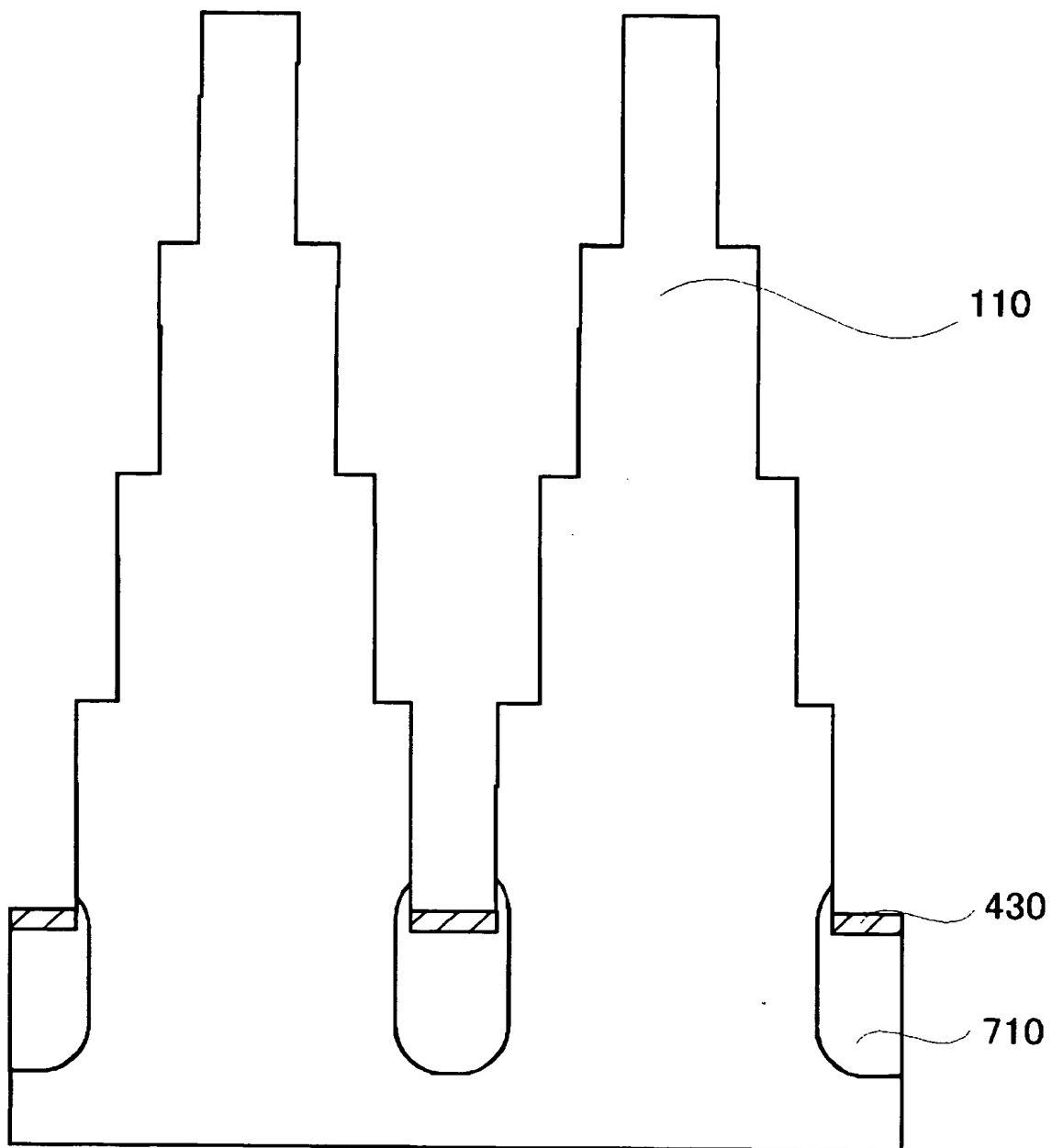
【図 152】



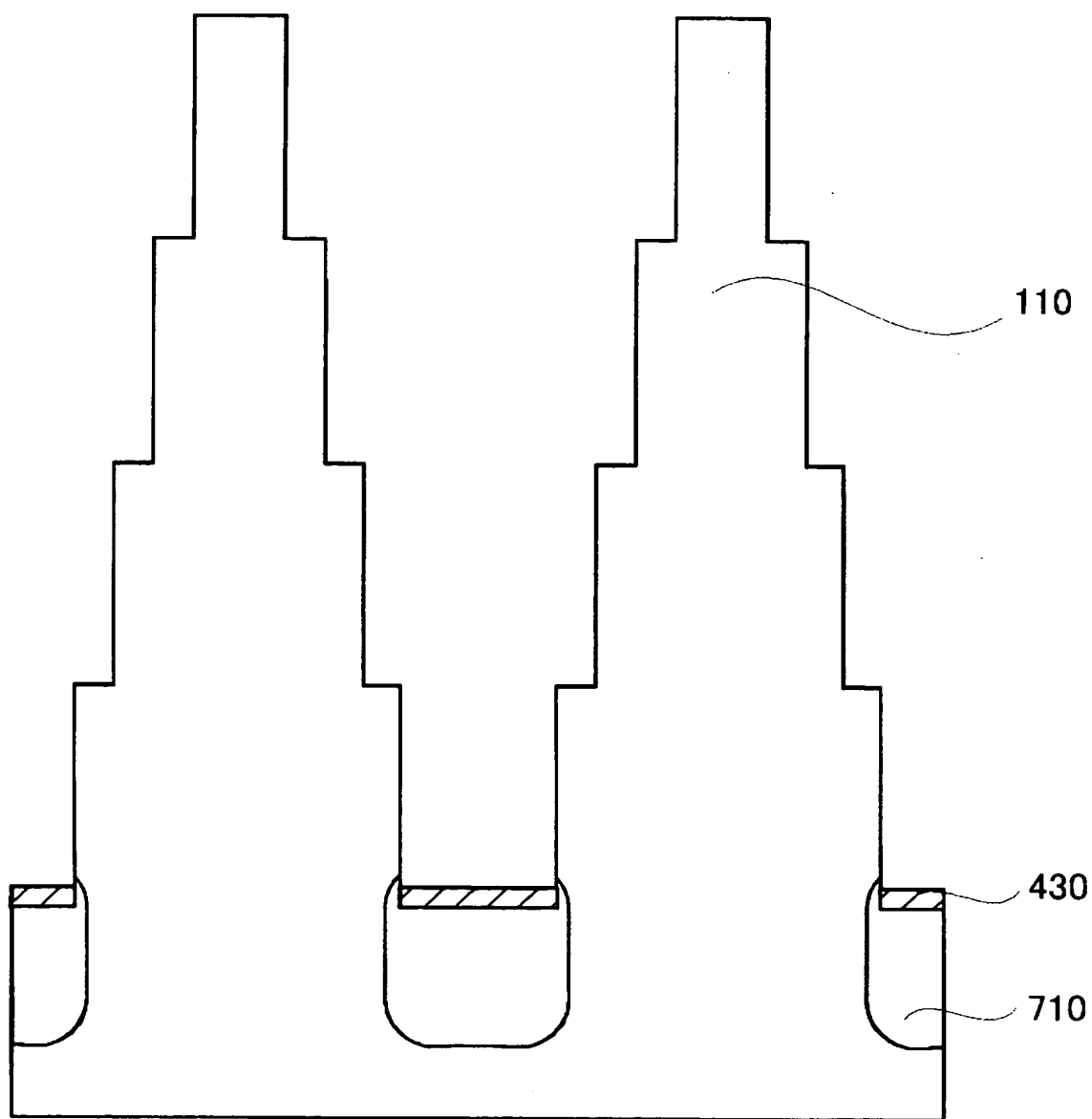
【図 153】



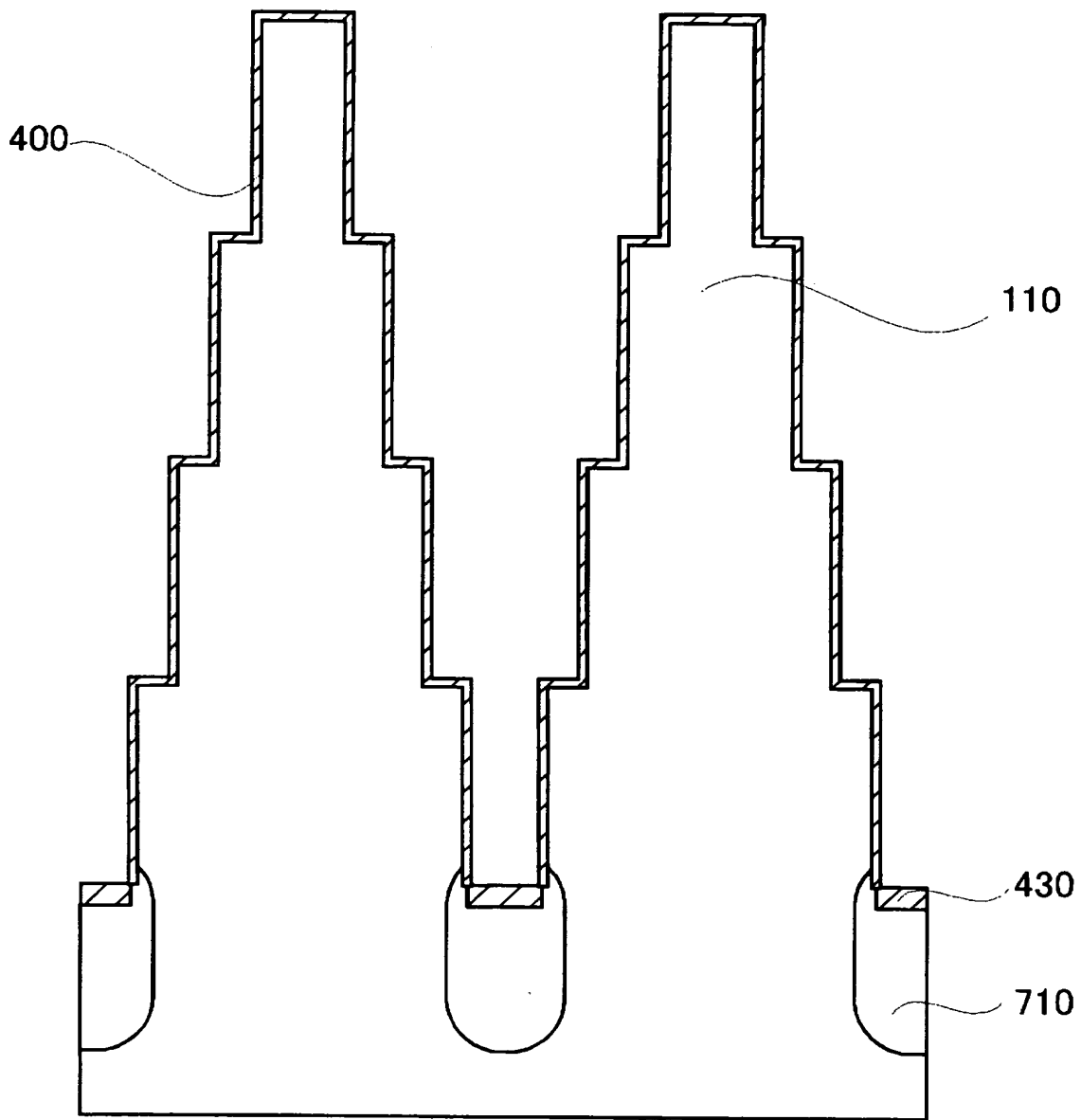
【図 154】



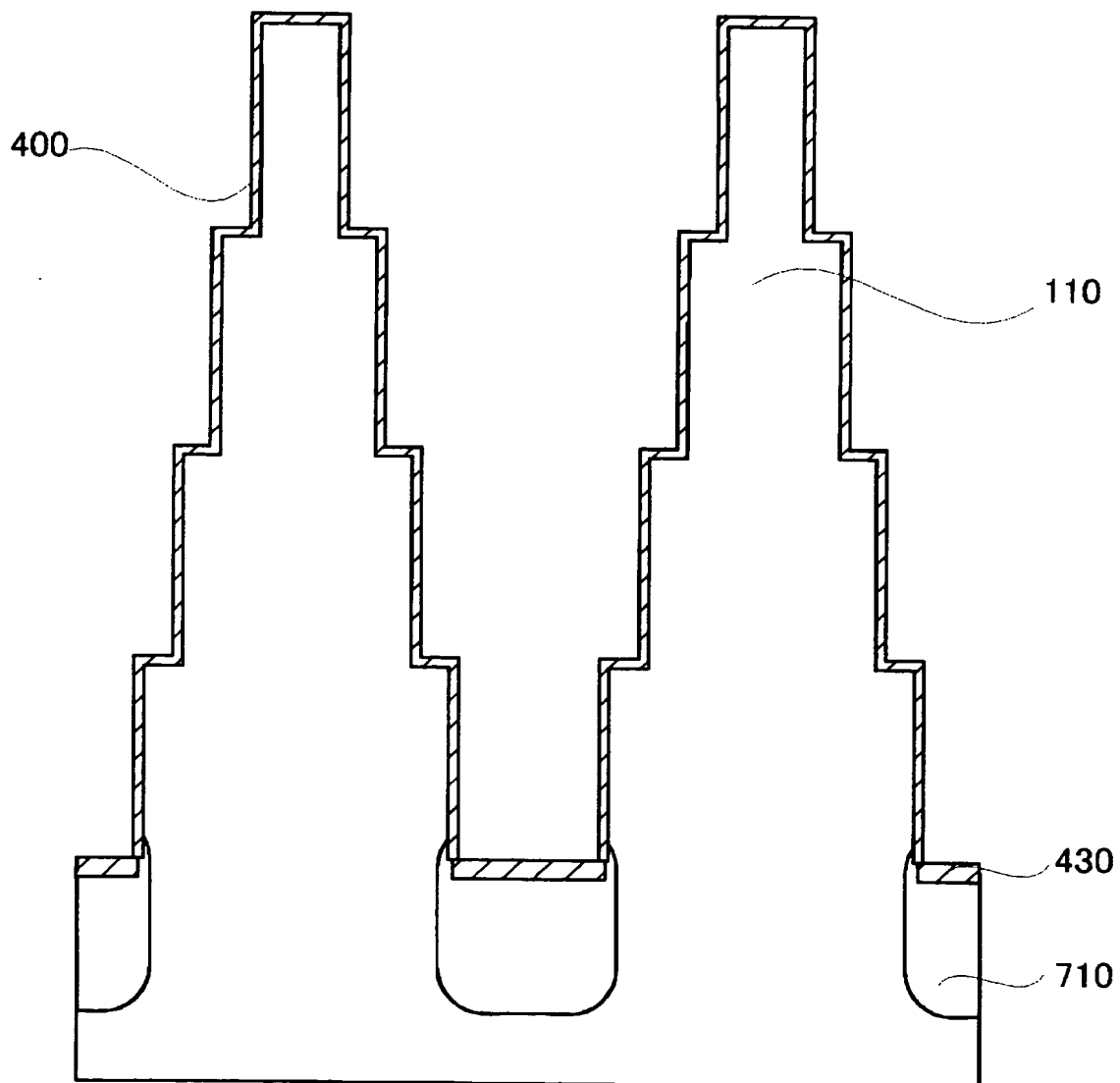
【図 155】



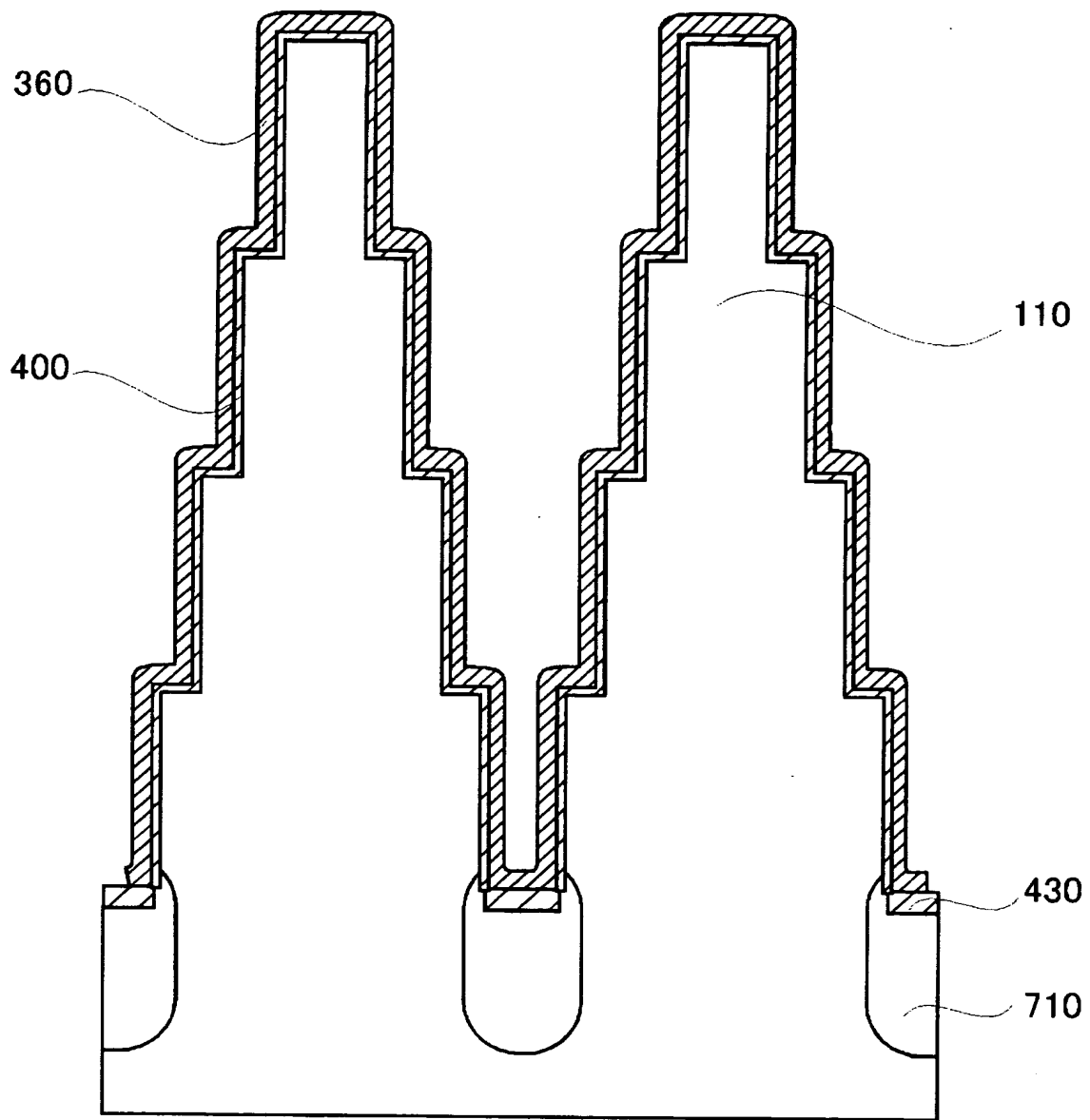
【図 156】



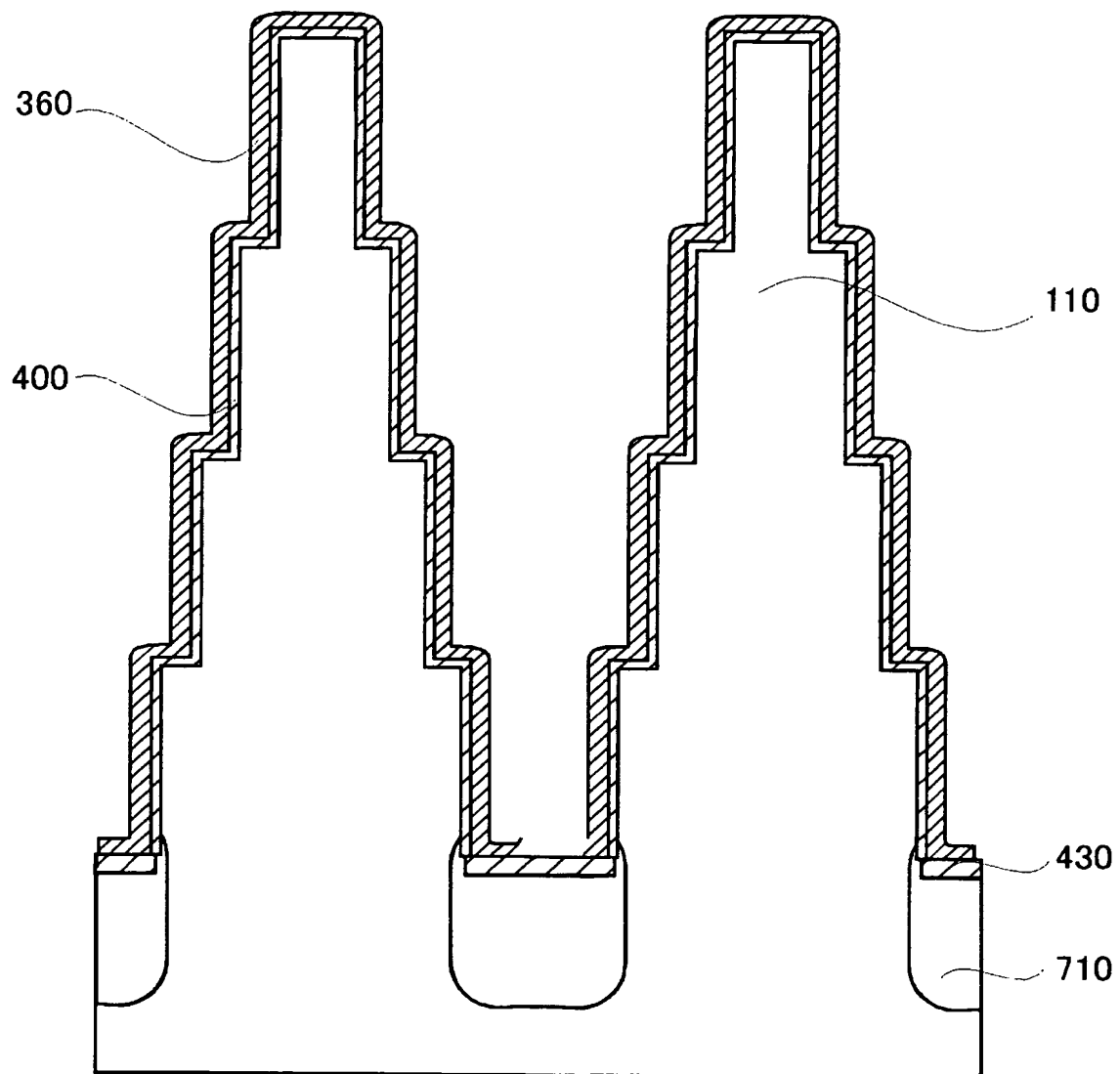
【図 157】



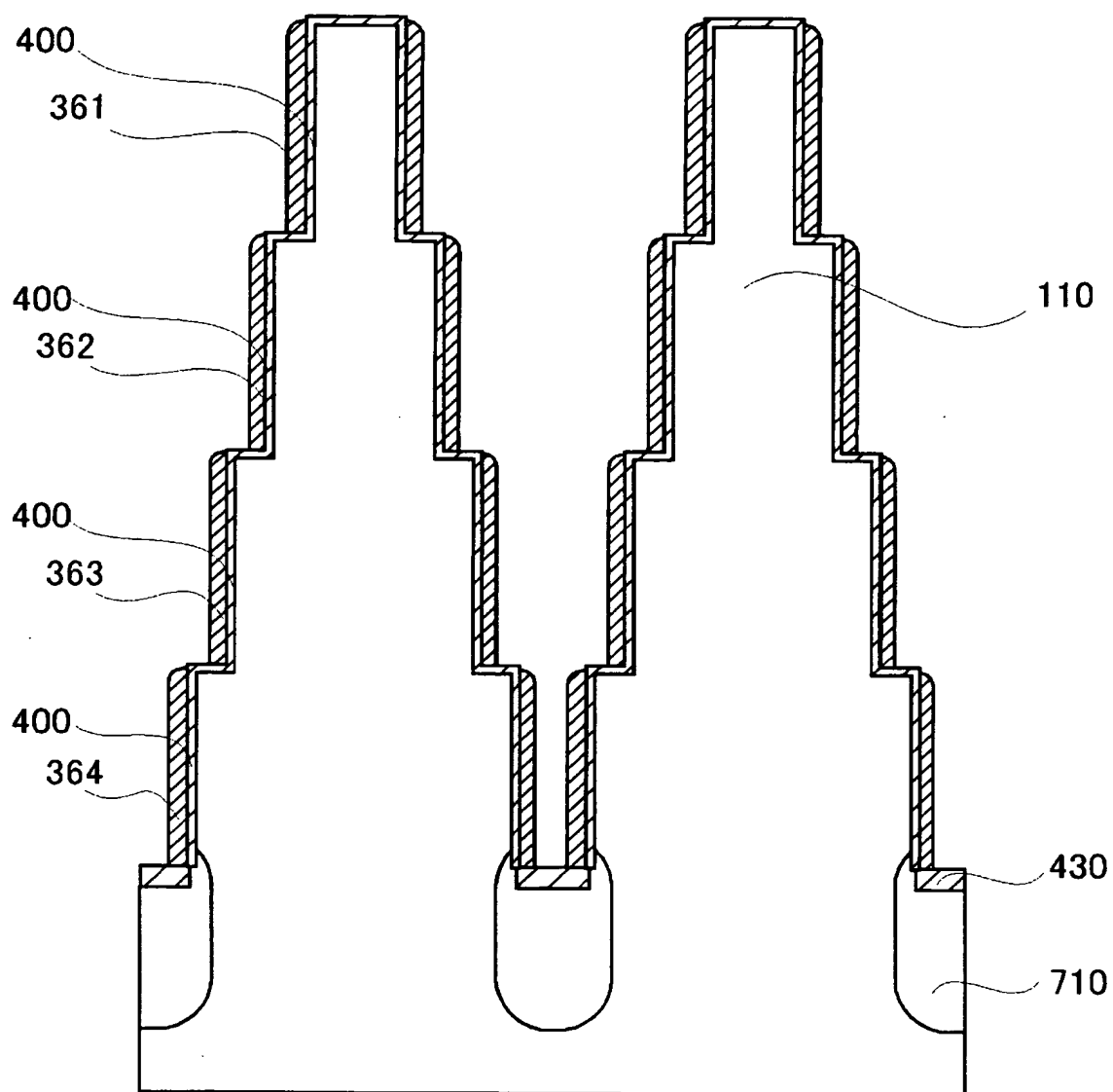
【図 158】



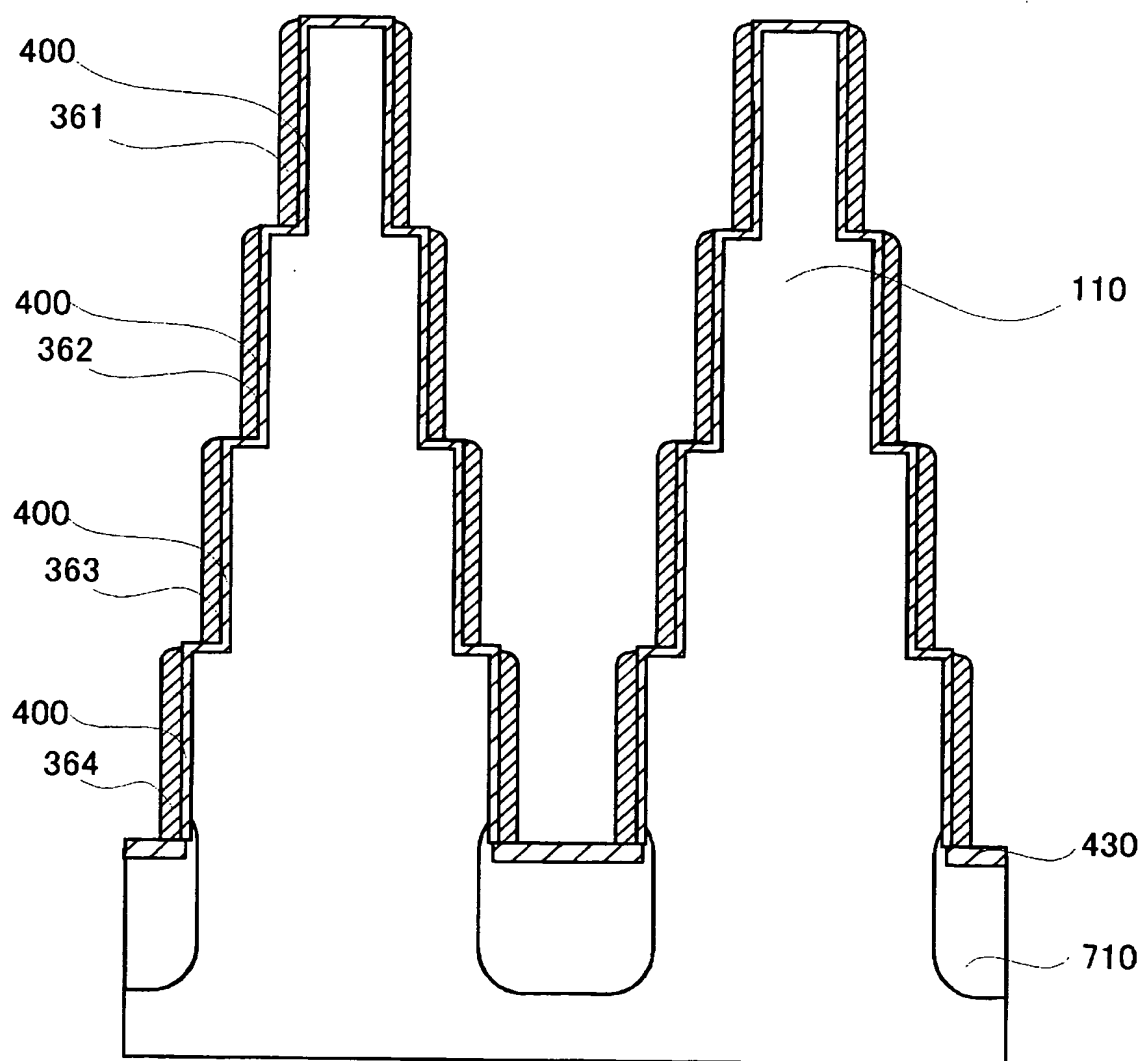
【図 159】



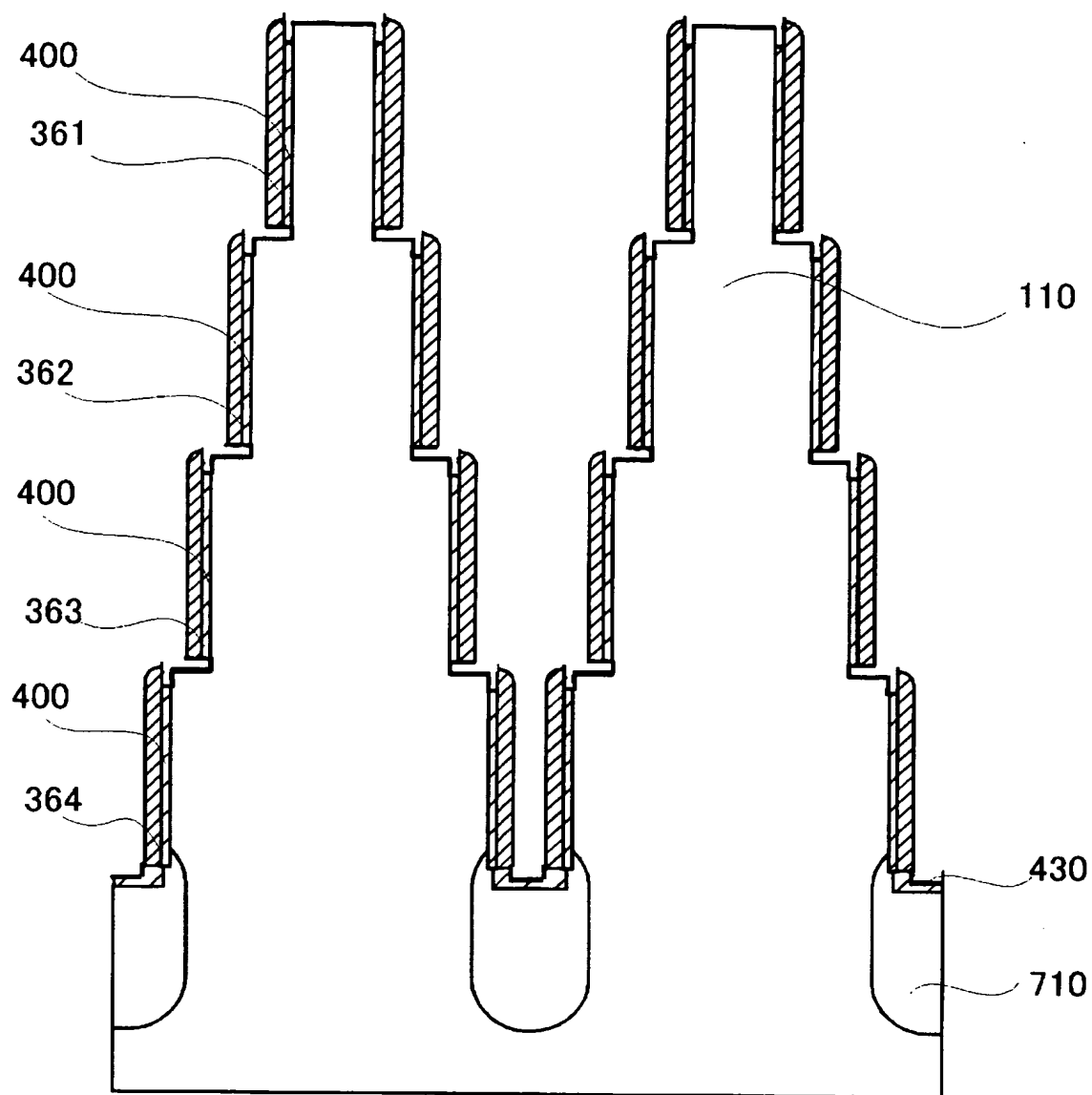
【図 160】



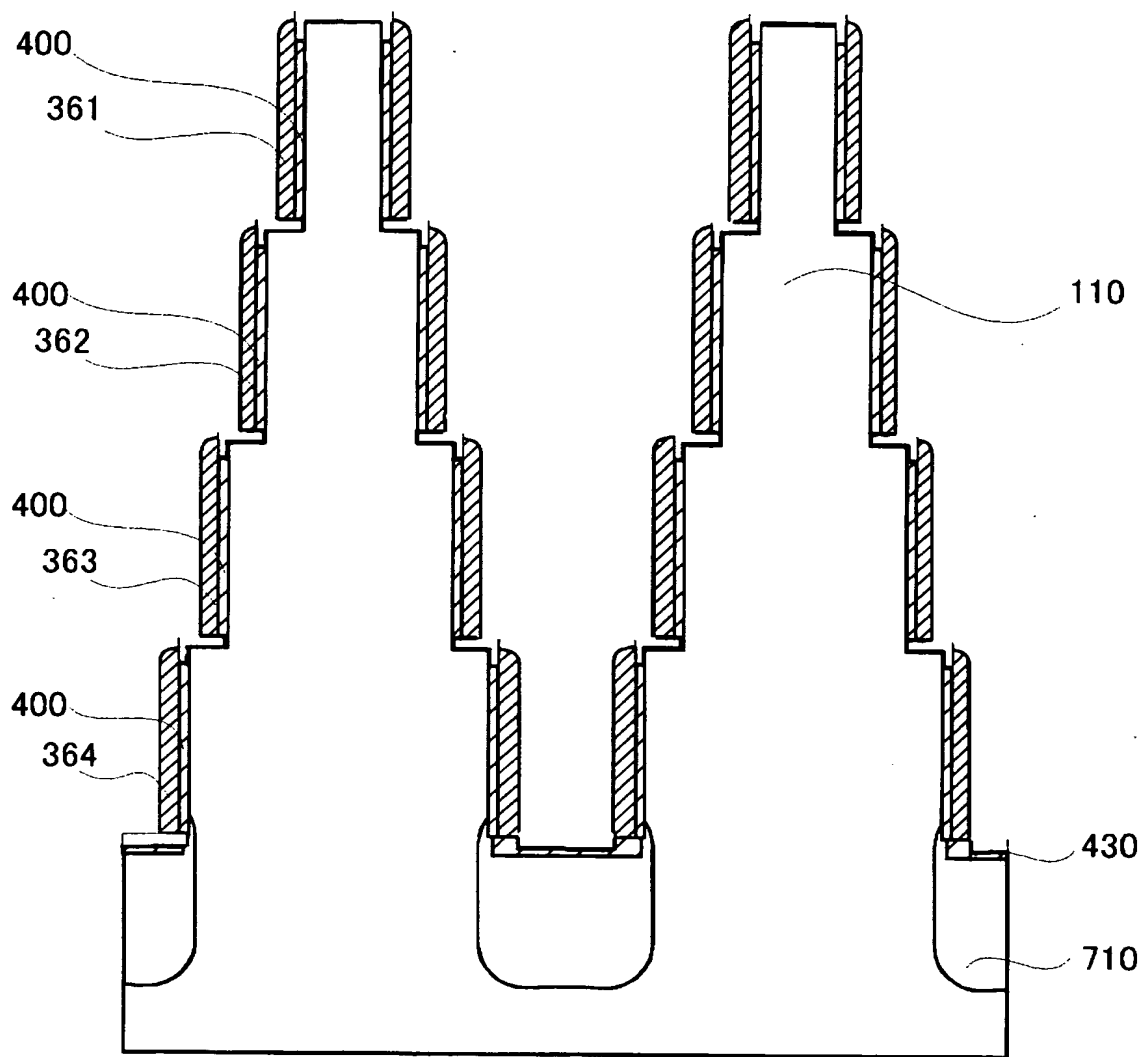
【図 161】



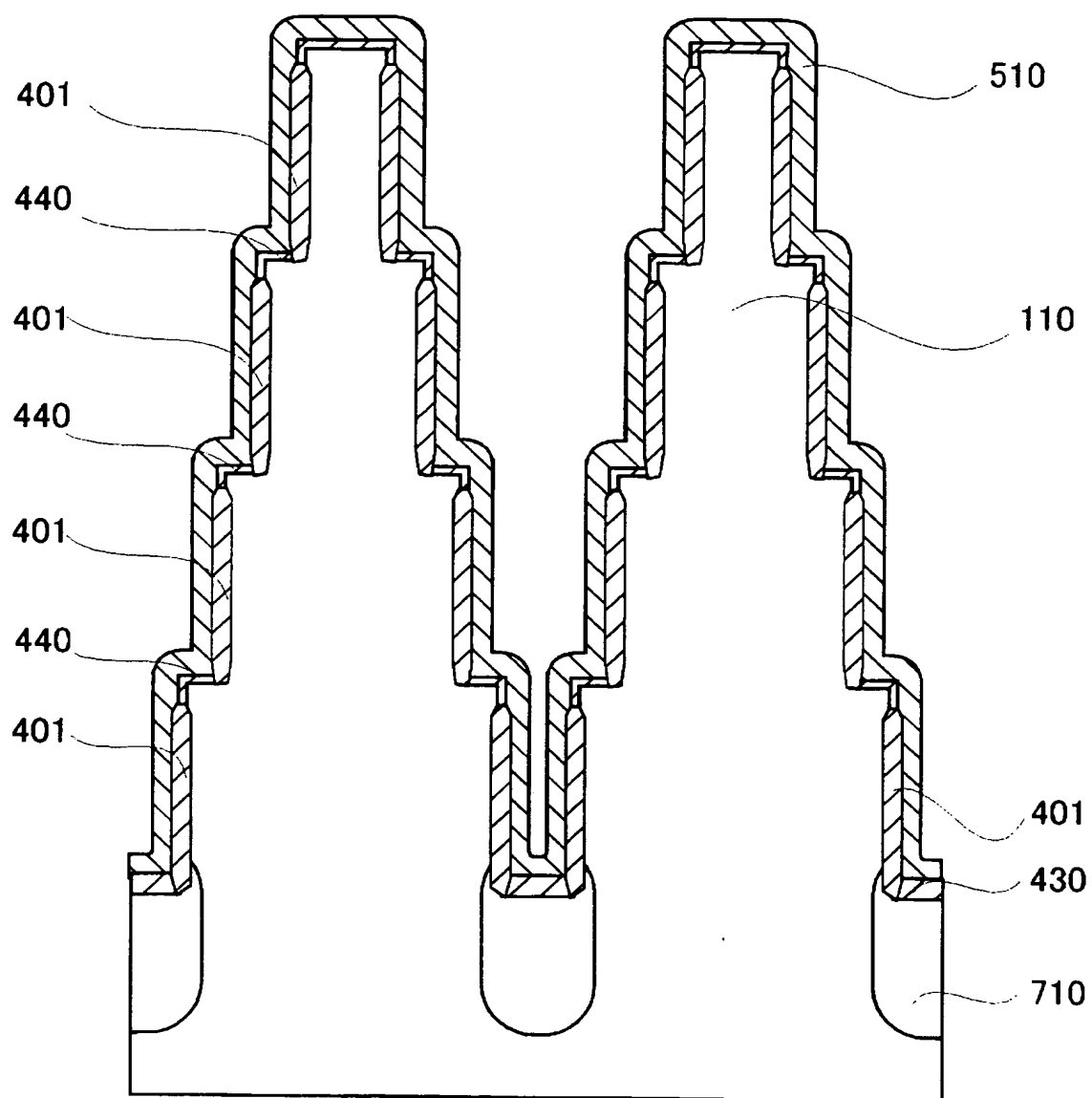
【図 162】



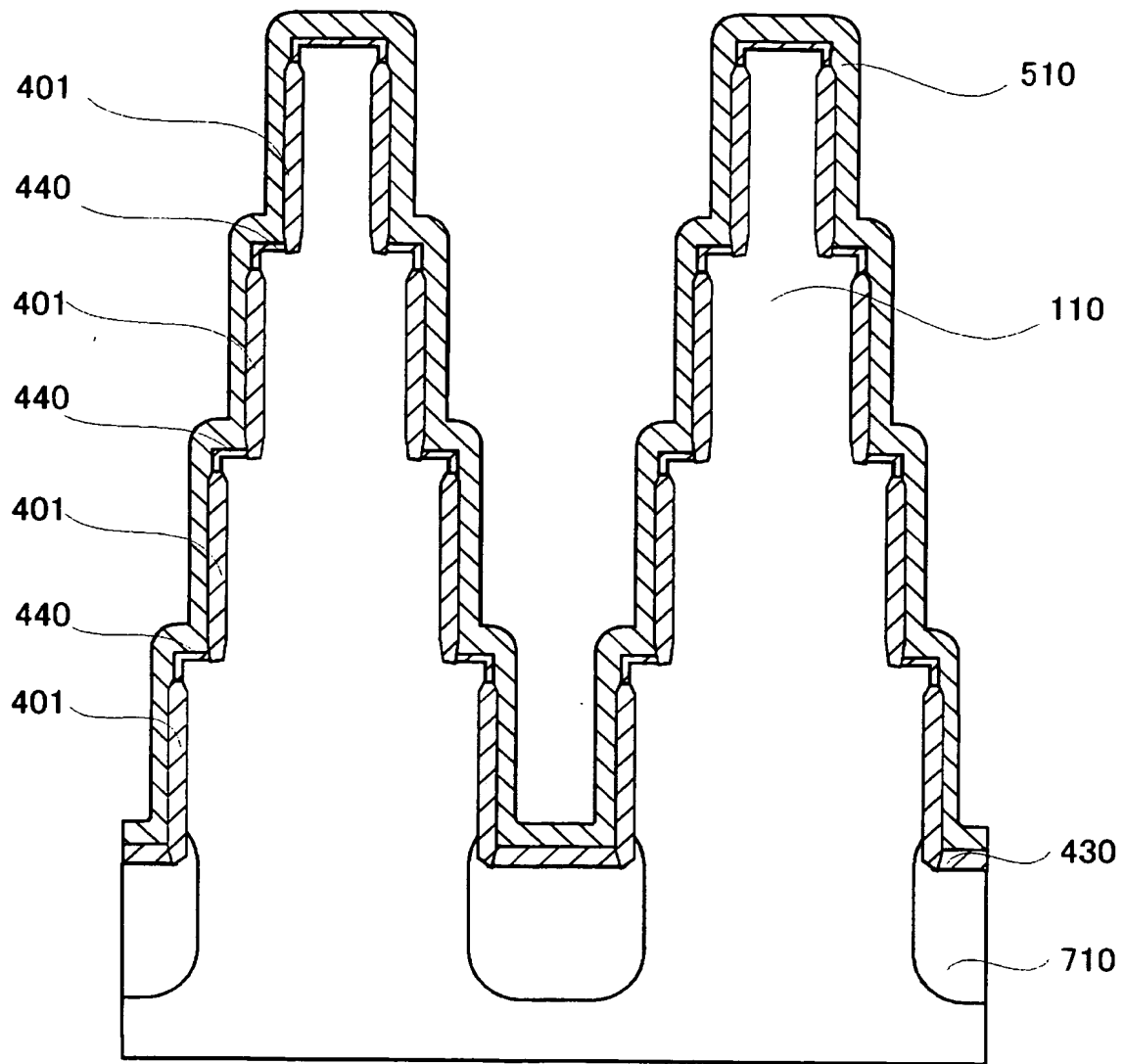
【図 163】



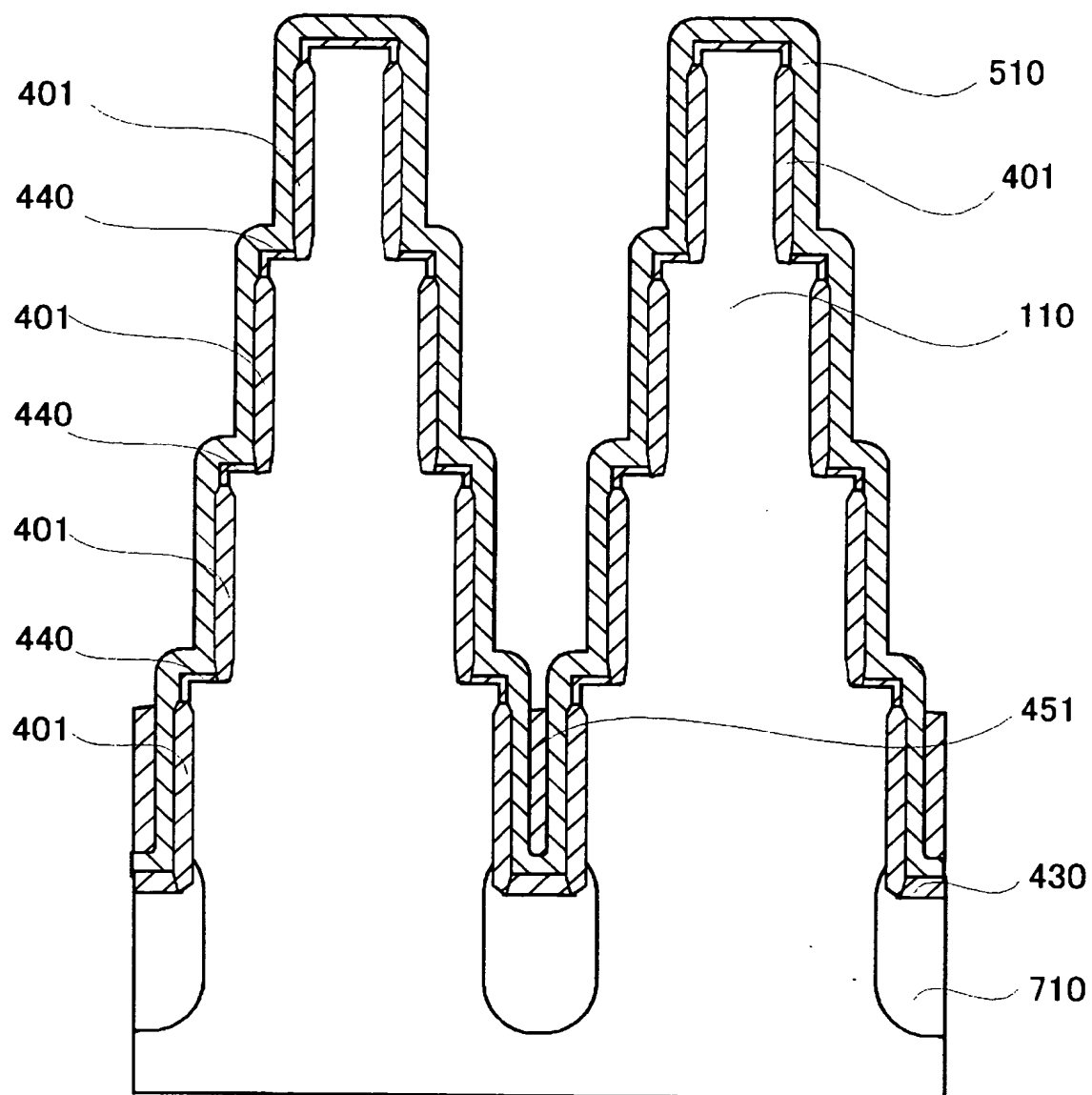
【図 164】



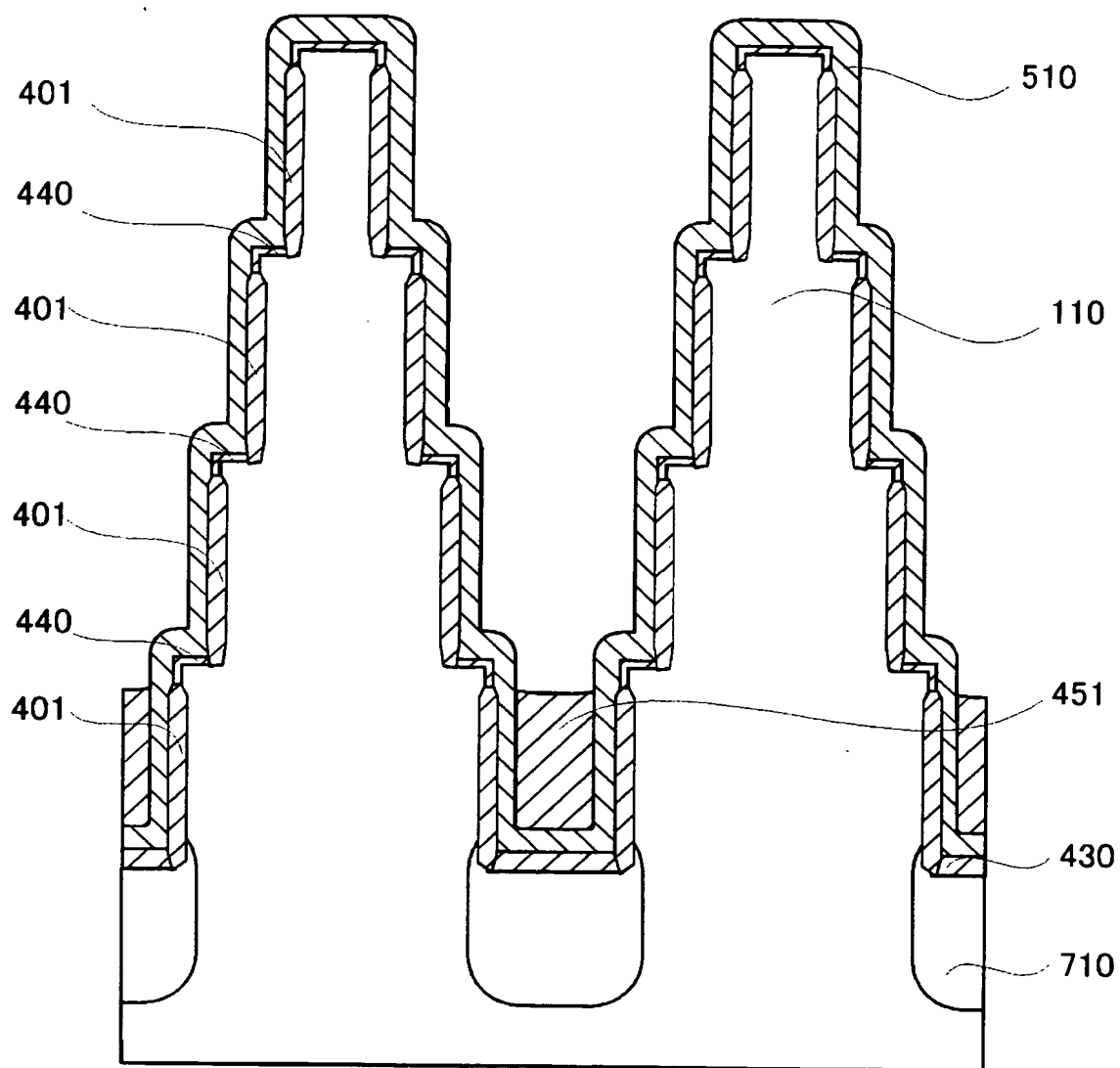
【図 165】



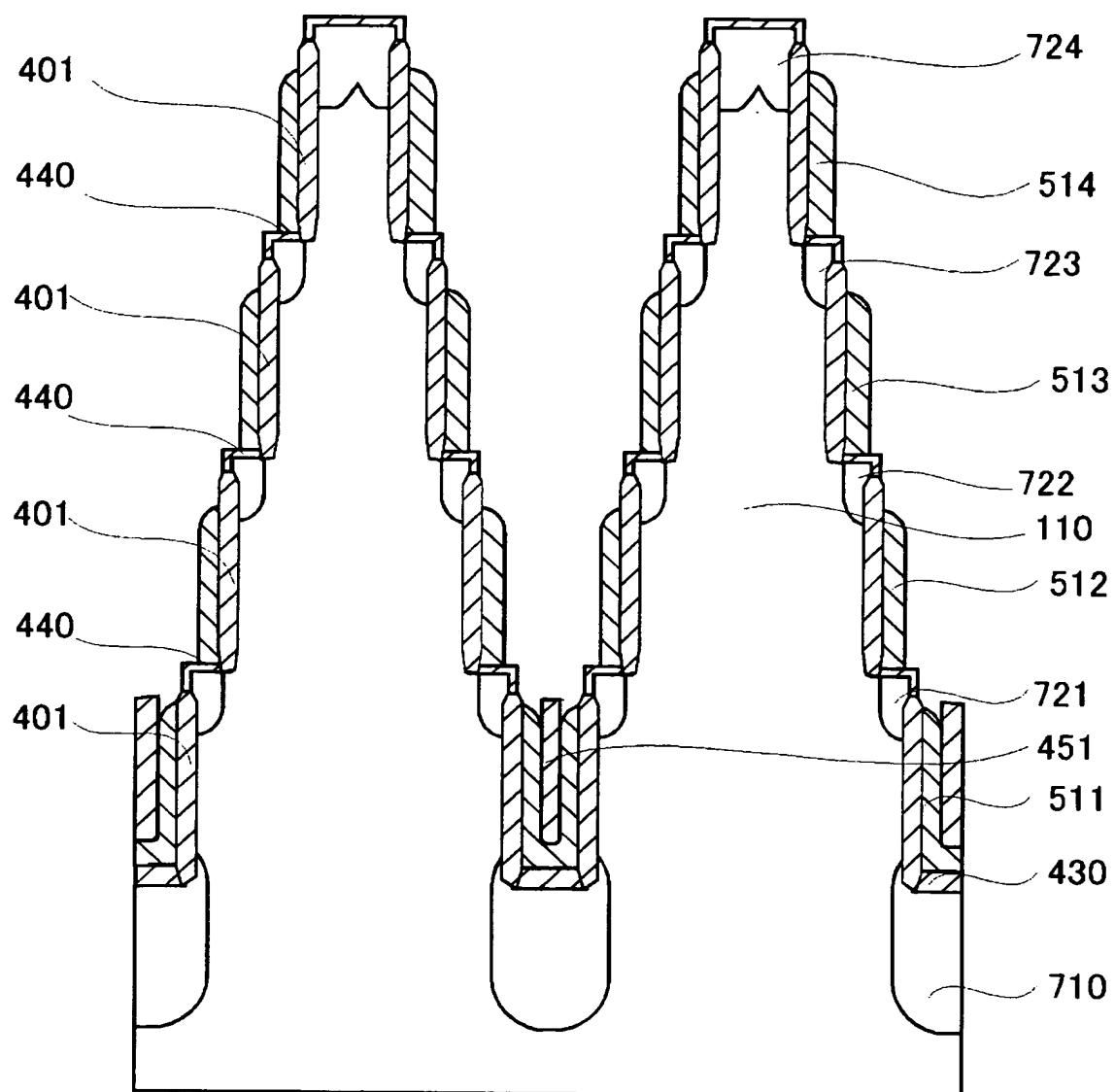
【図 166】



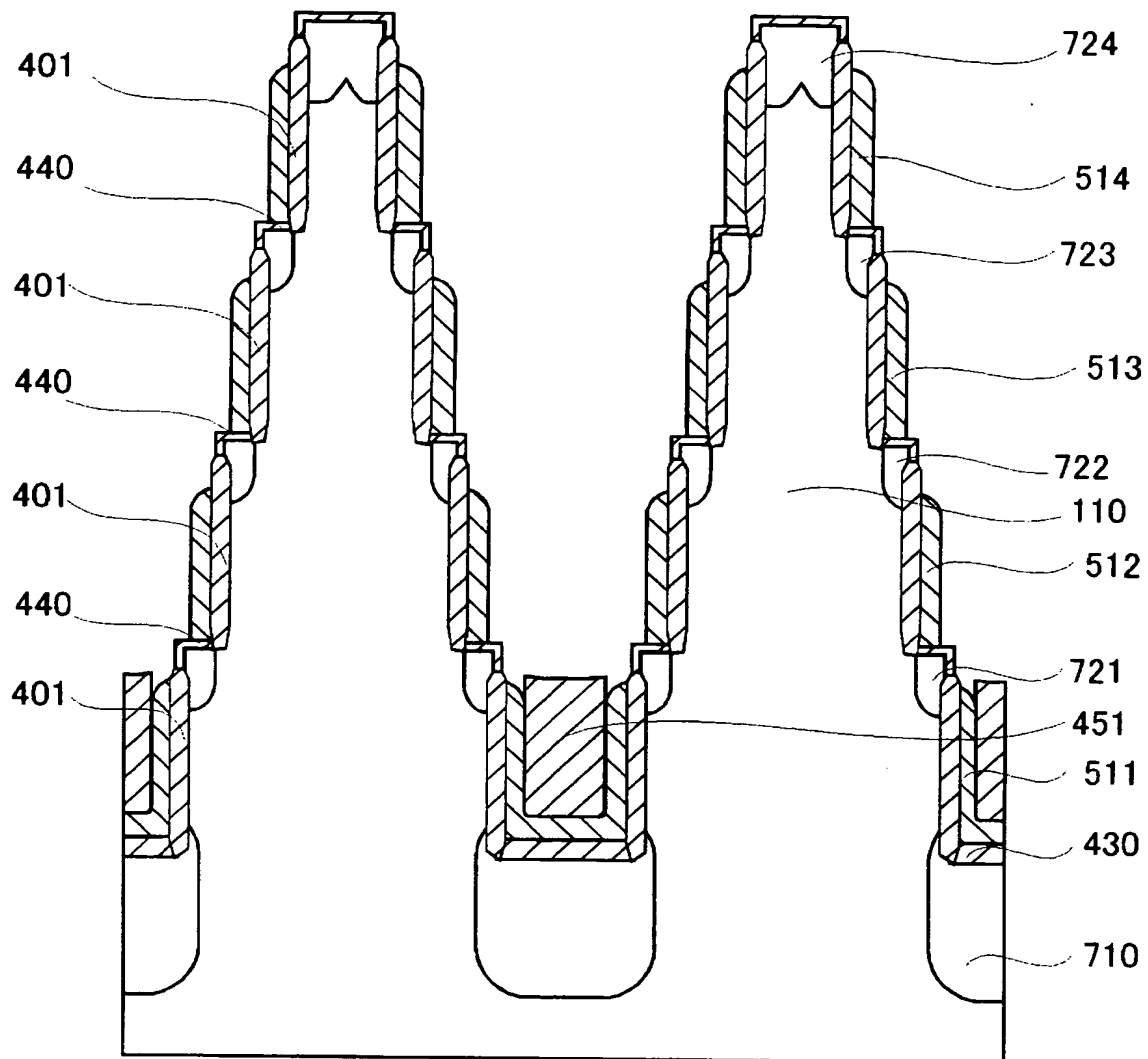
【図 167】



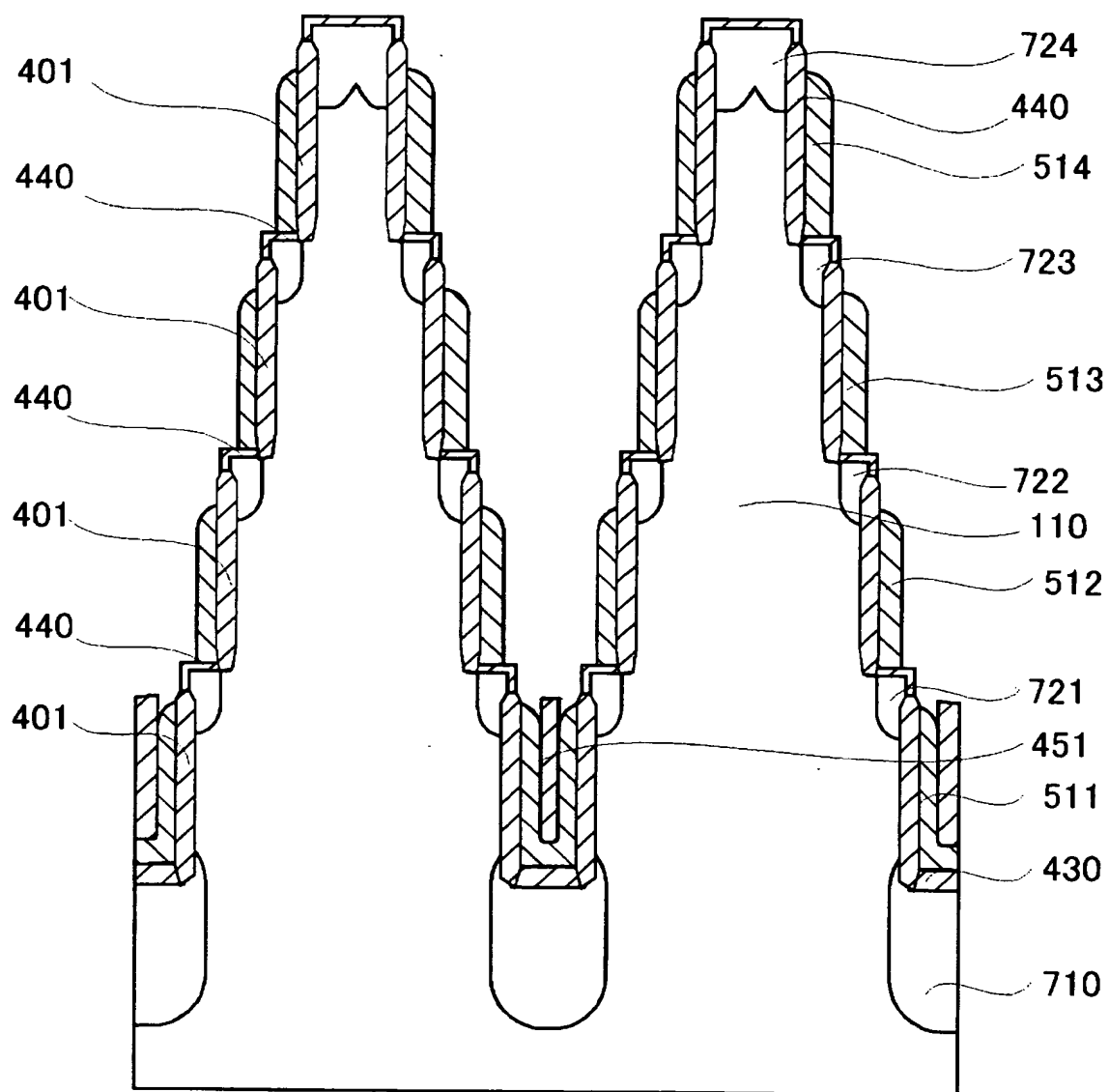
【図 168】



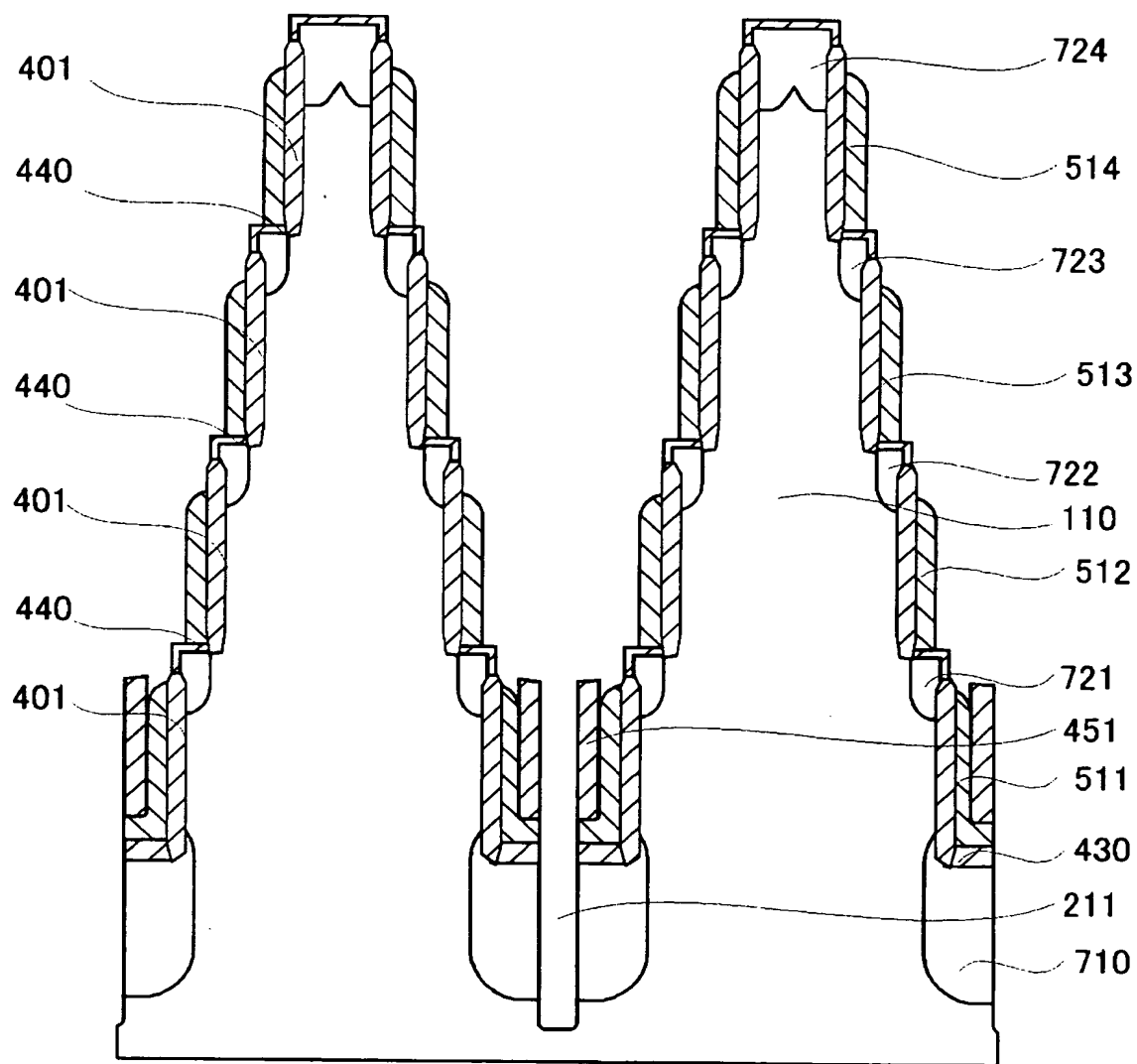
【図 169】



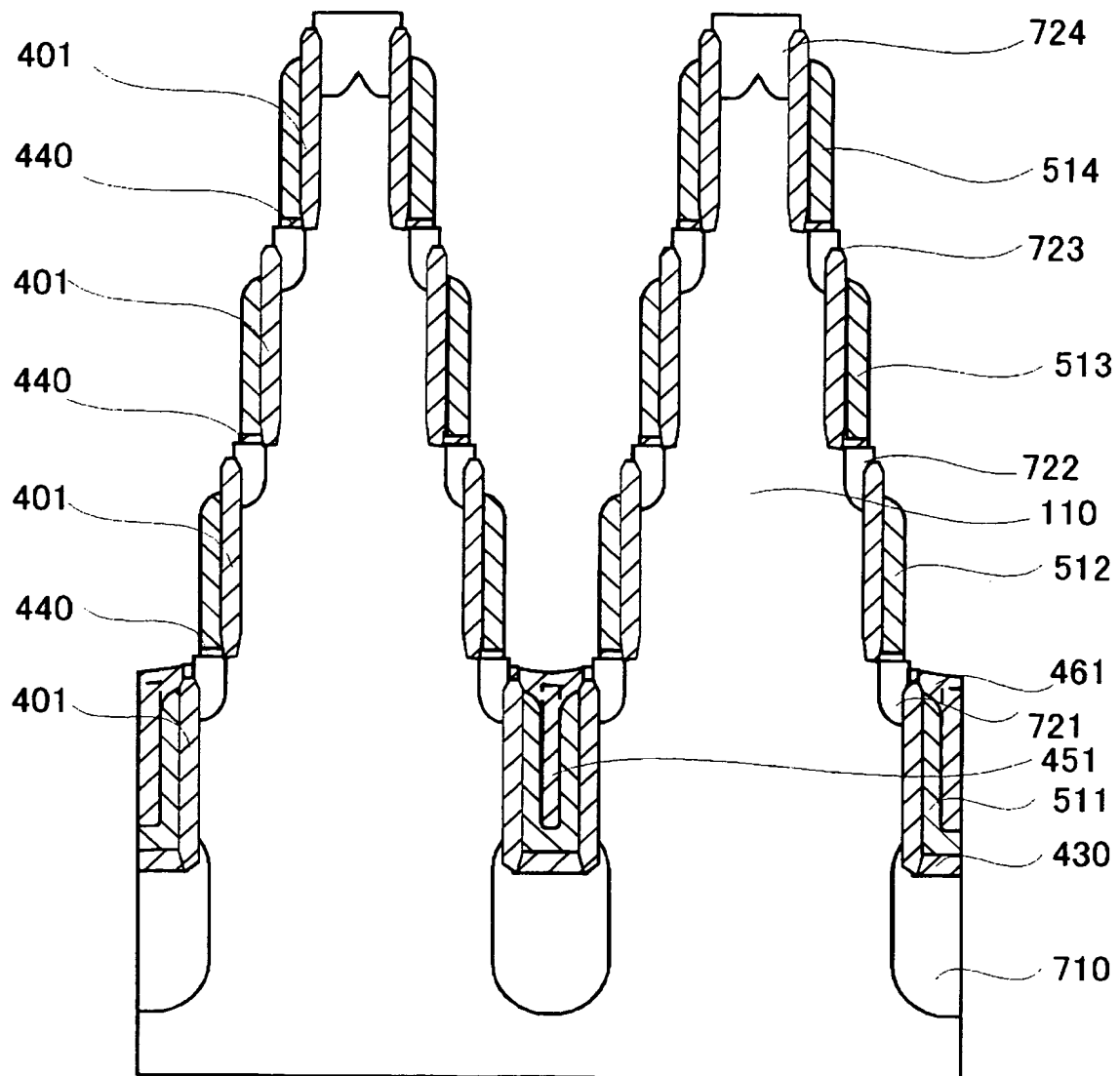
【図 170】



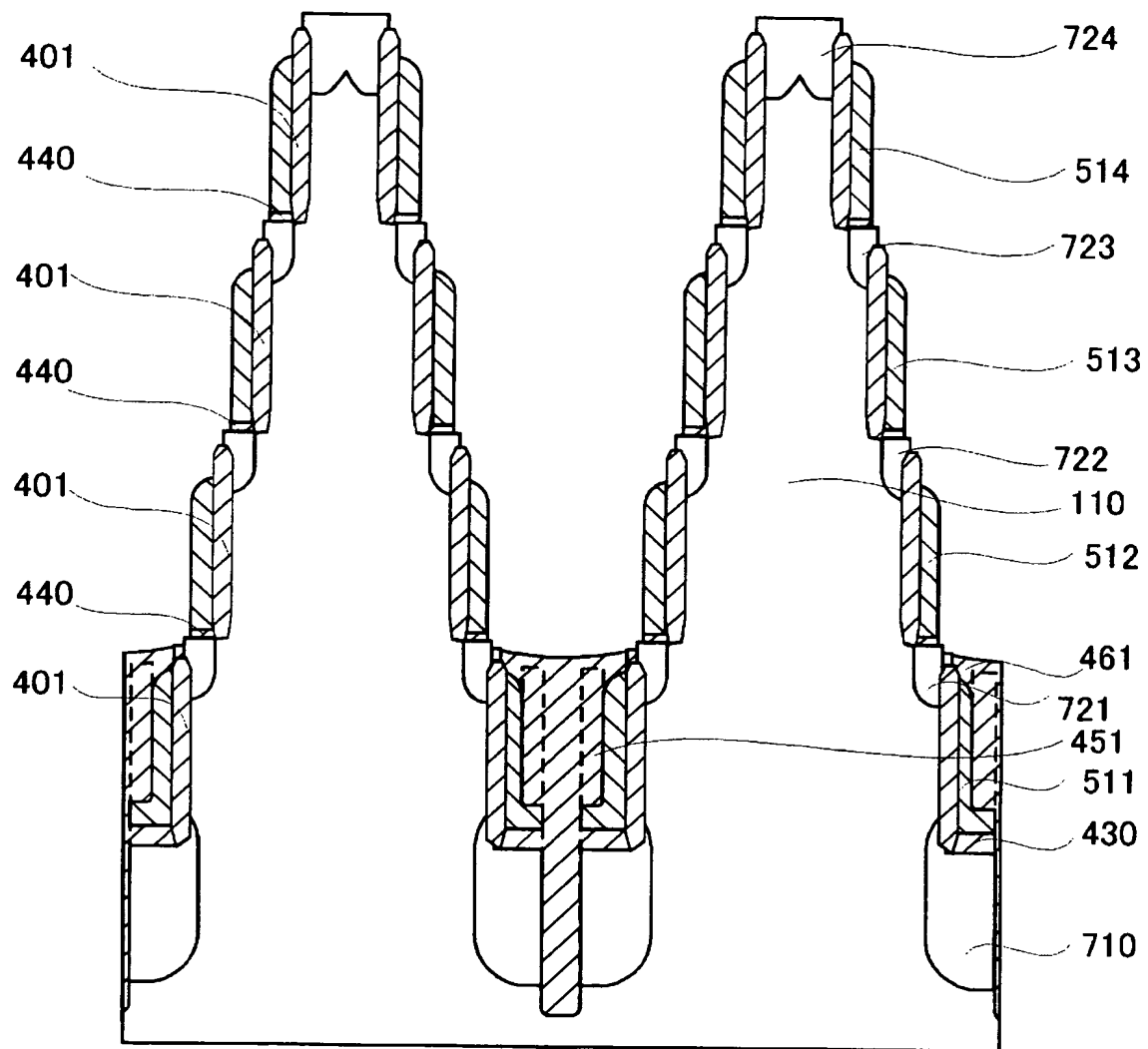
【図 171】



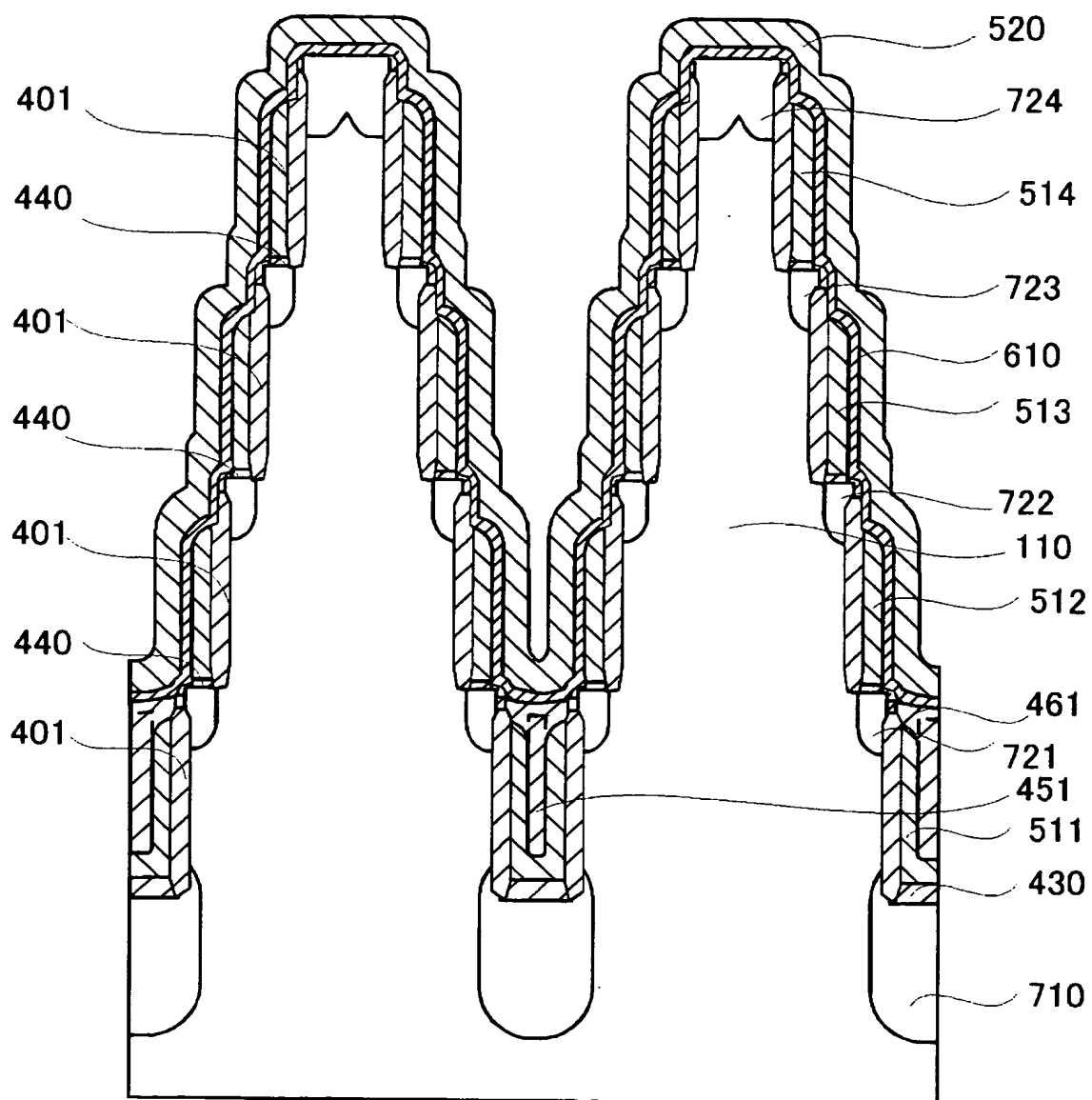
【図 172】



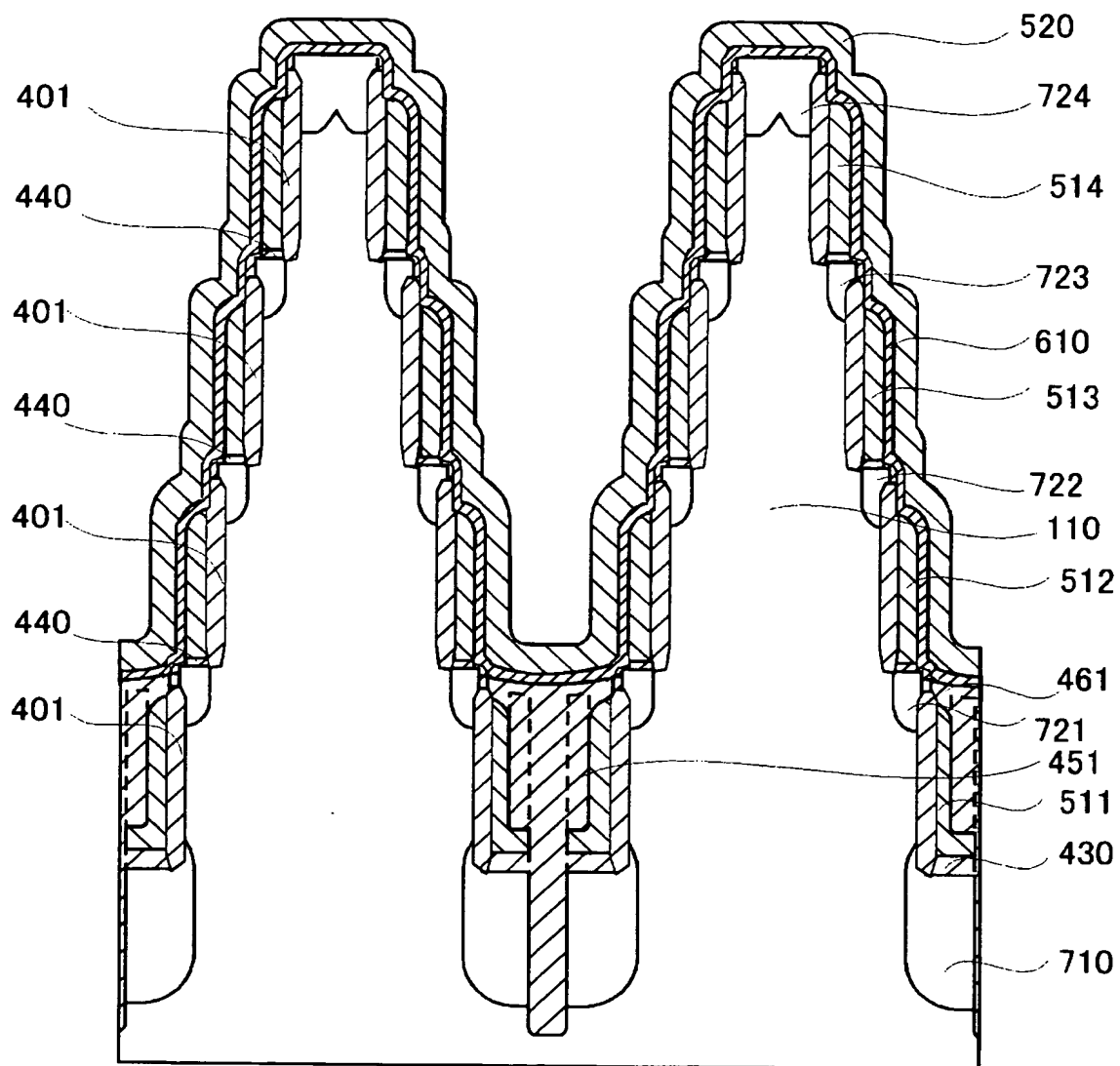
【図 173】



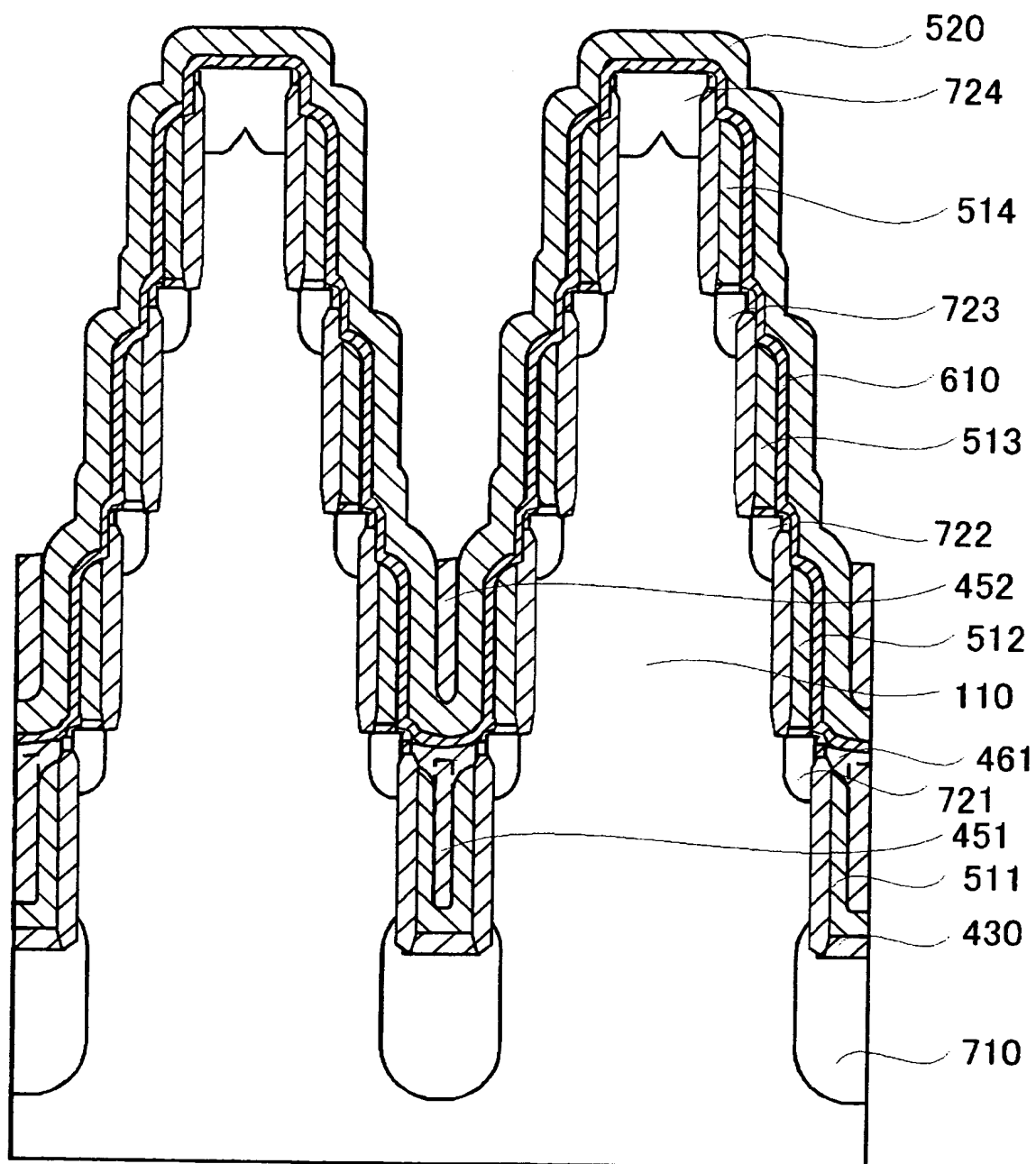
【図 174】



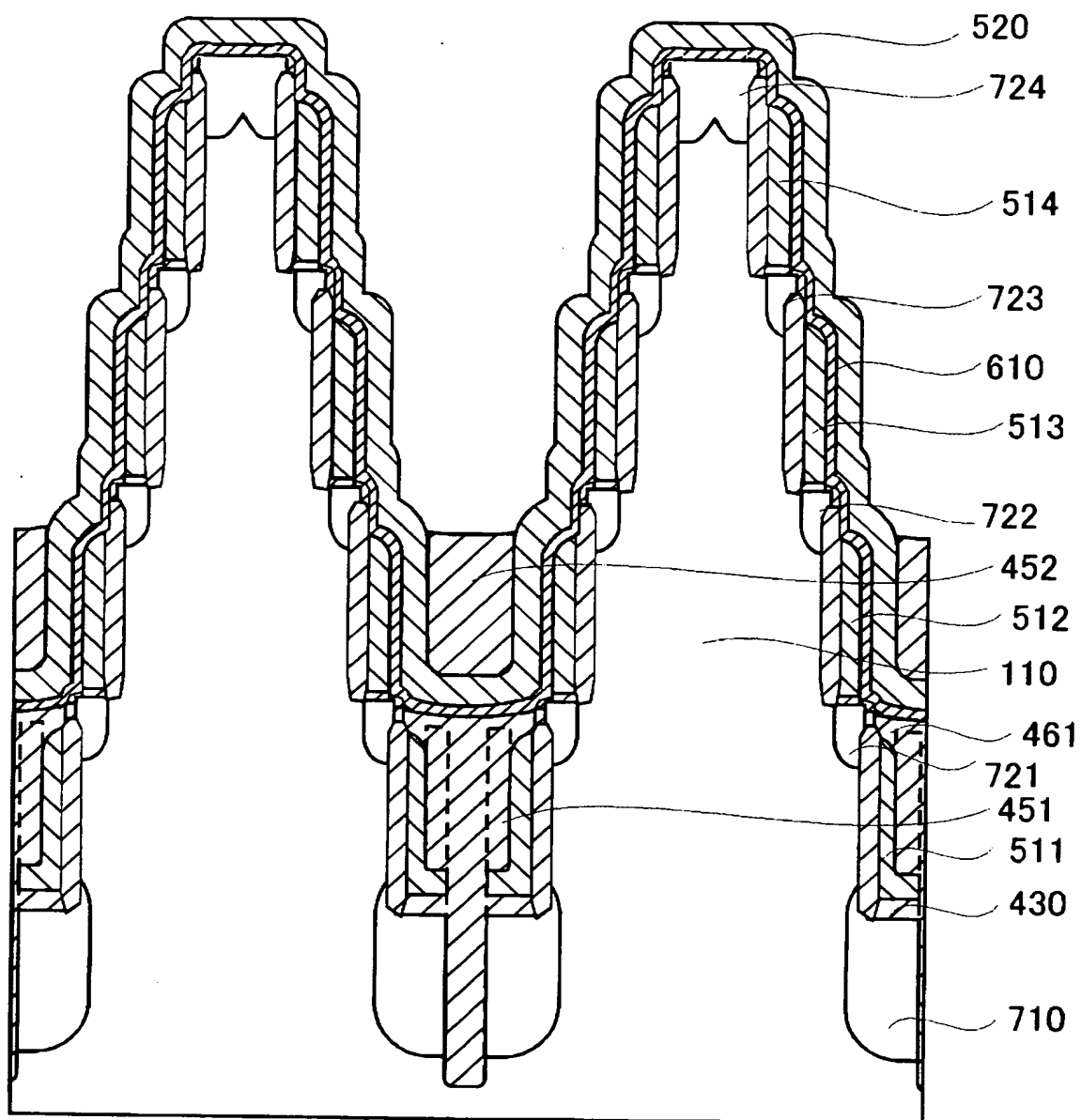
【図 175】



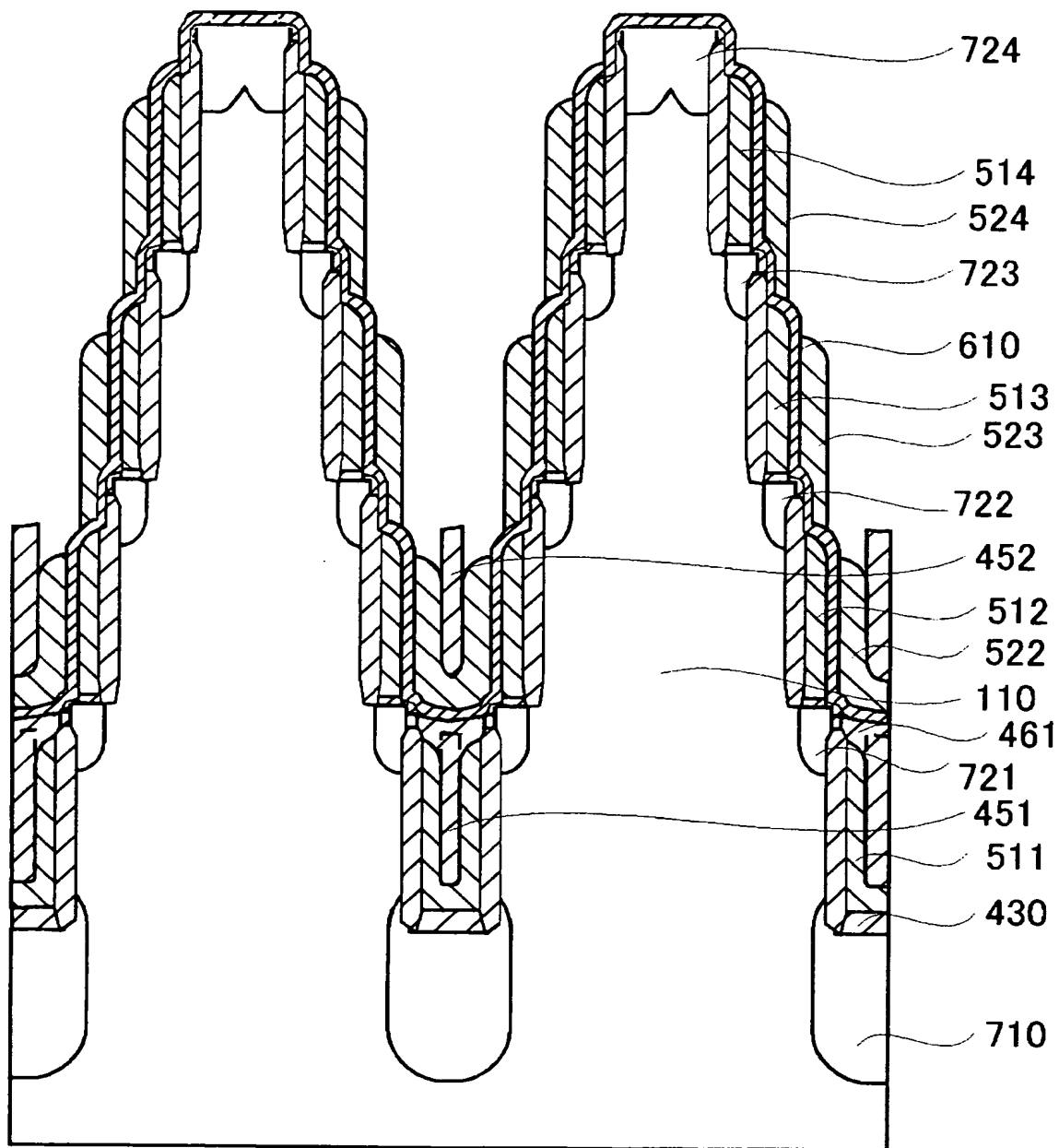
【図 176】



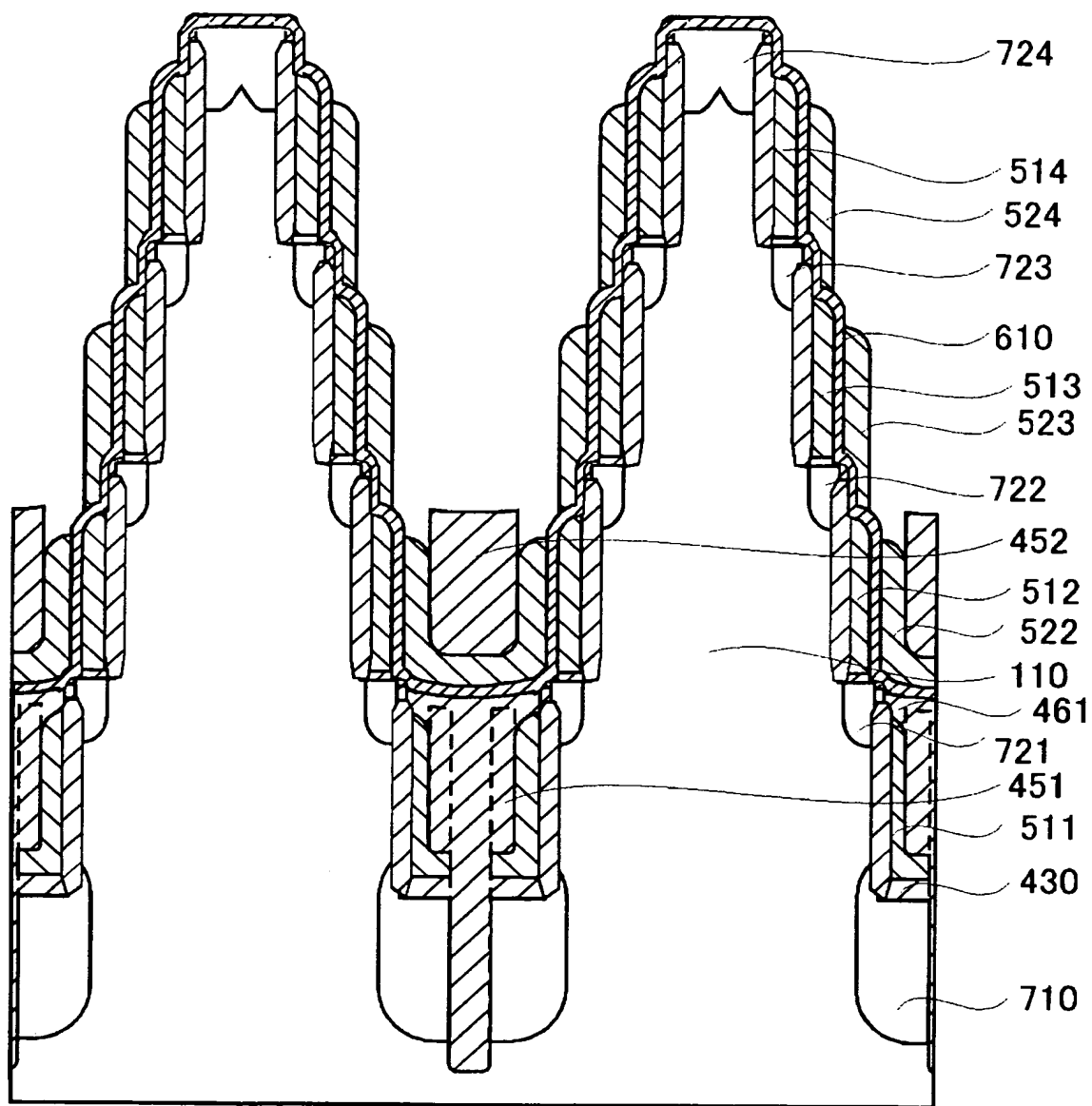
【図 177】



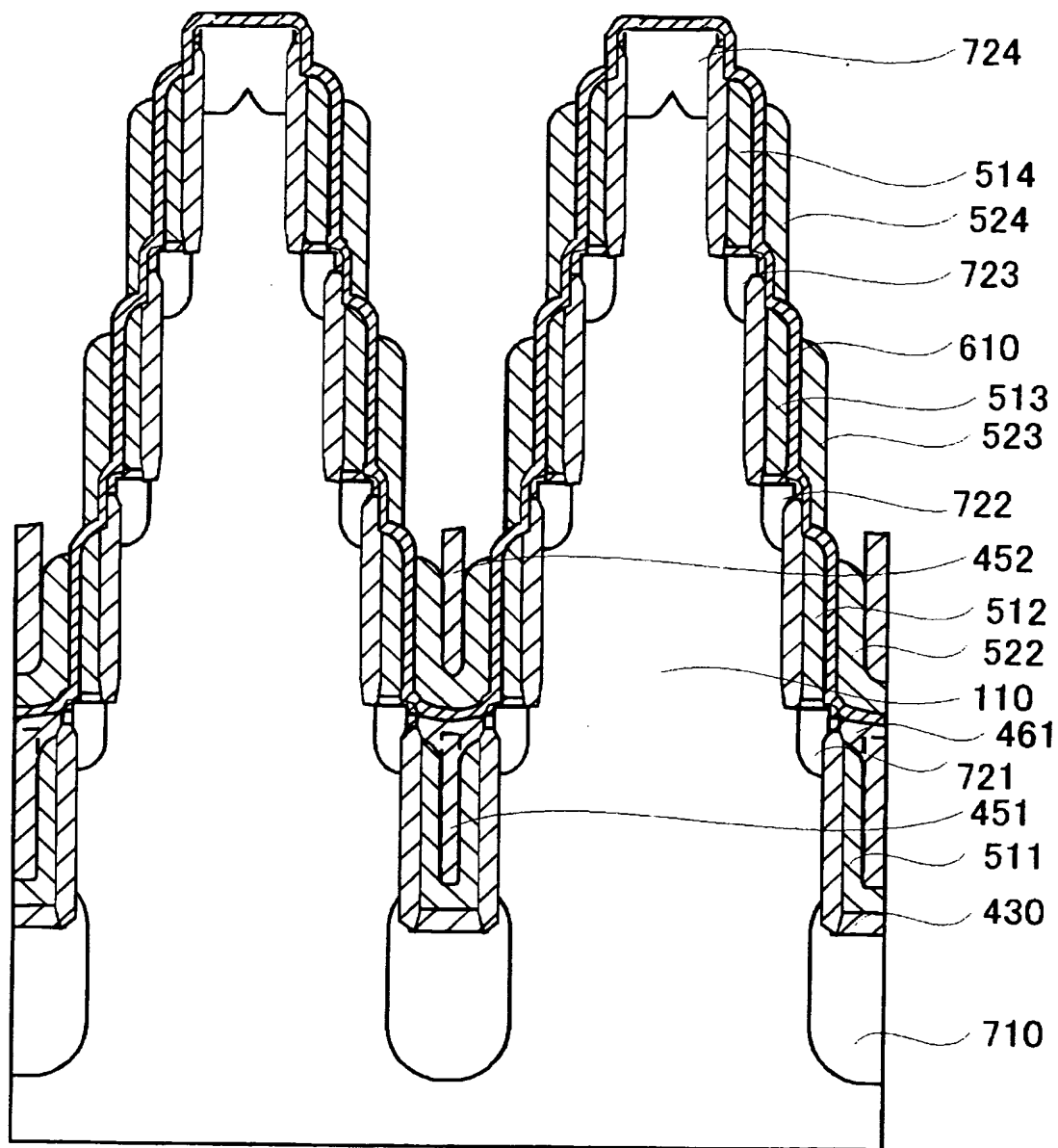
【図 178】



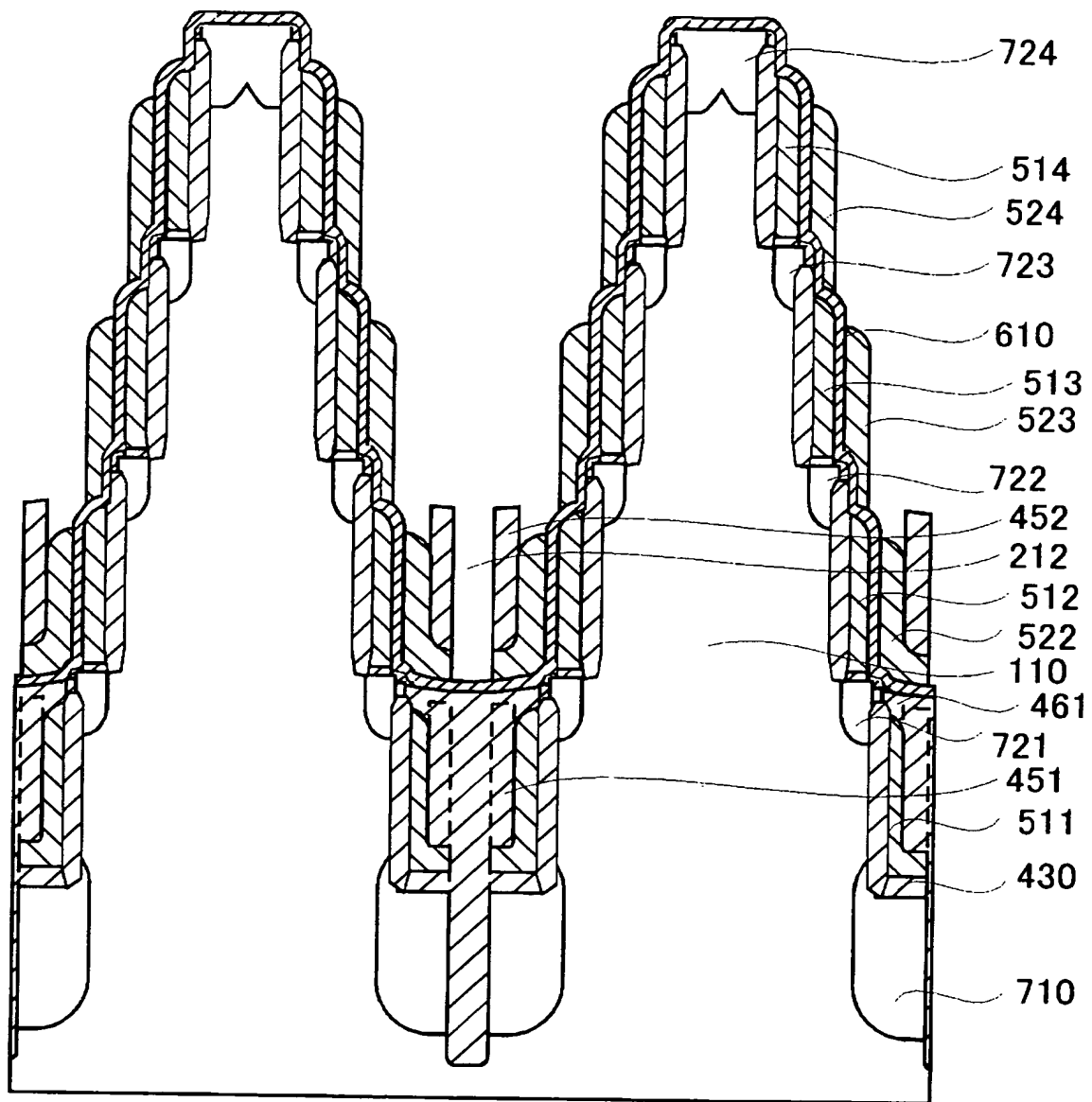
【図 179】



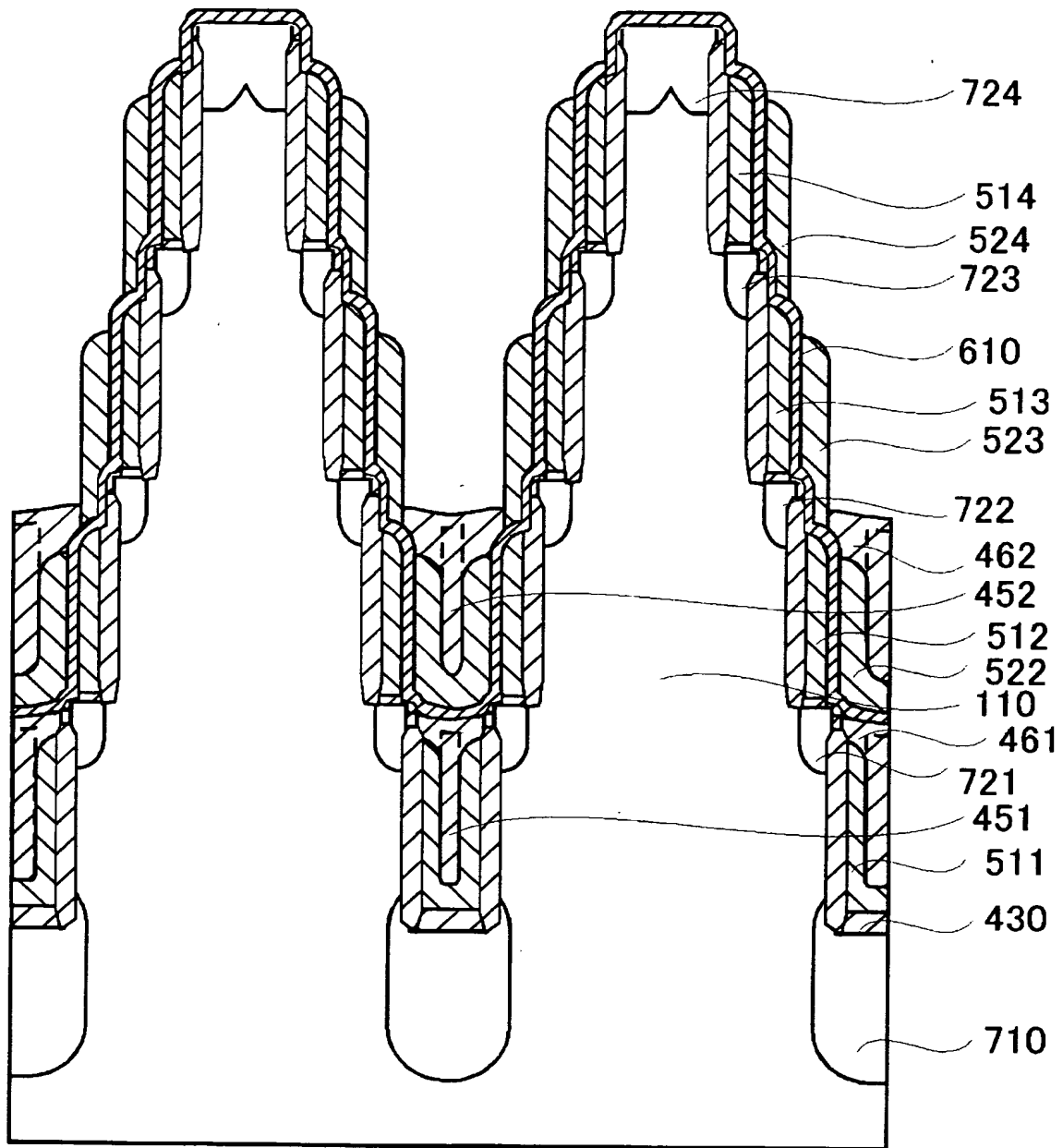
【図 180】



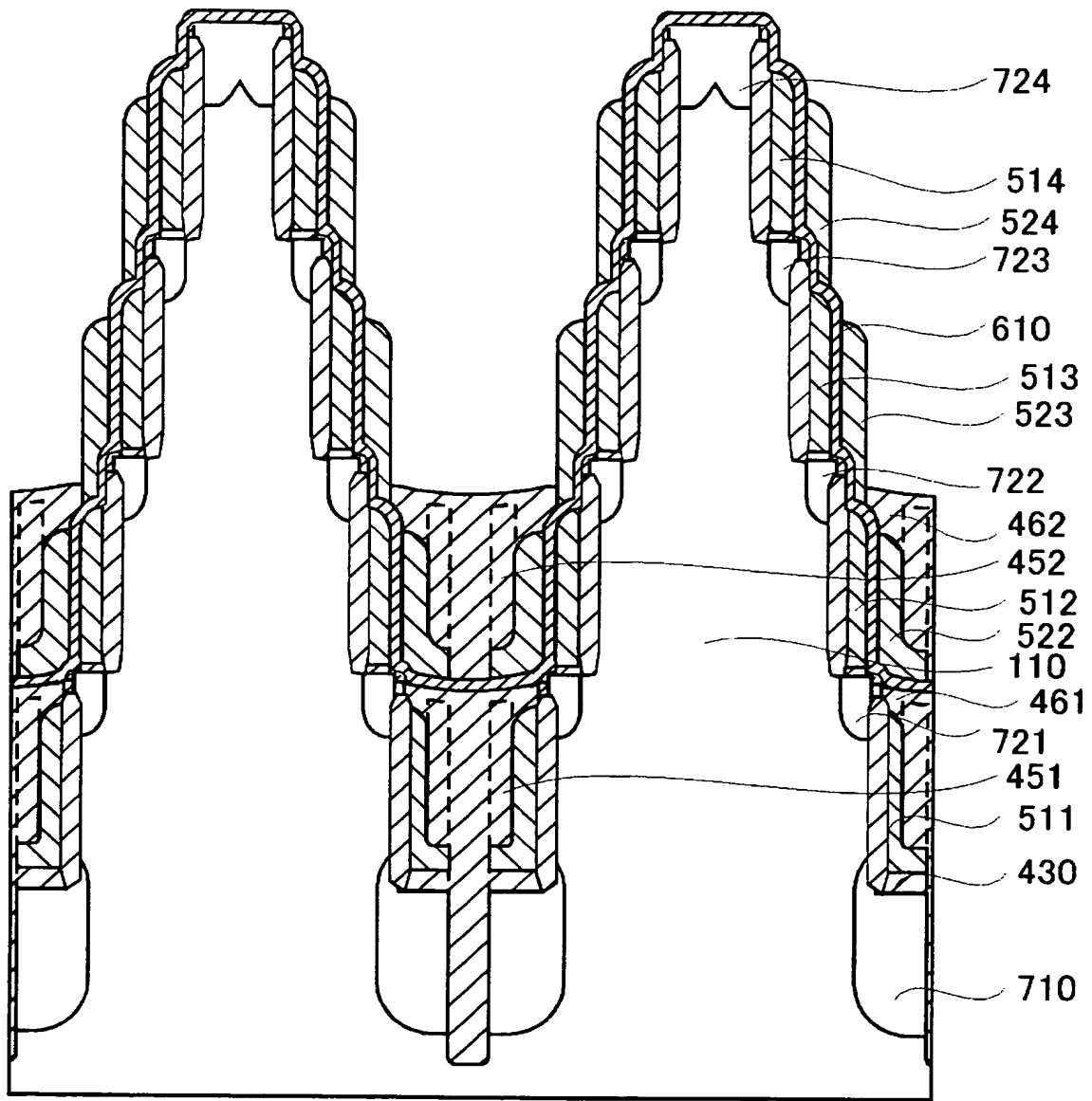
【図181】



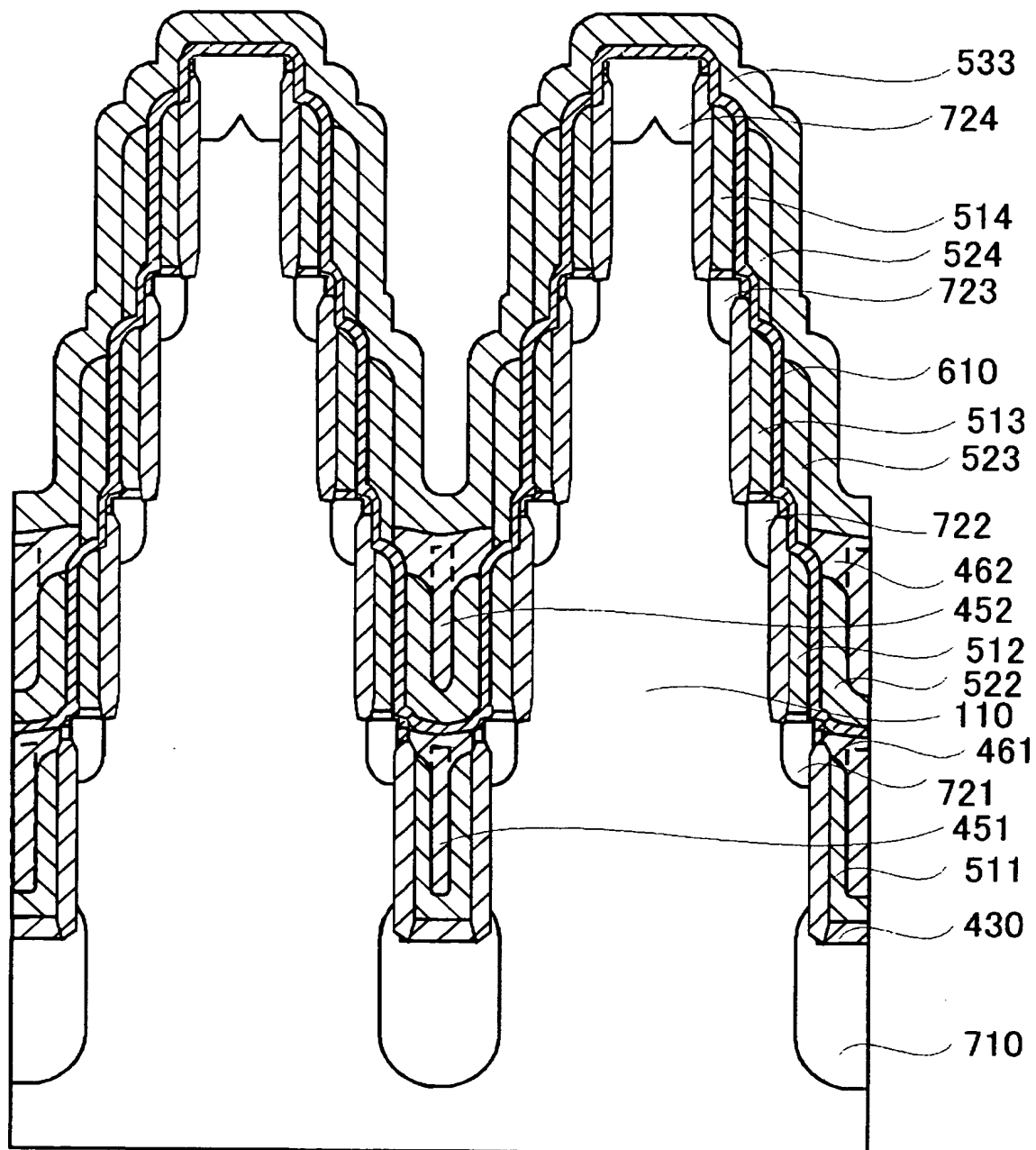
【図 182】



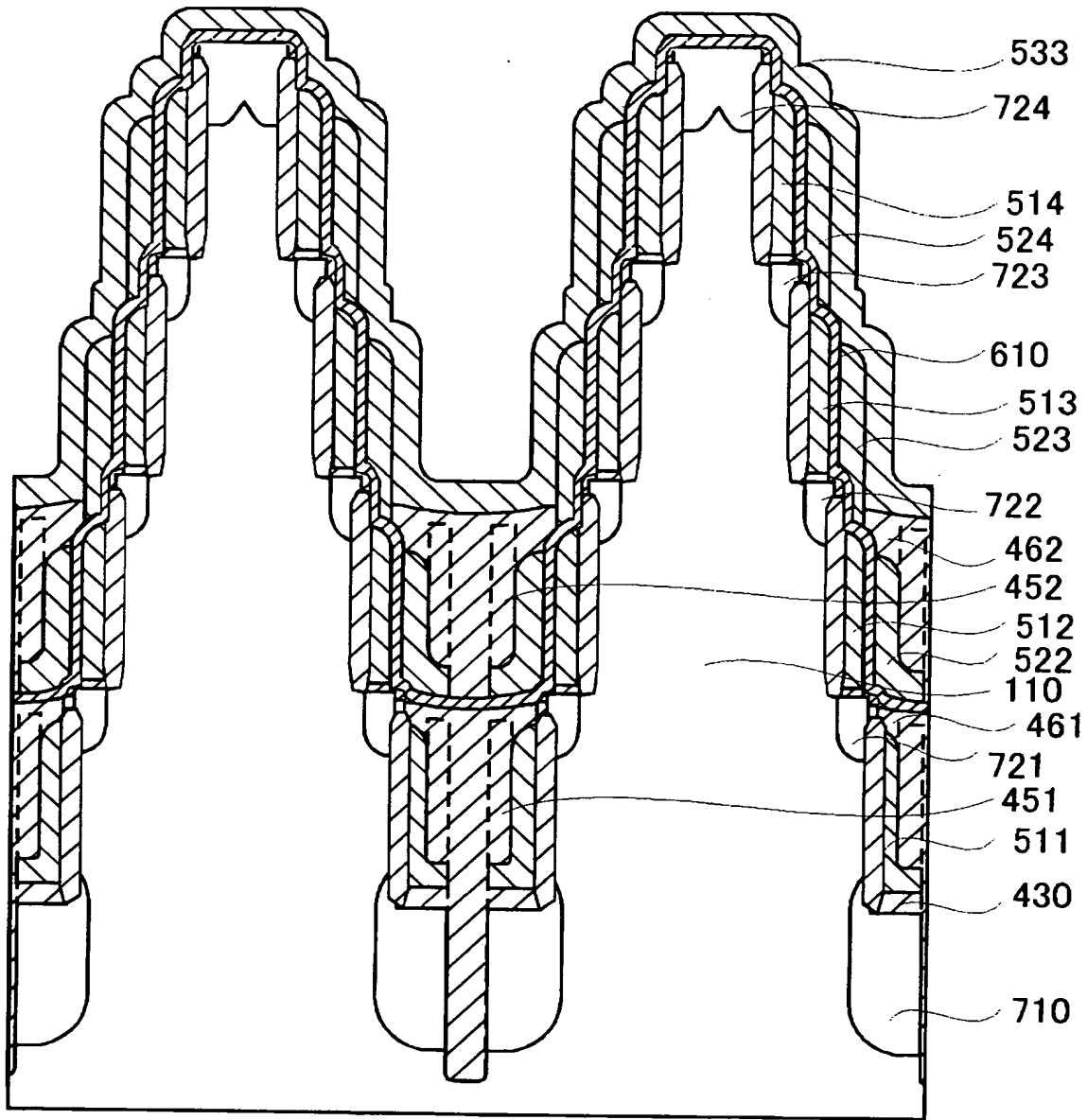
【図 183】



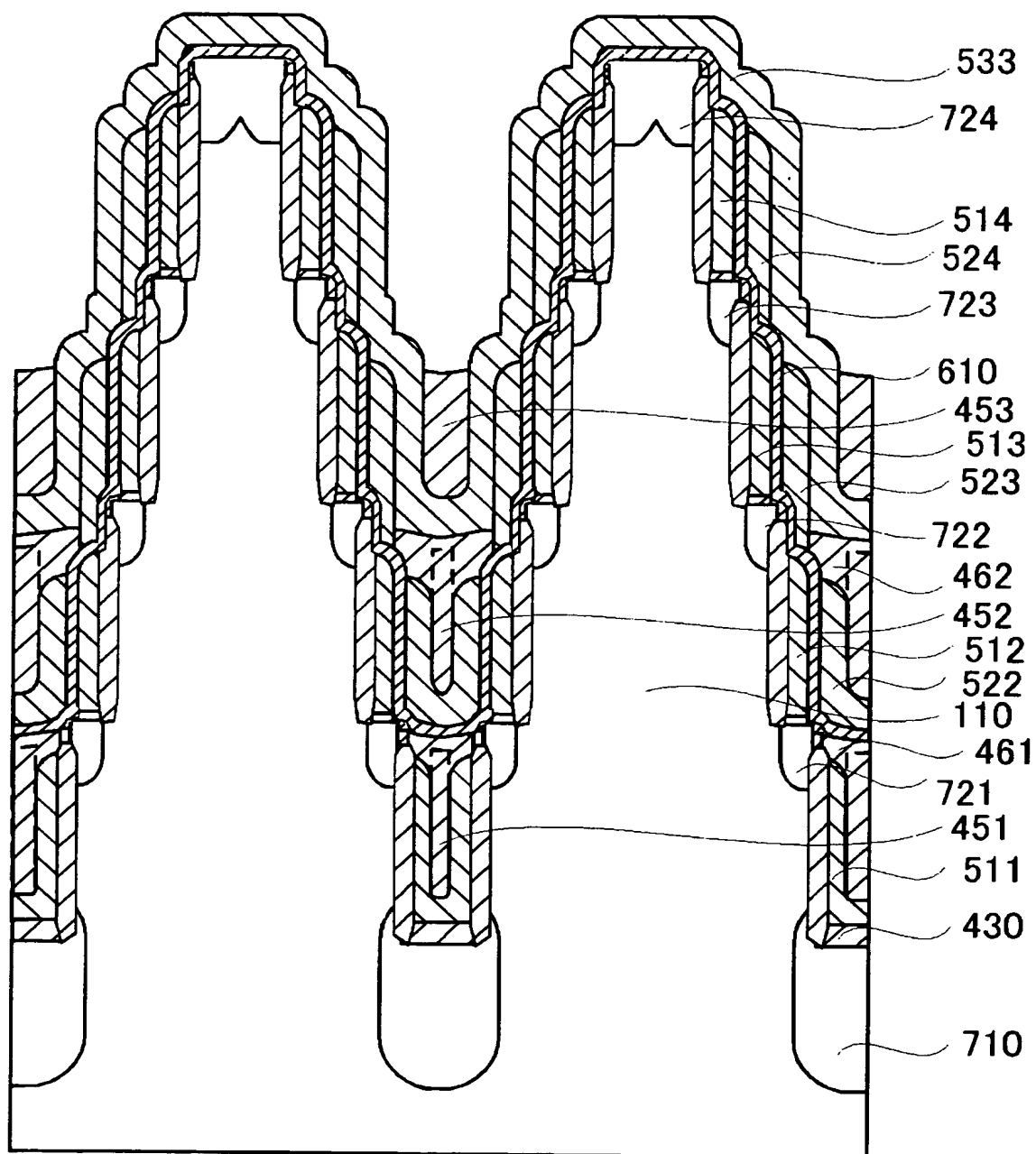
【図 184】



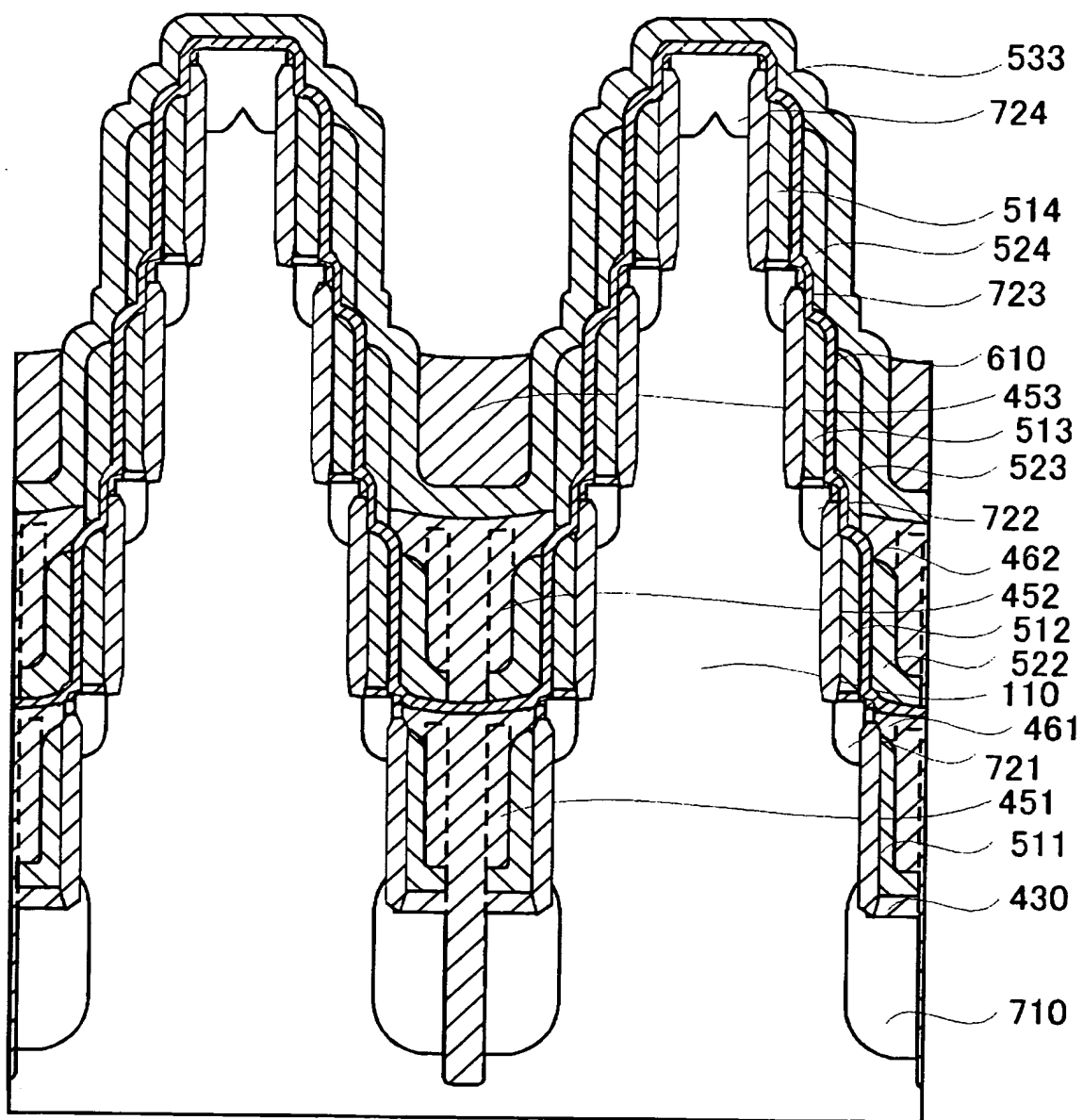
【図 185】



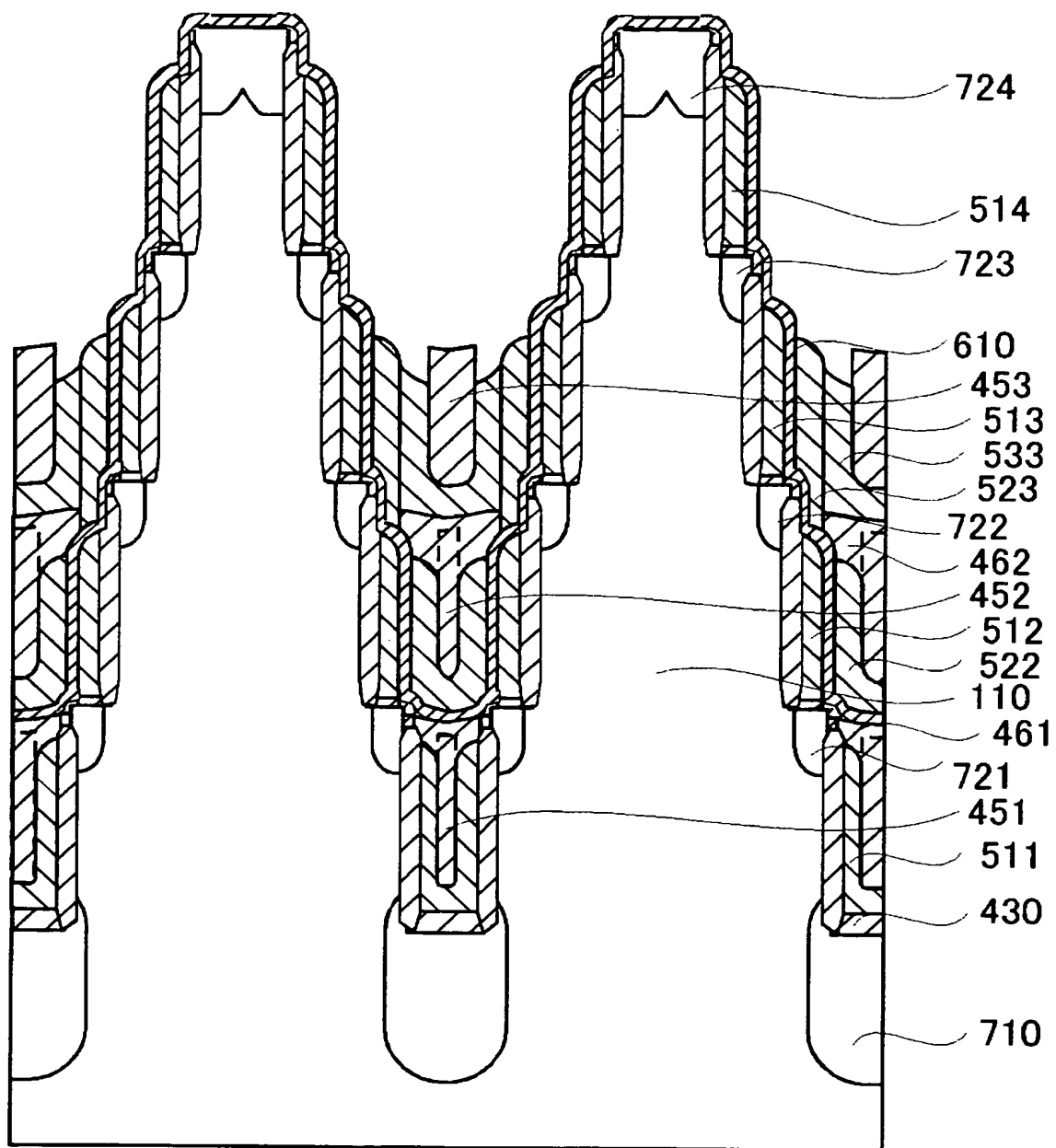
【図 186】



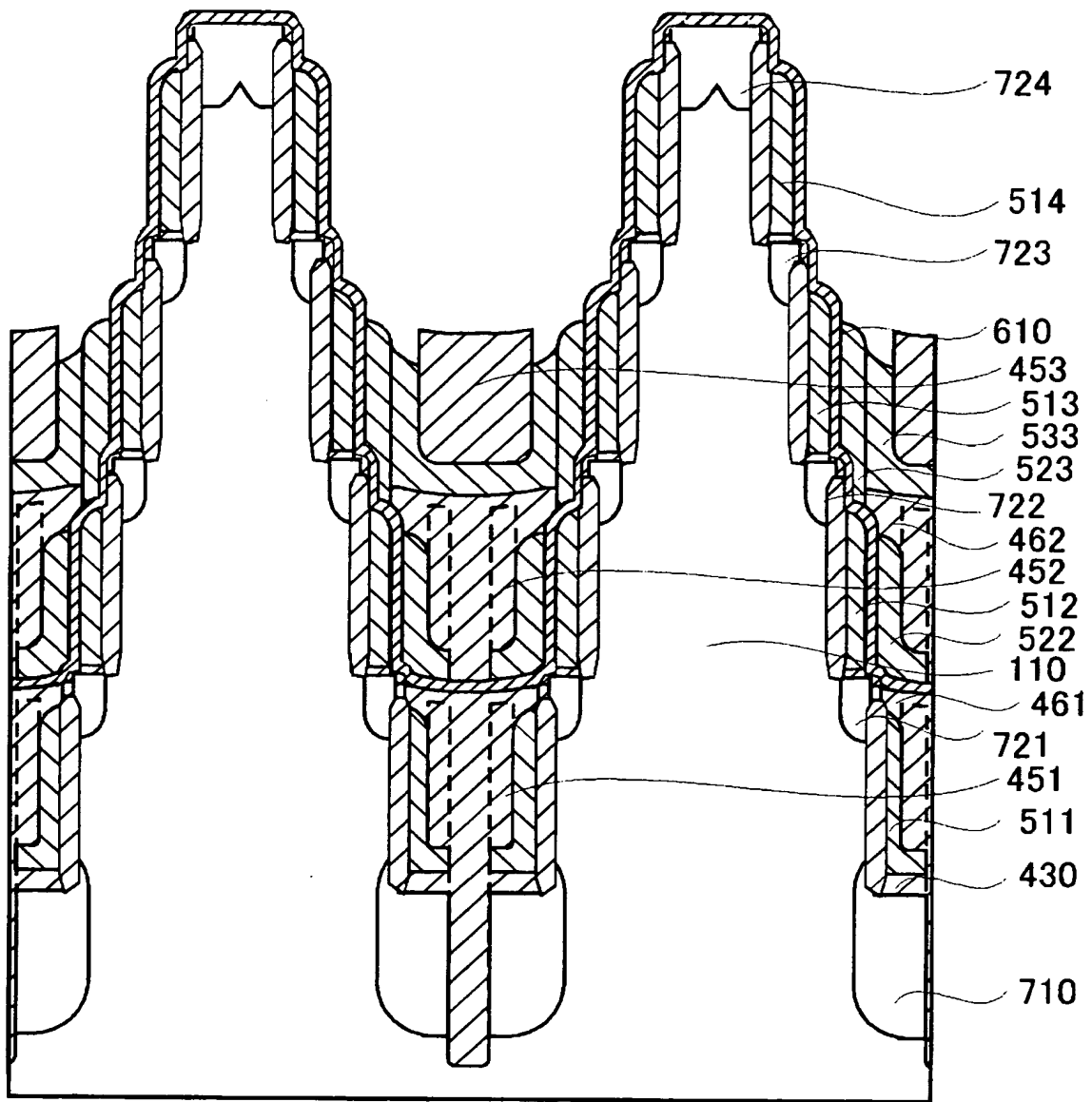
【図 187】



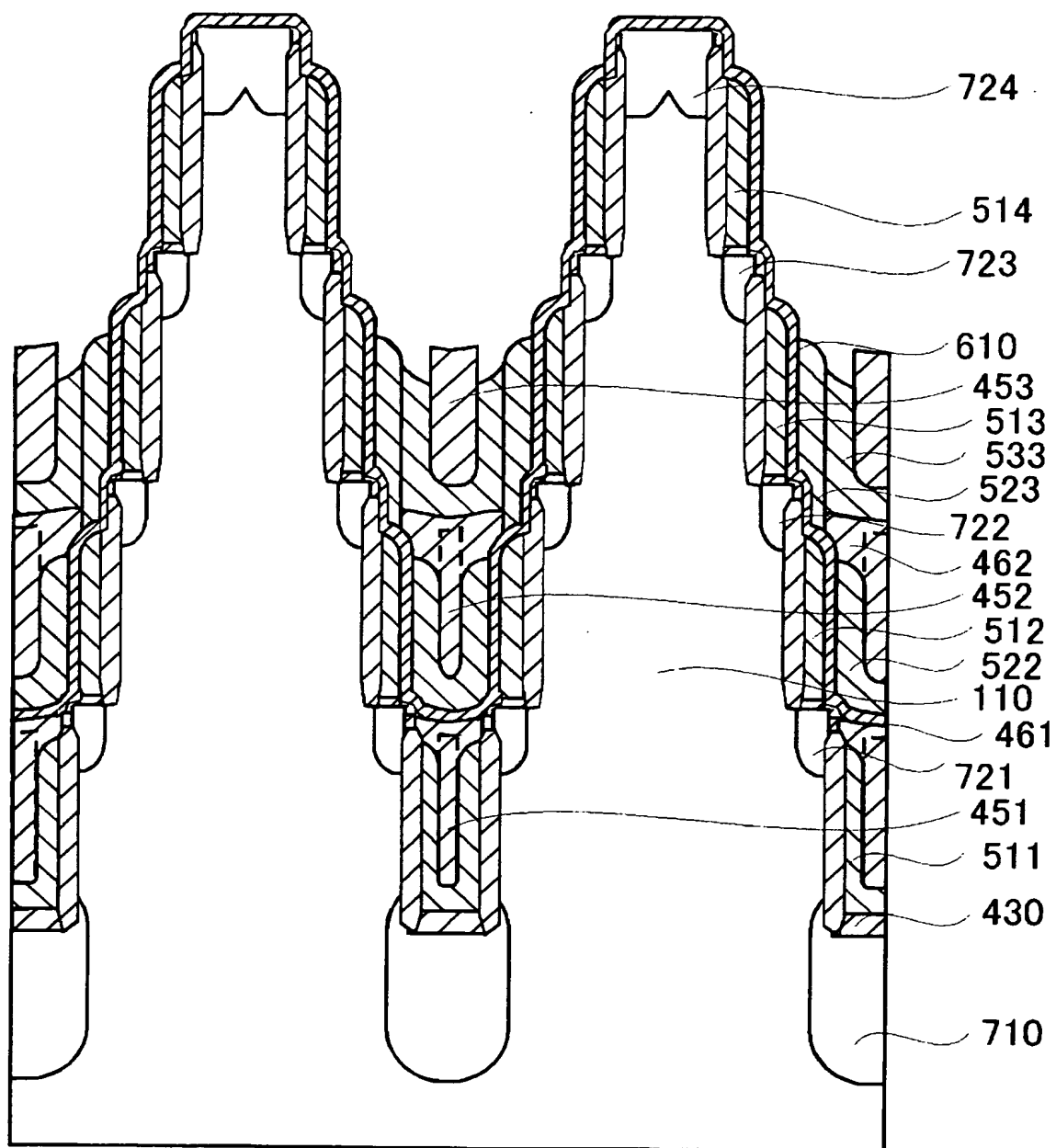
【図 188】



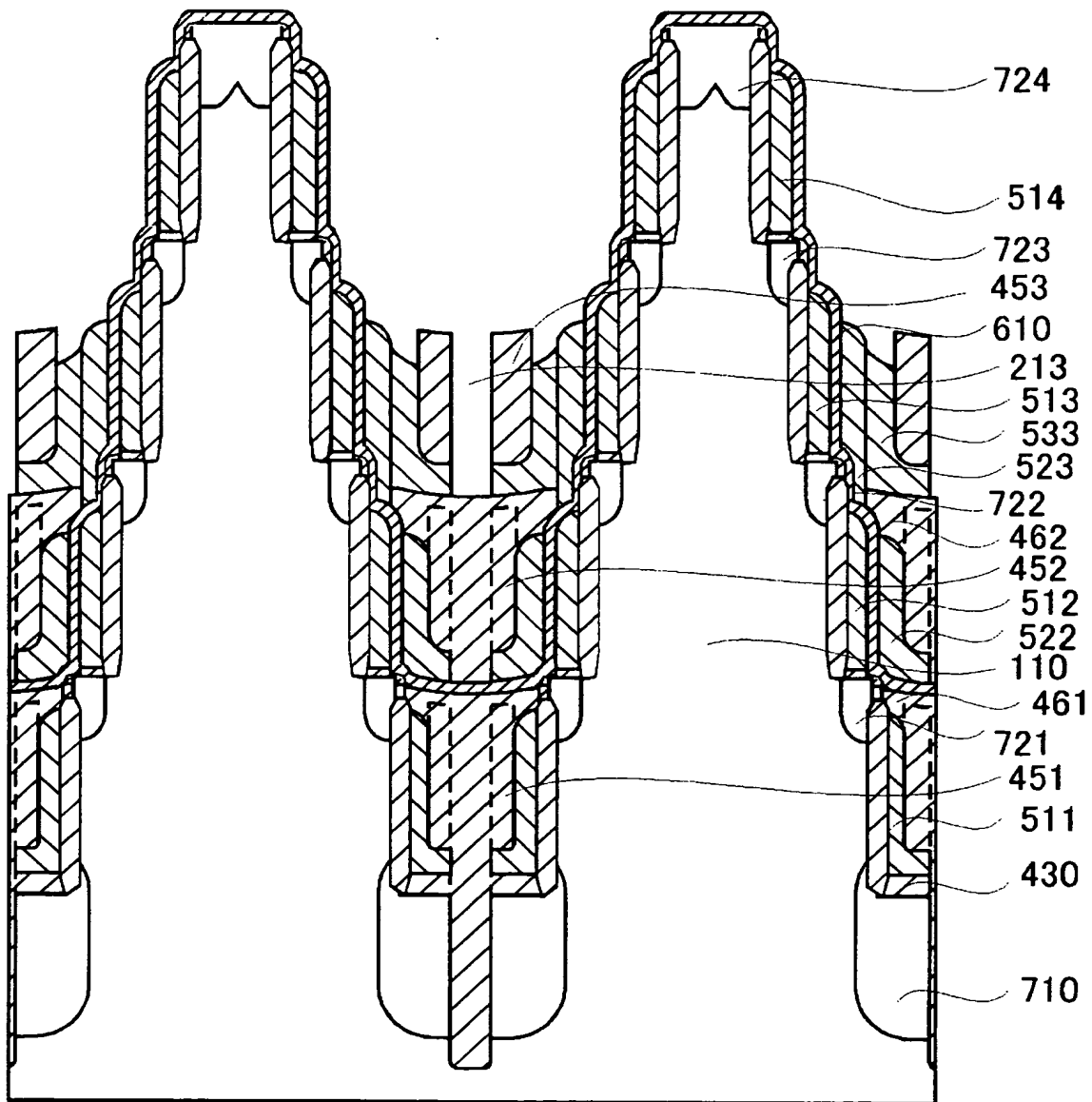
【図 189】



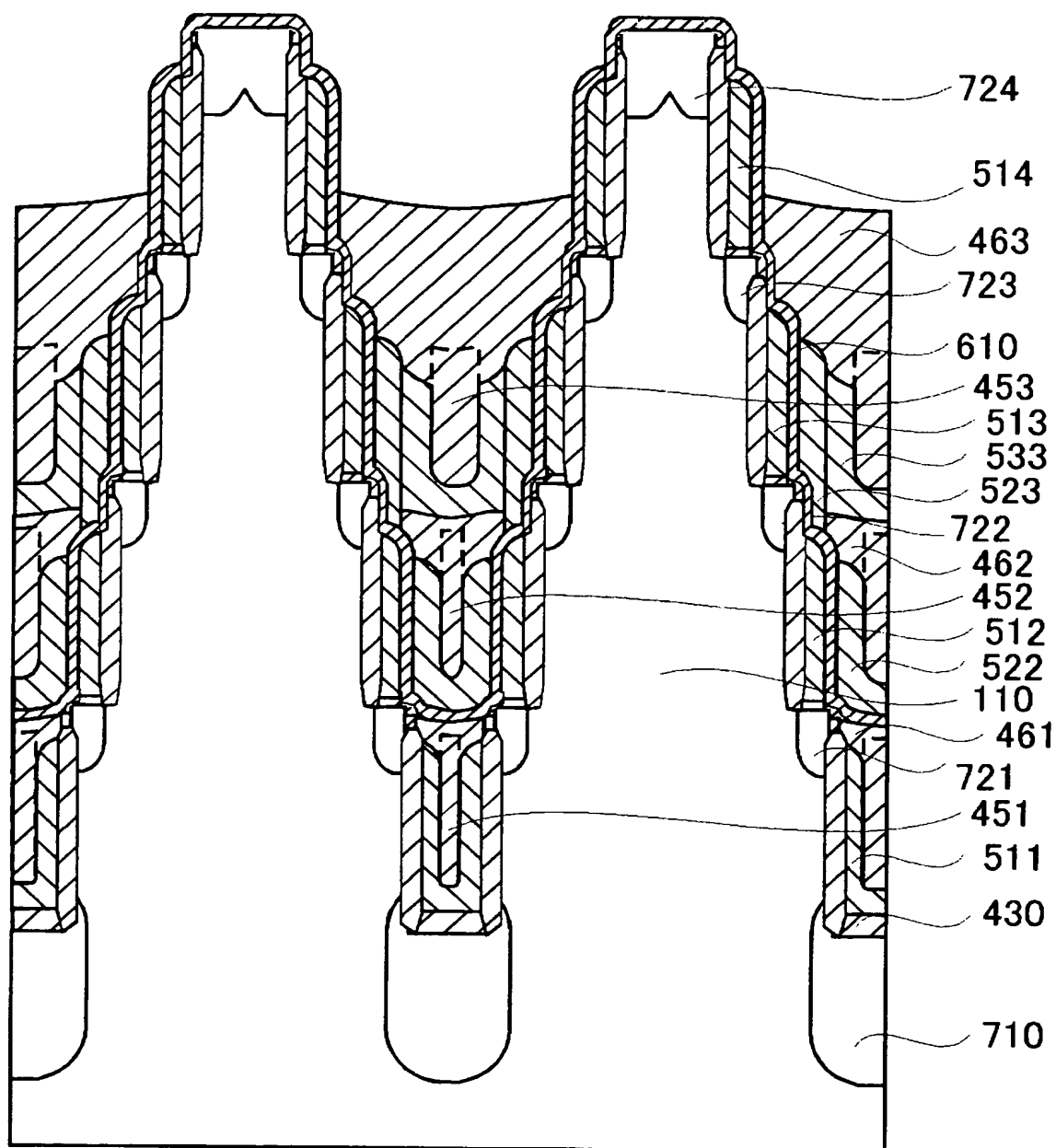
【図 190】



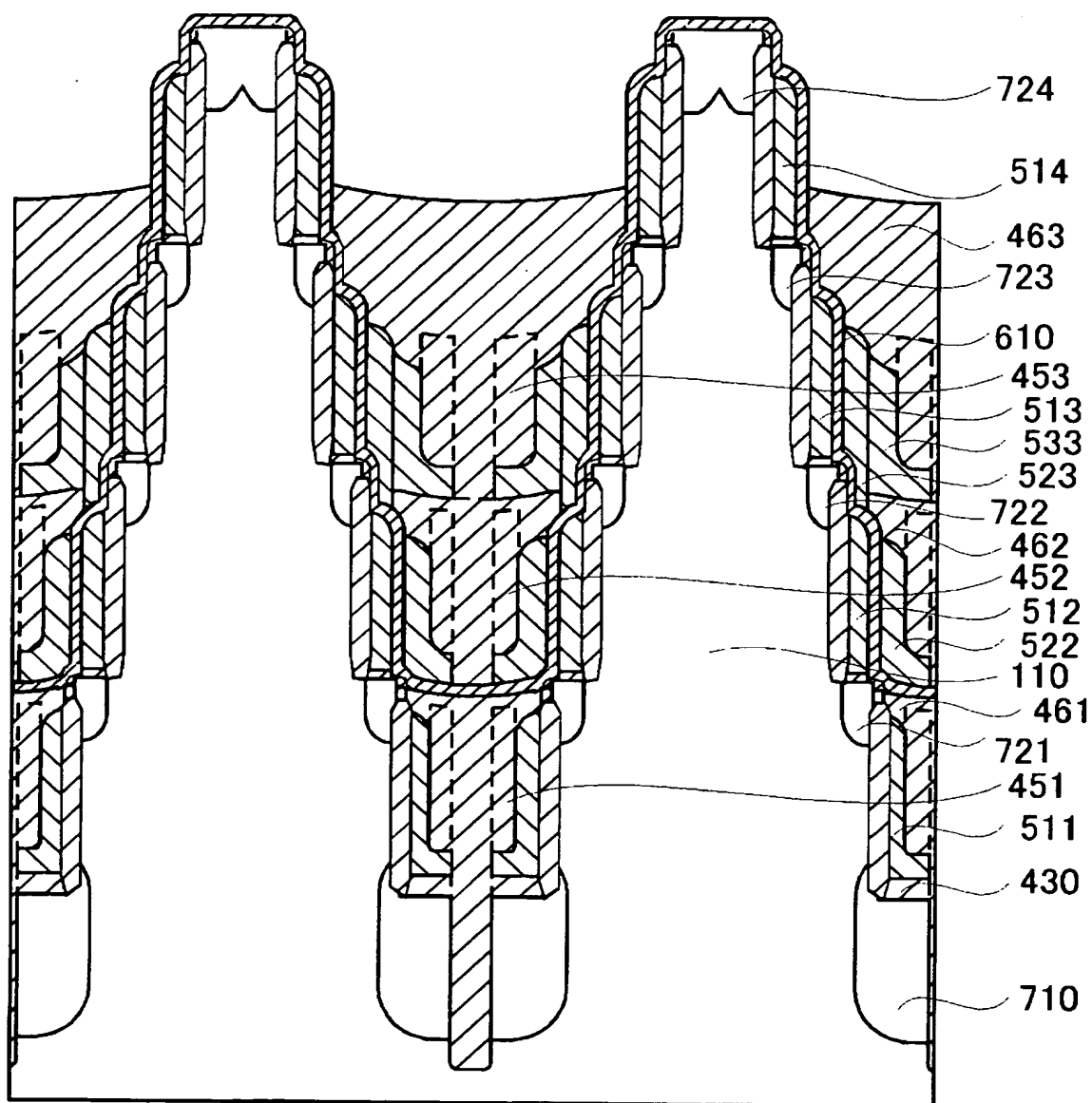
【図 191】



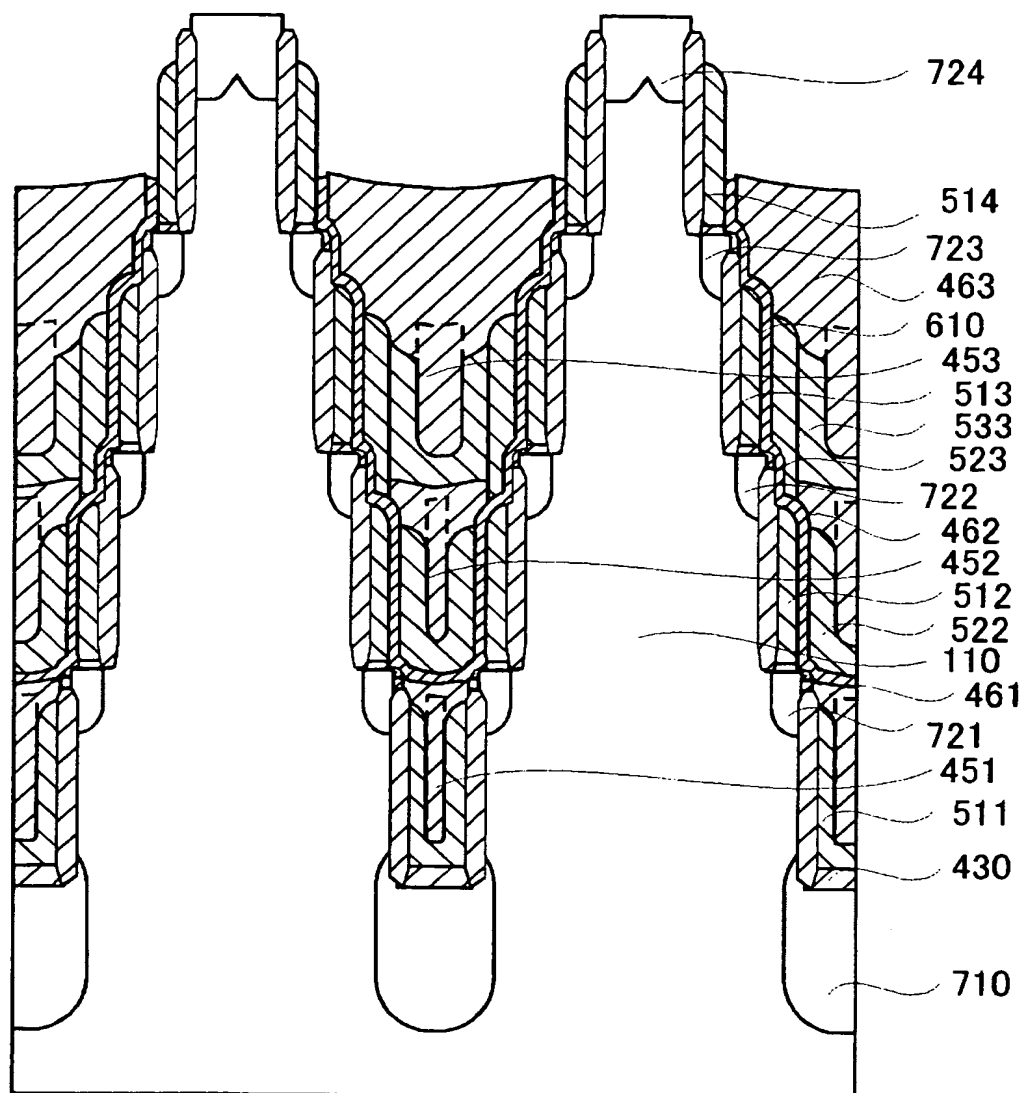
【図 192】



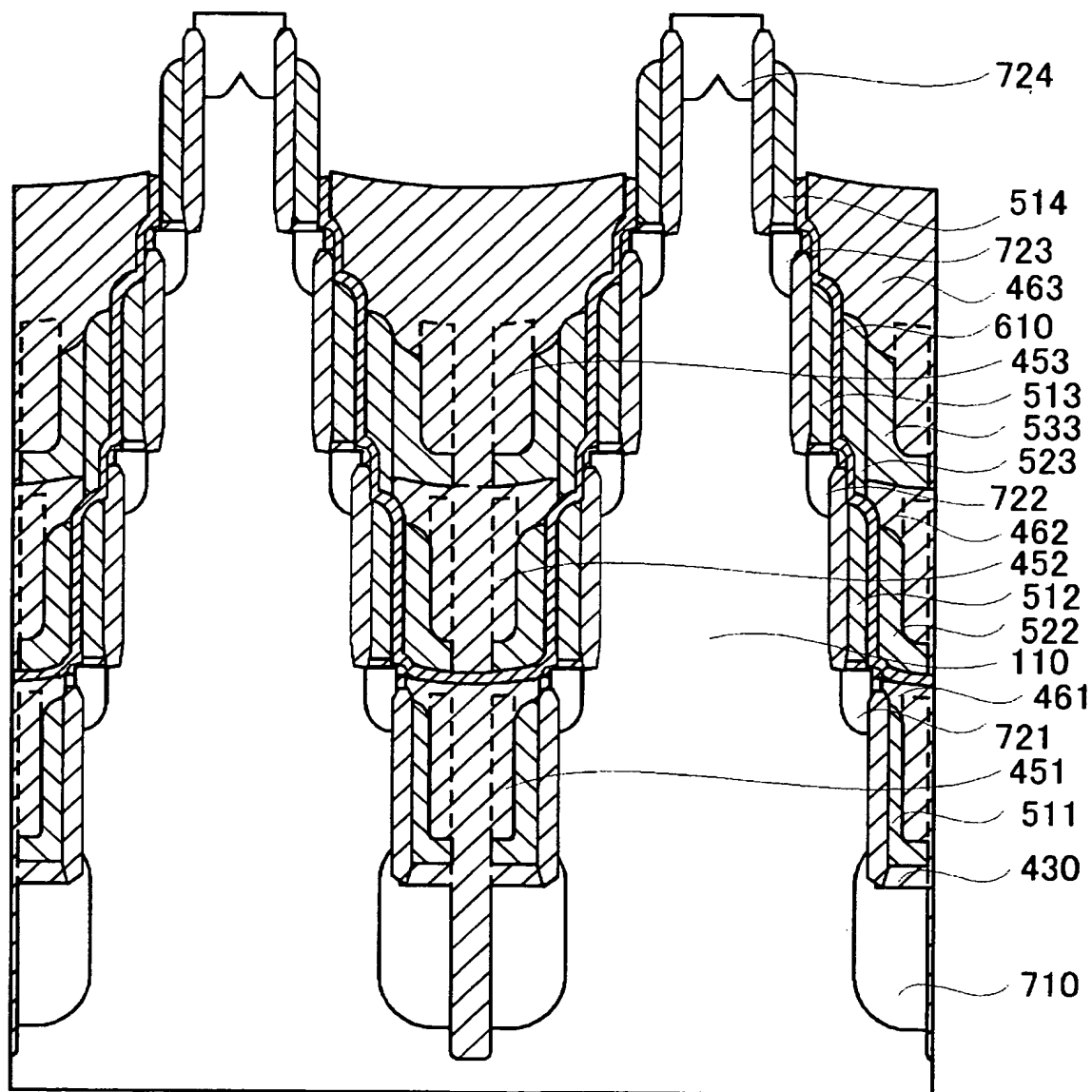
【図 193】



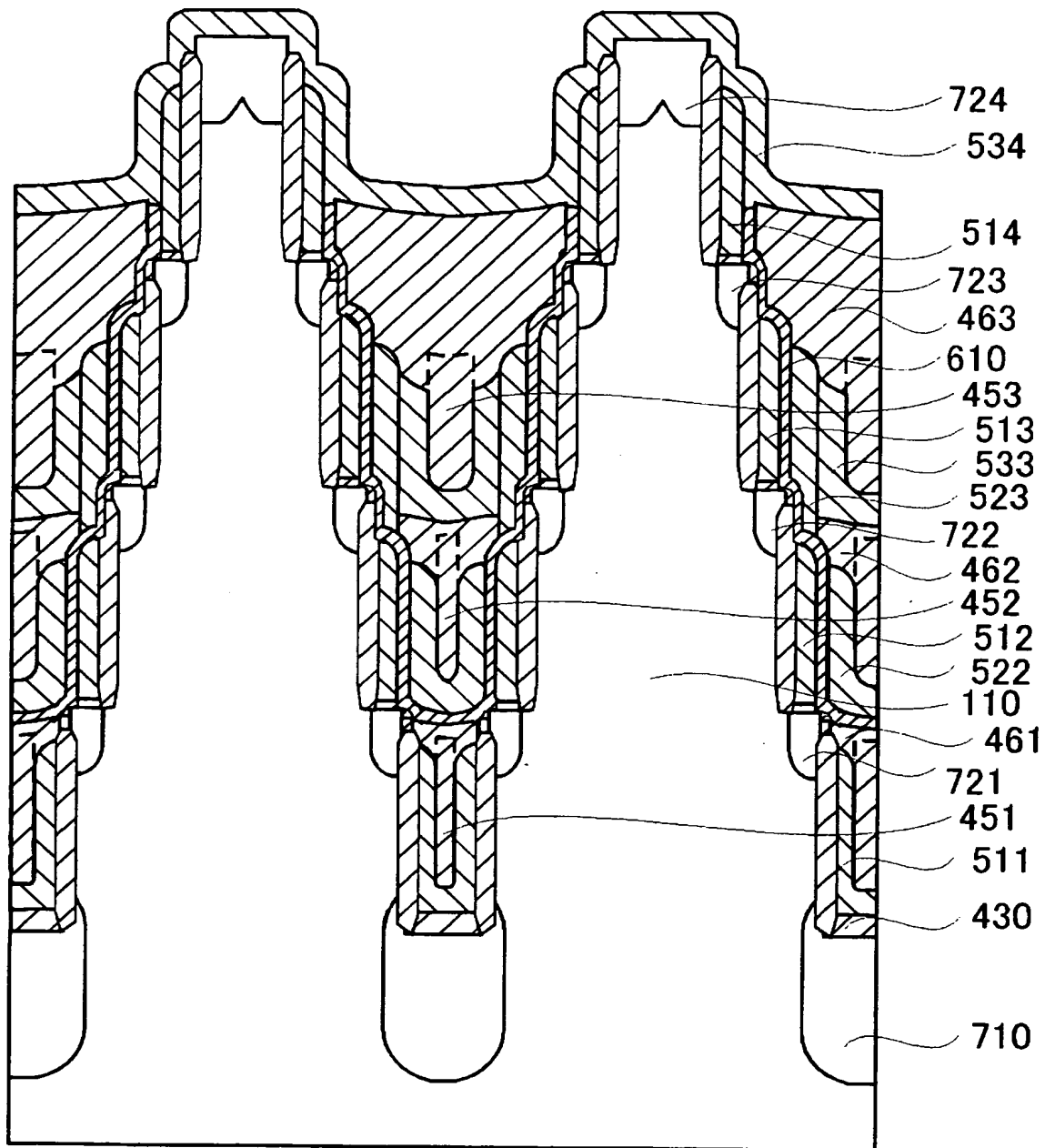
【図 194】



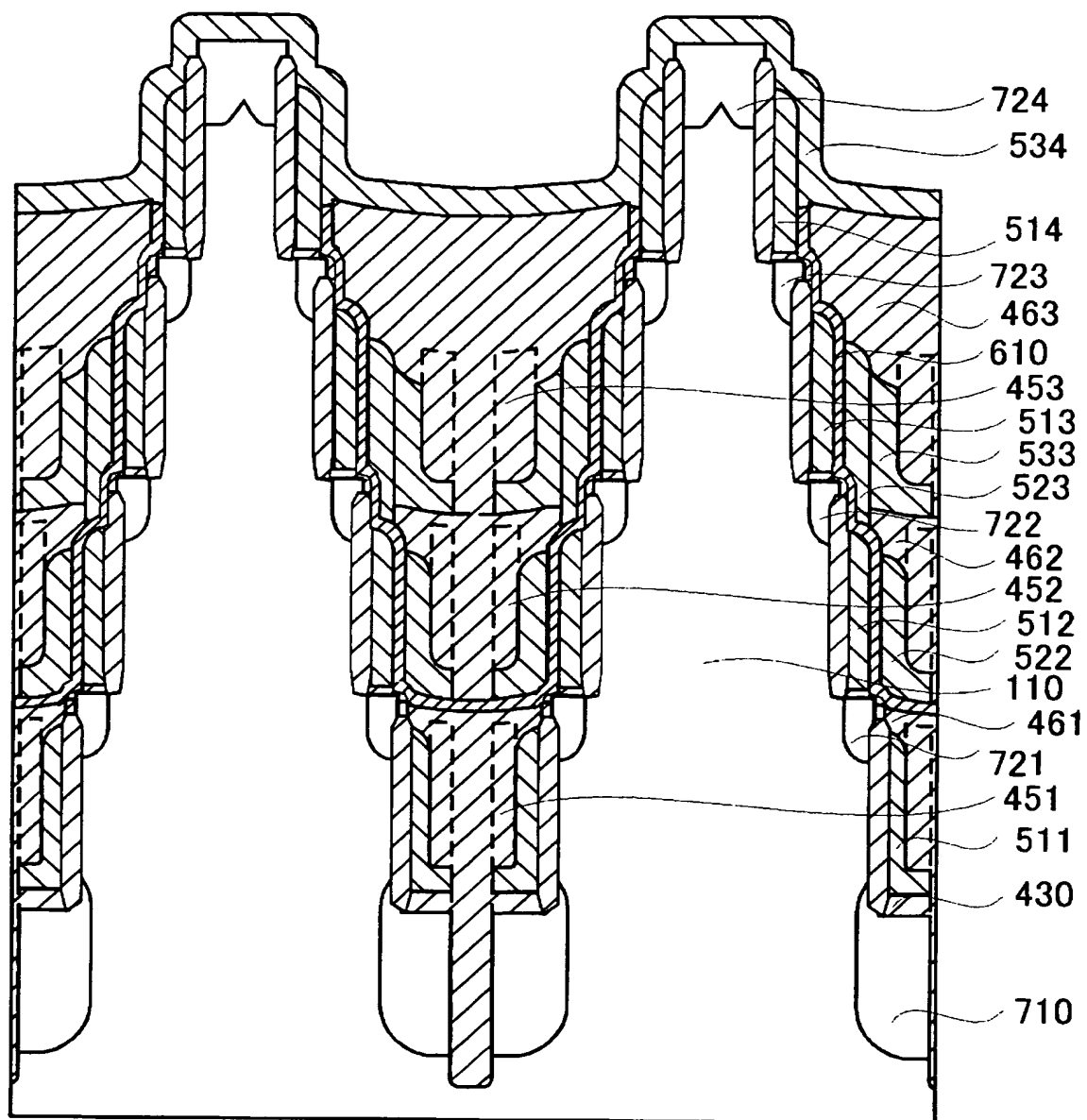
【図 195】



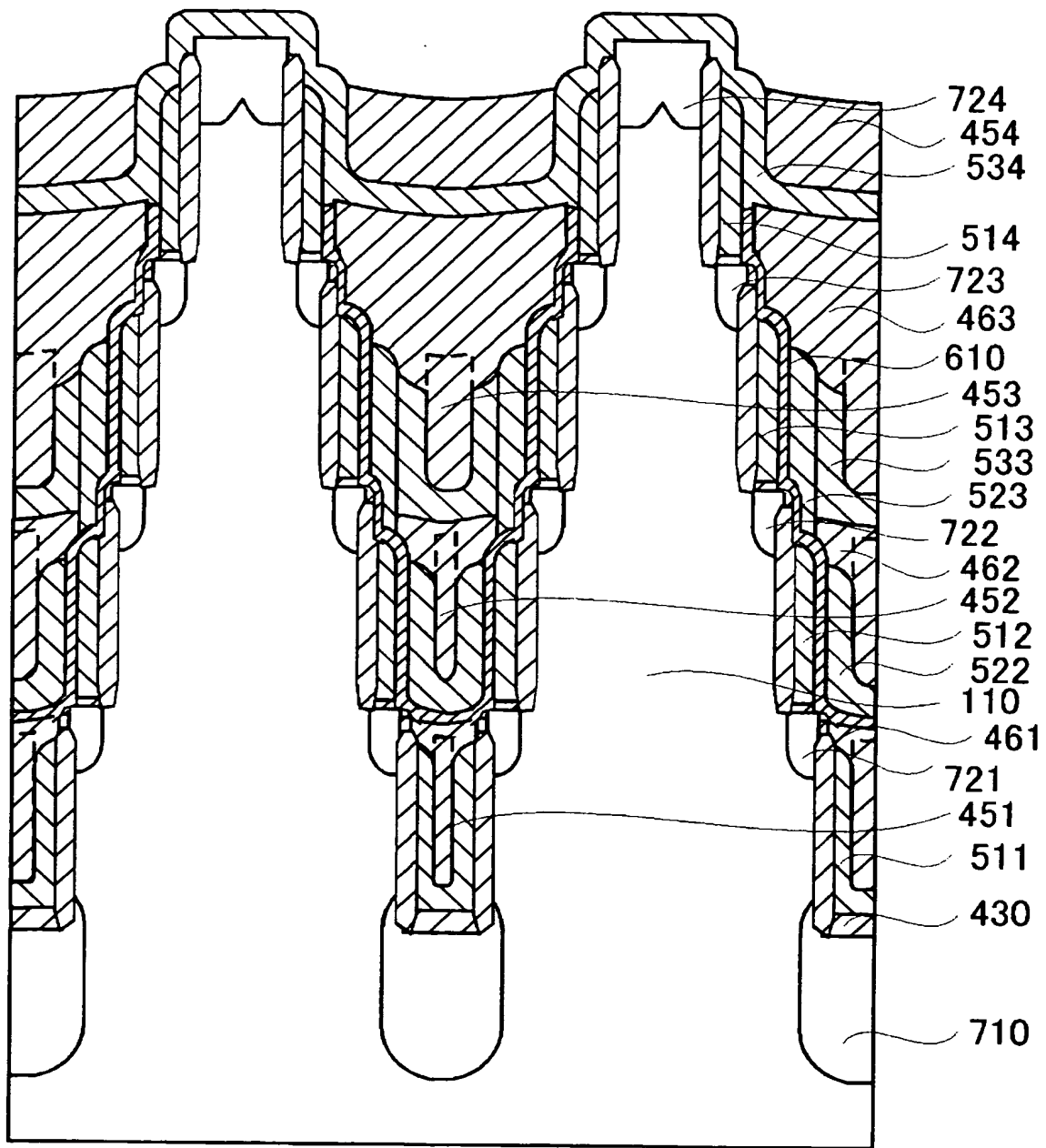
【図 196】



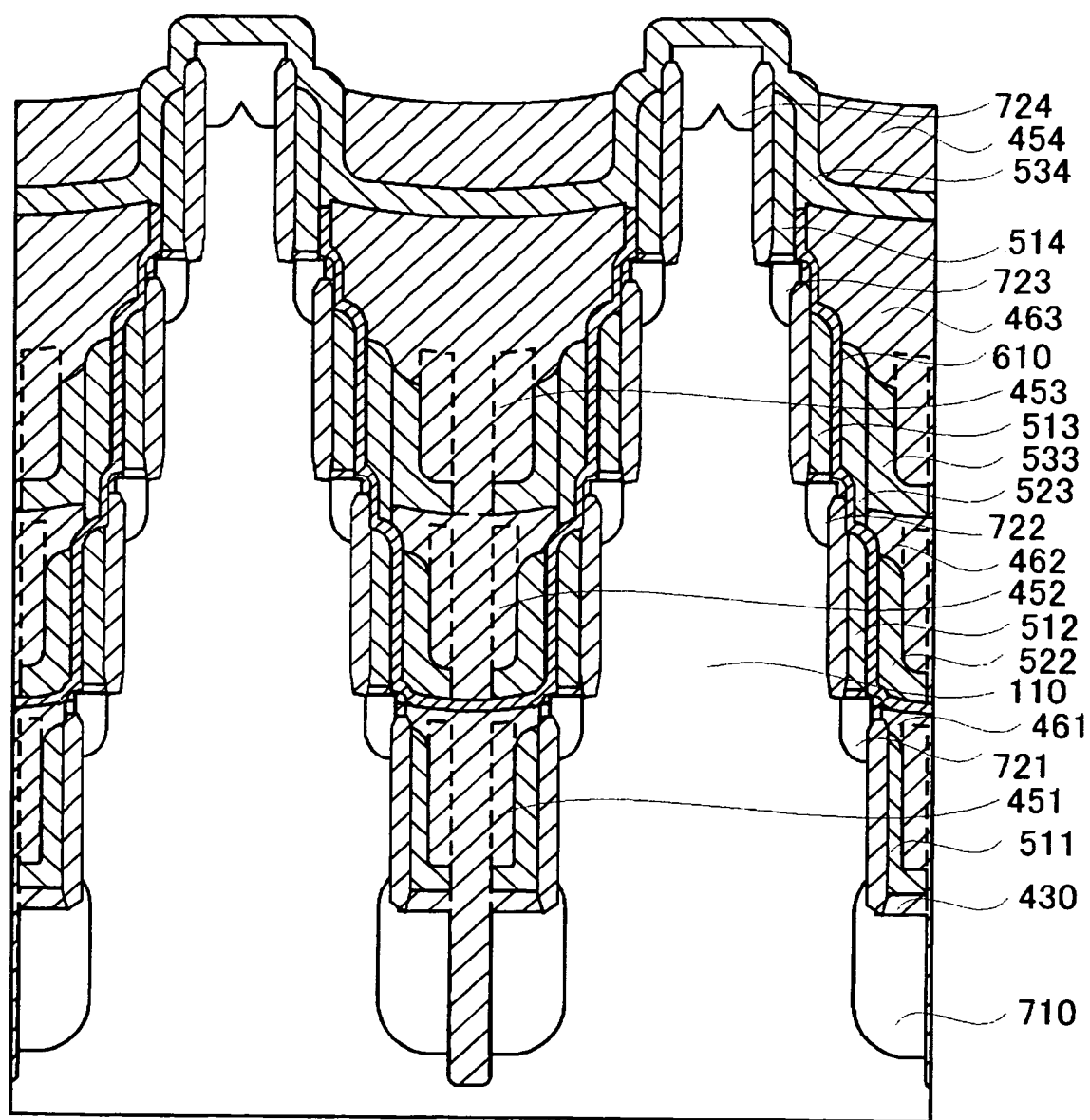
【図 197】



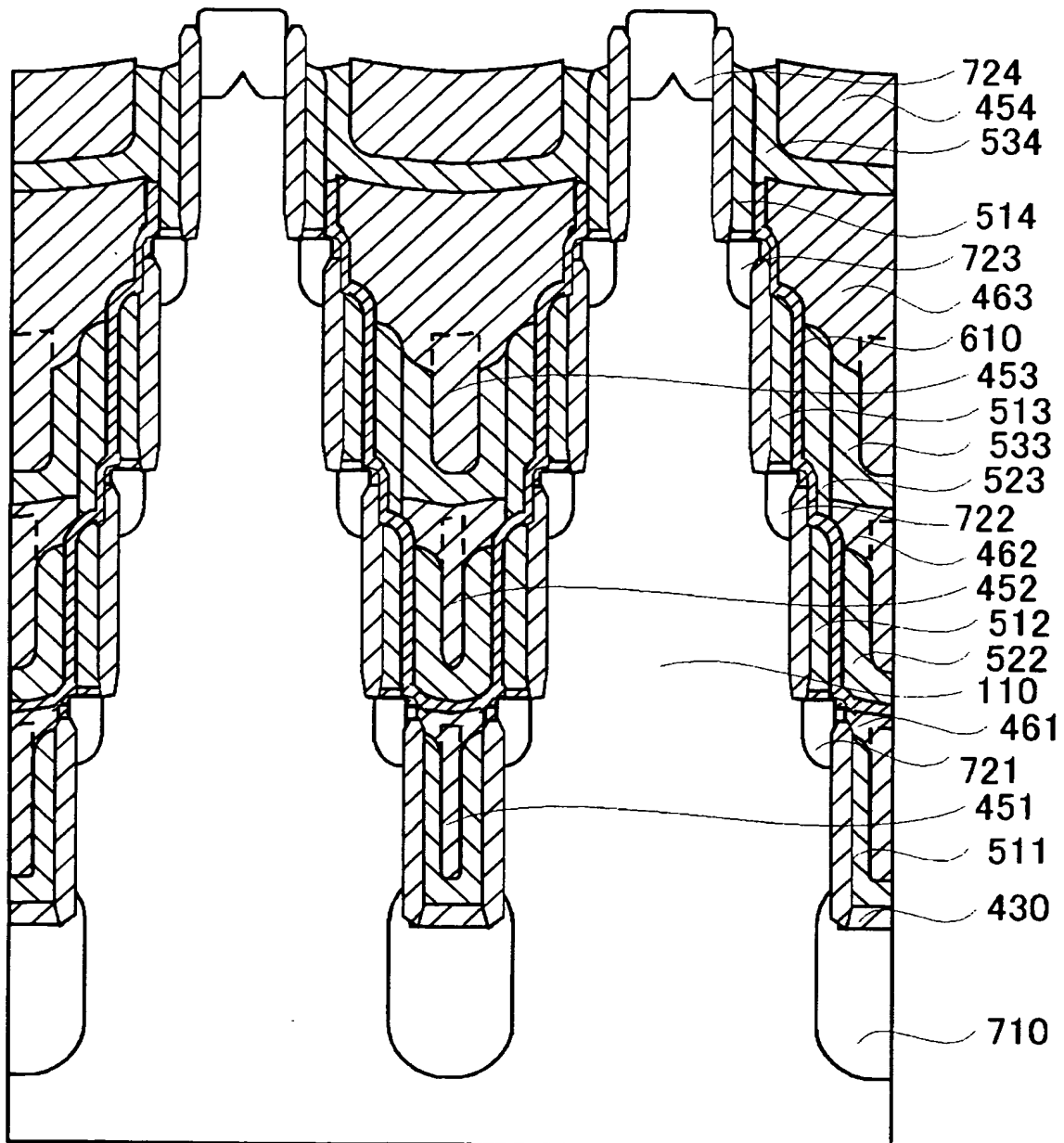
【図 198】



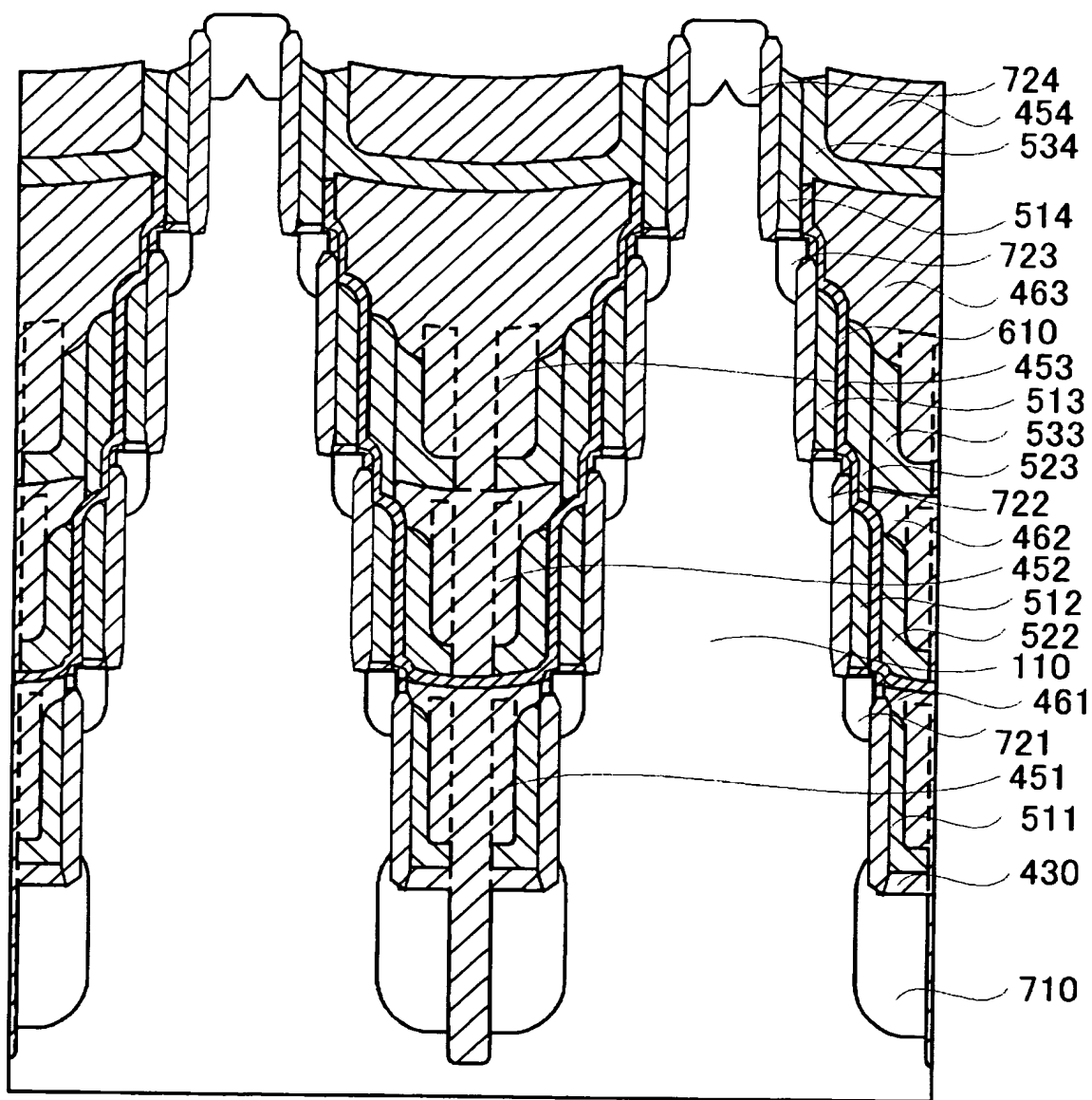
【図 199】



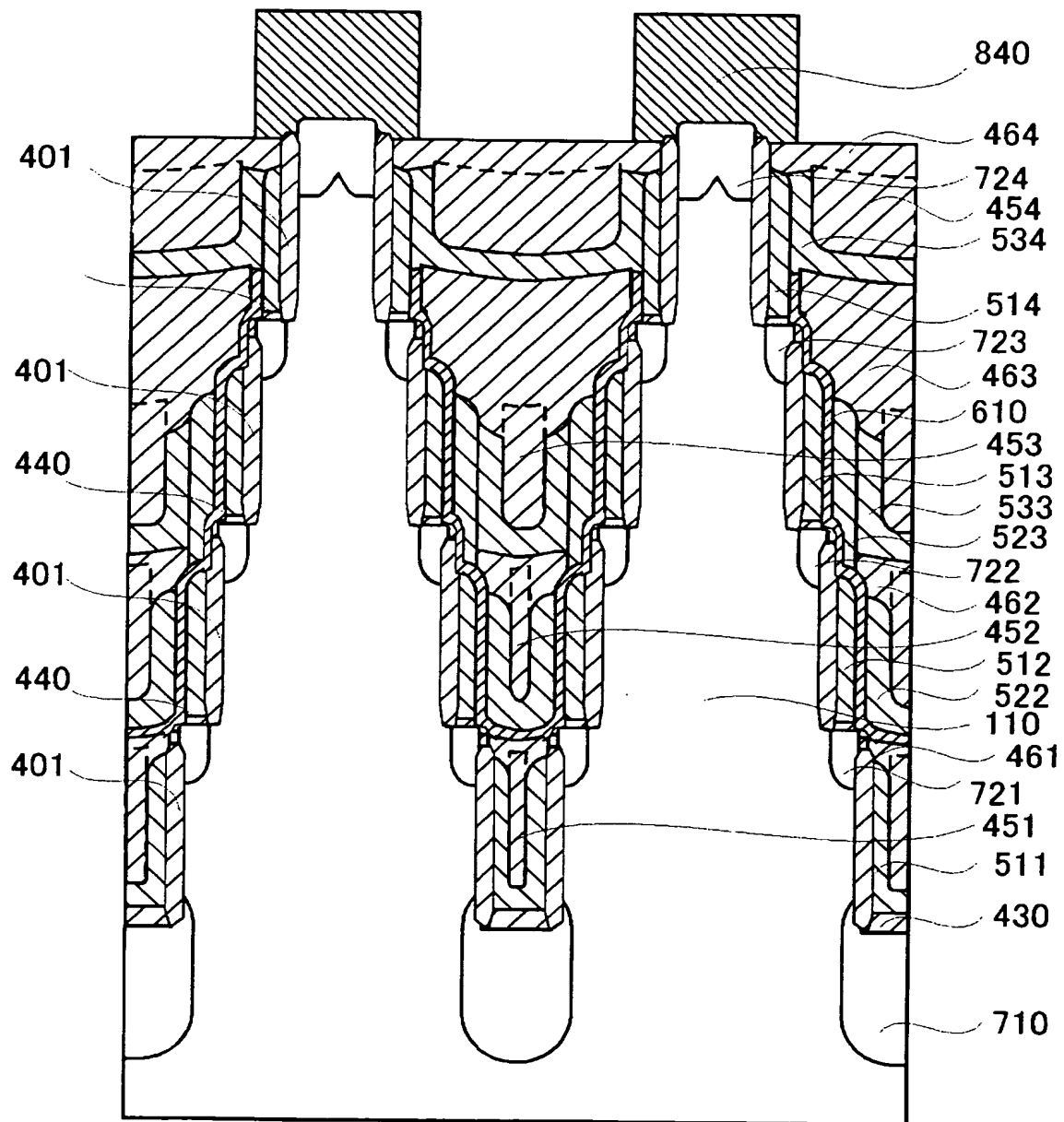
【図 200】



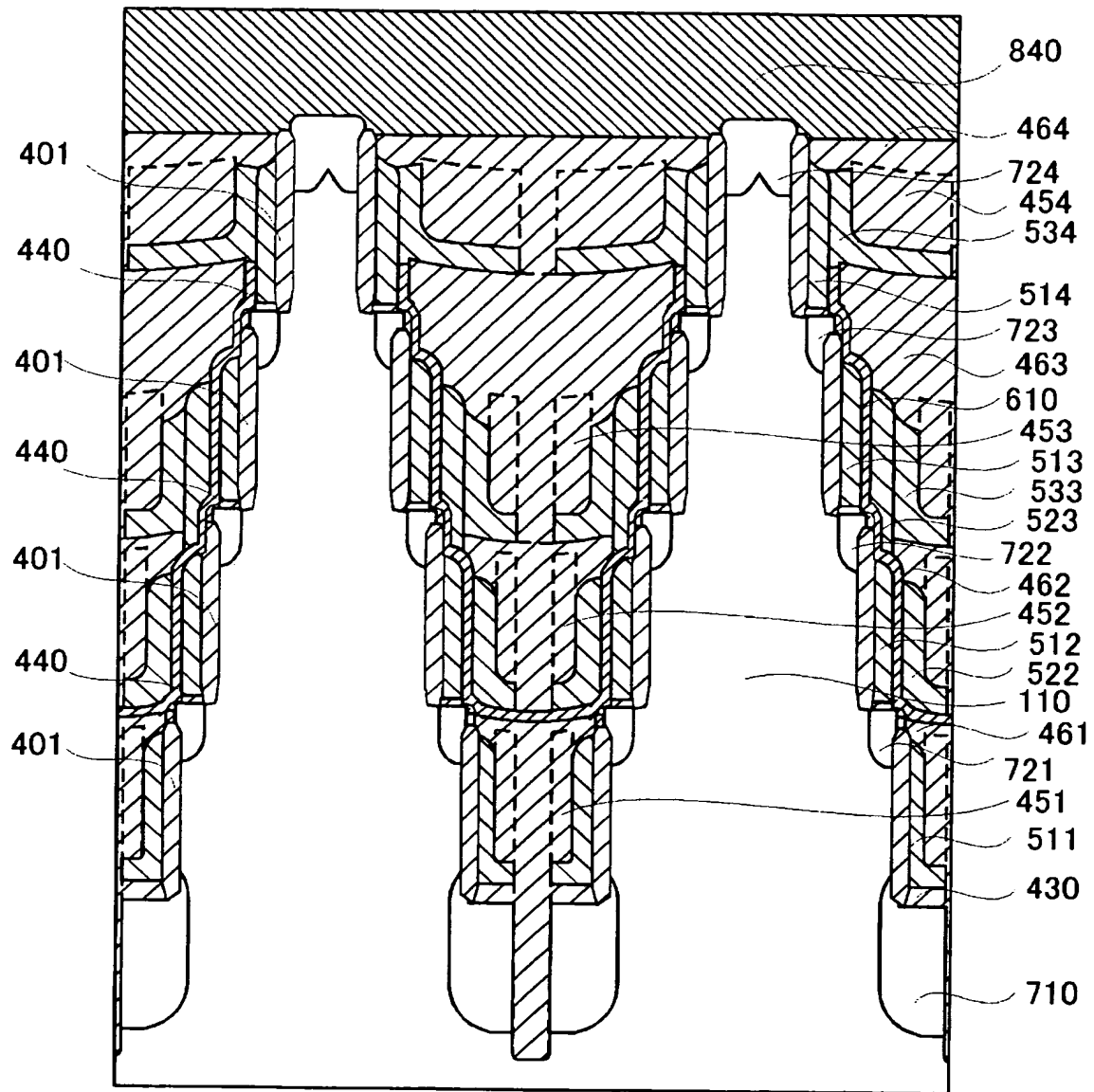
【図 201】



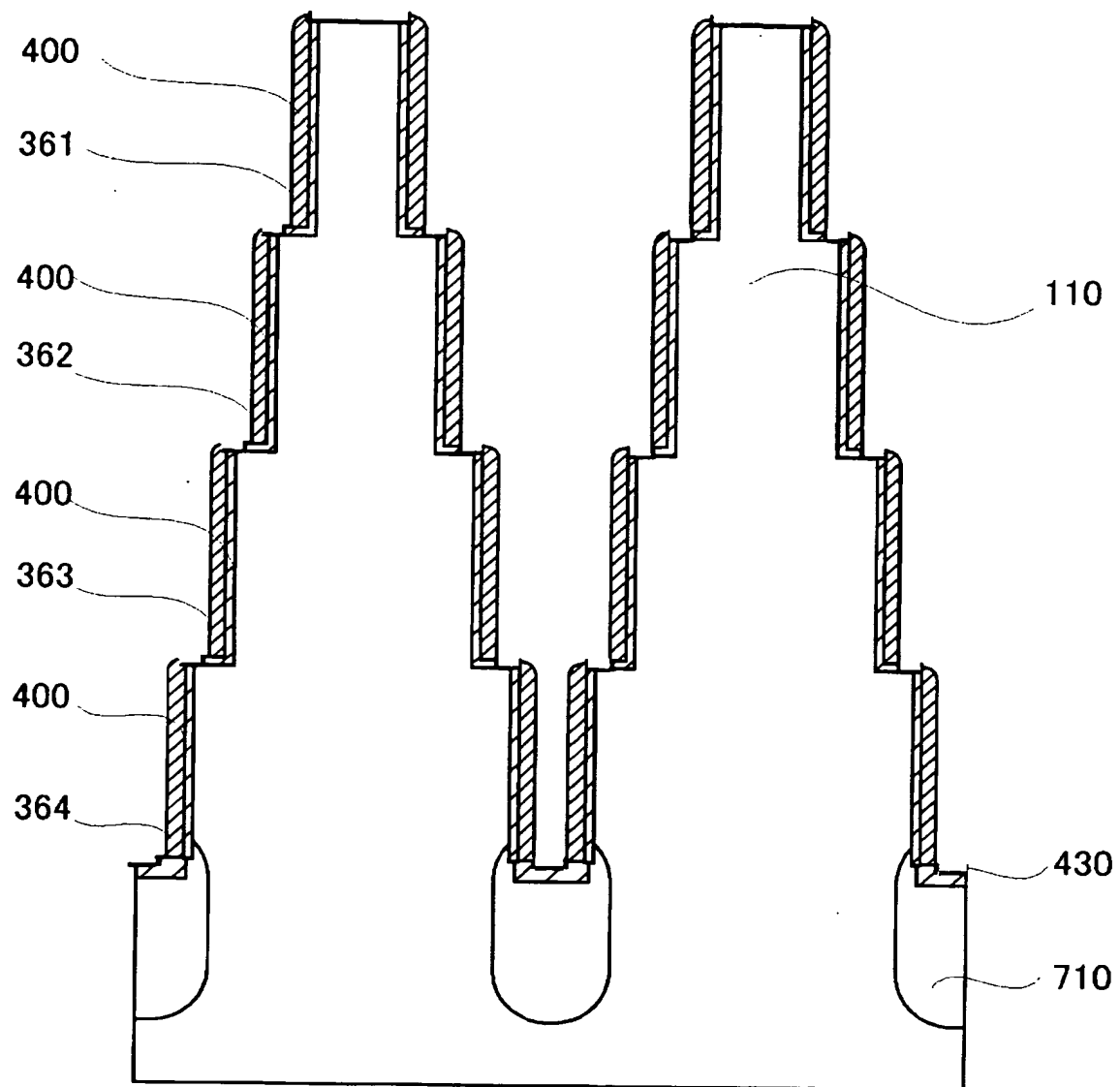
【図 202】



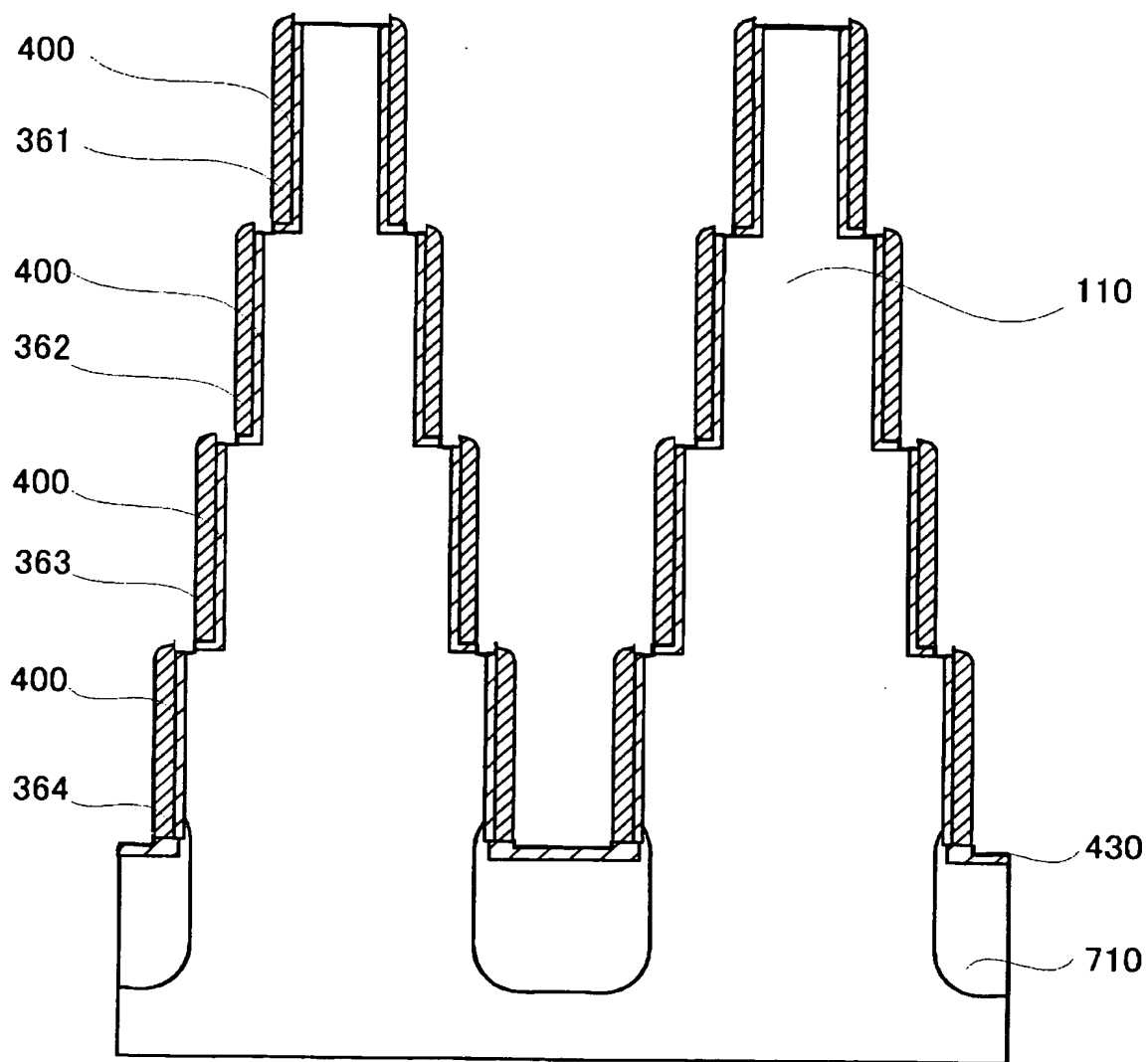
【図 203】



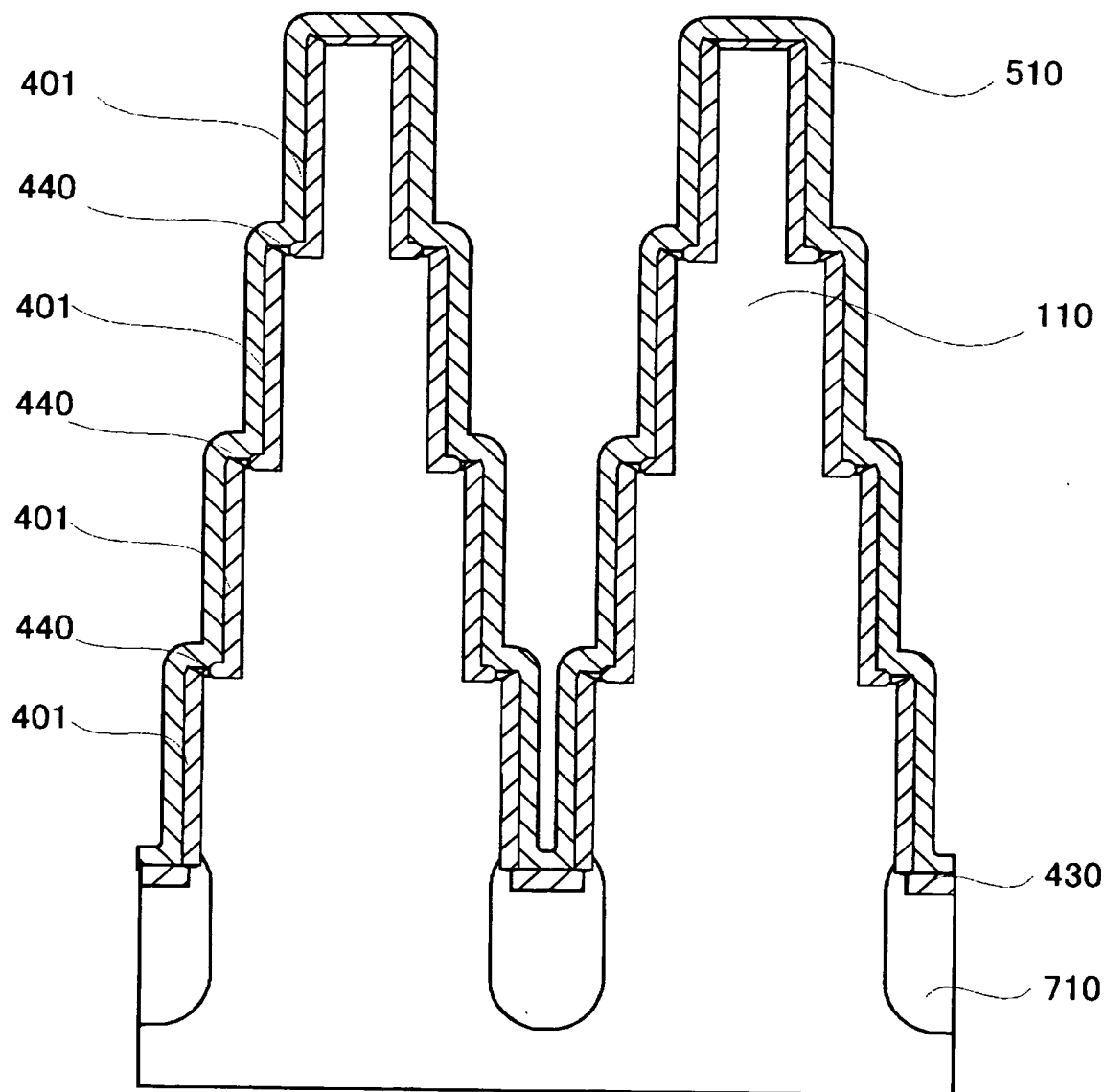
【図 204】



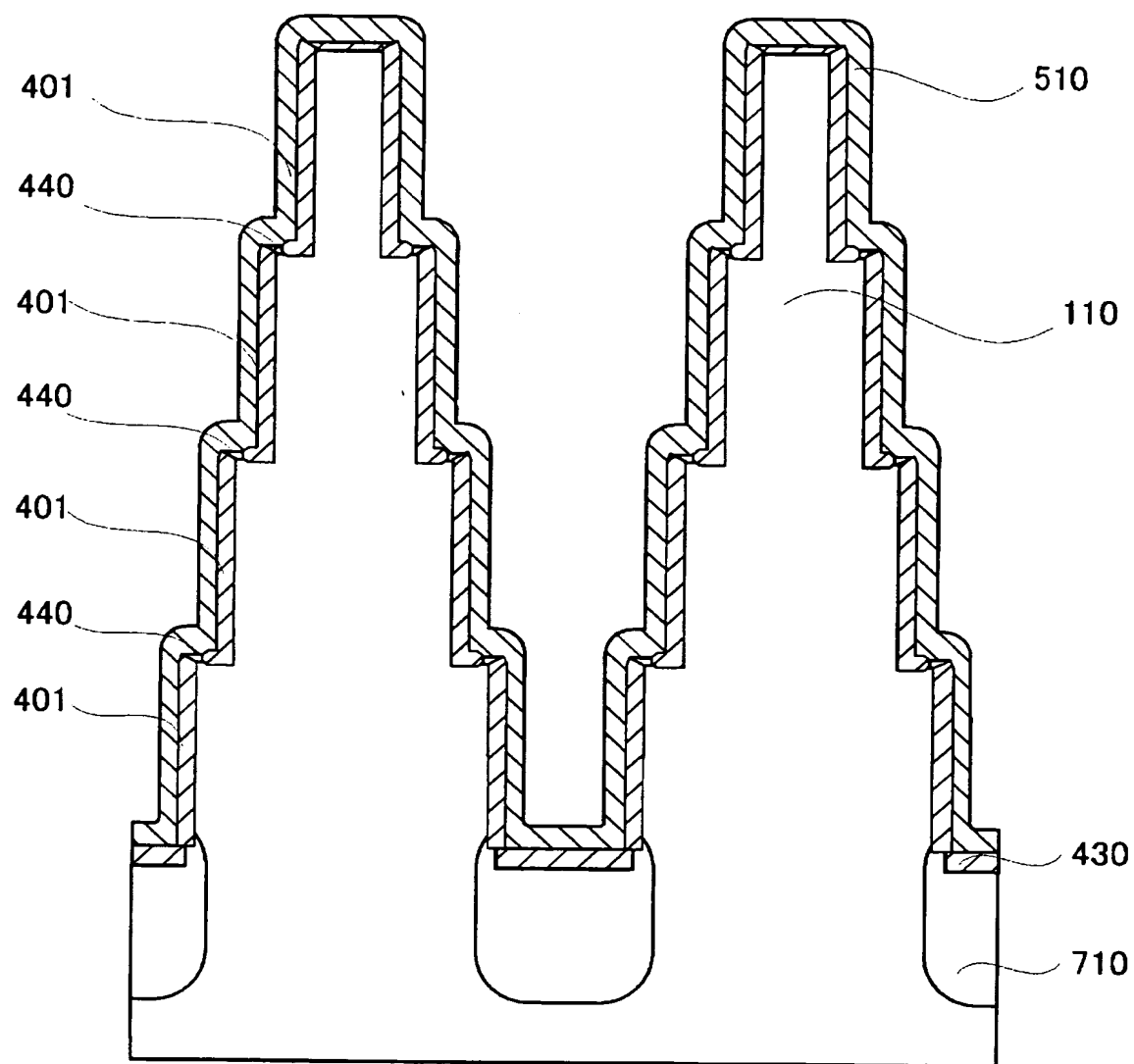
【図 205】



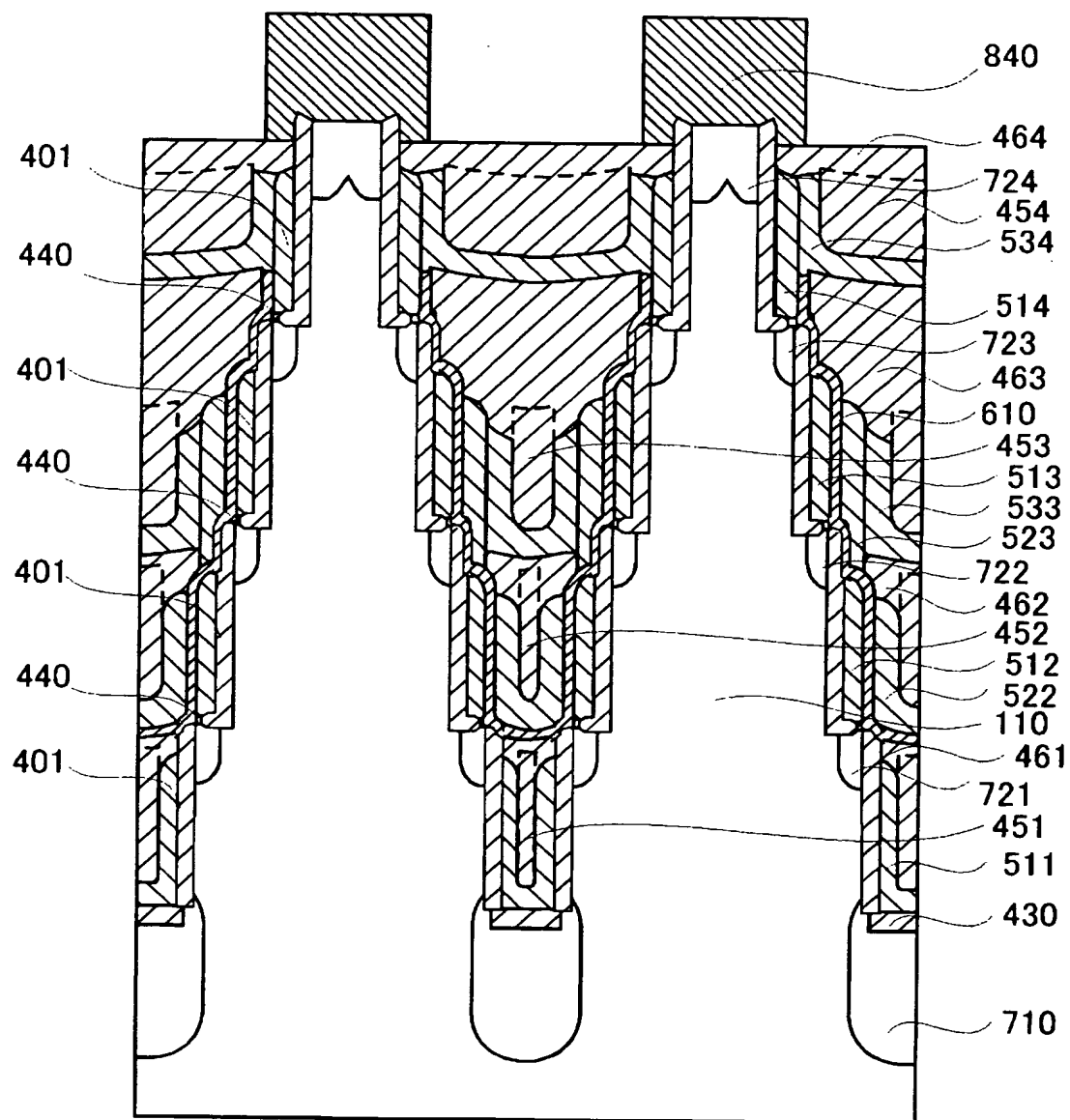
【図 206】



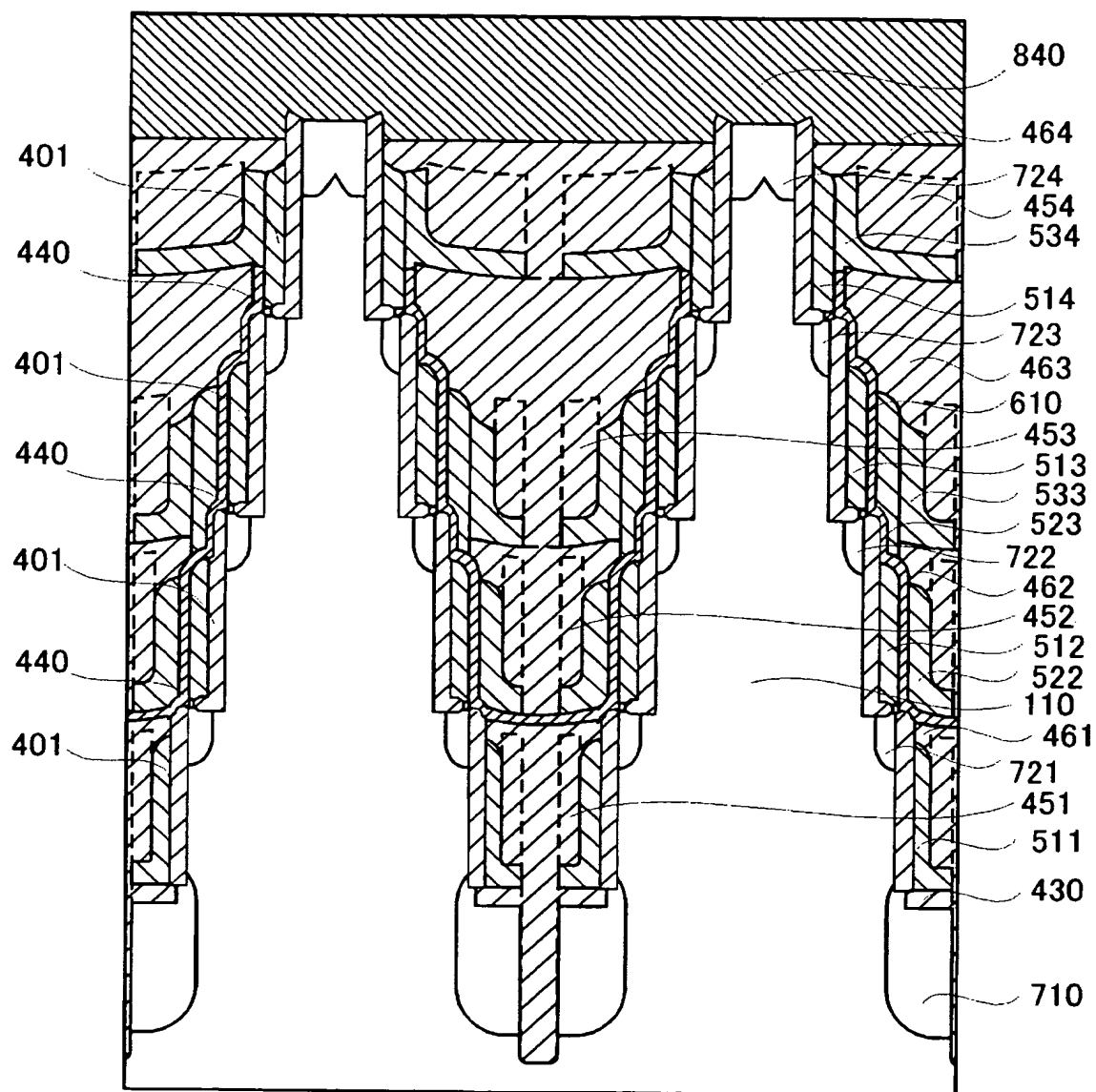
【図 207】



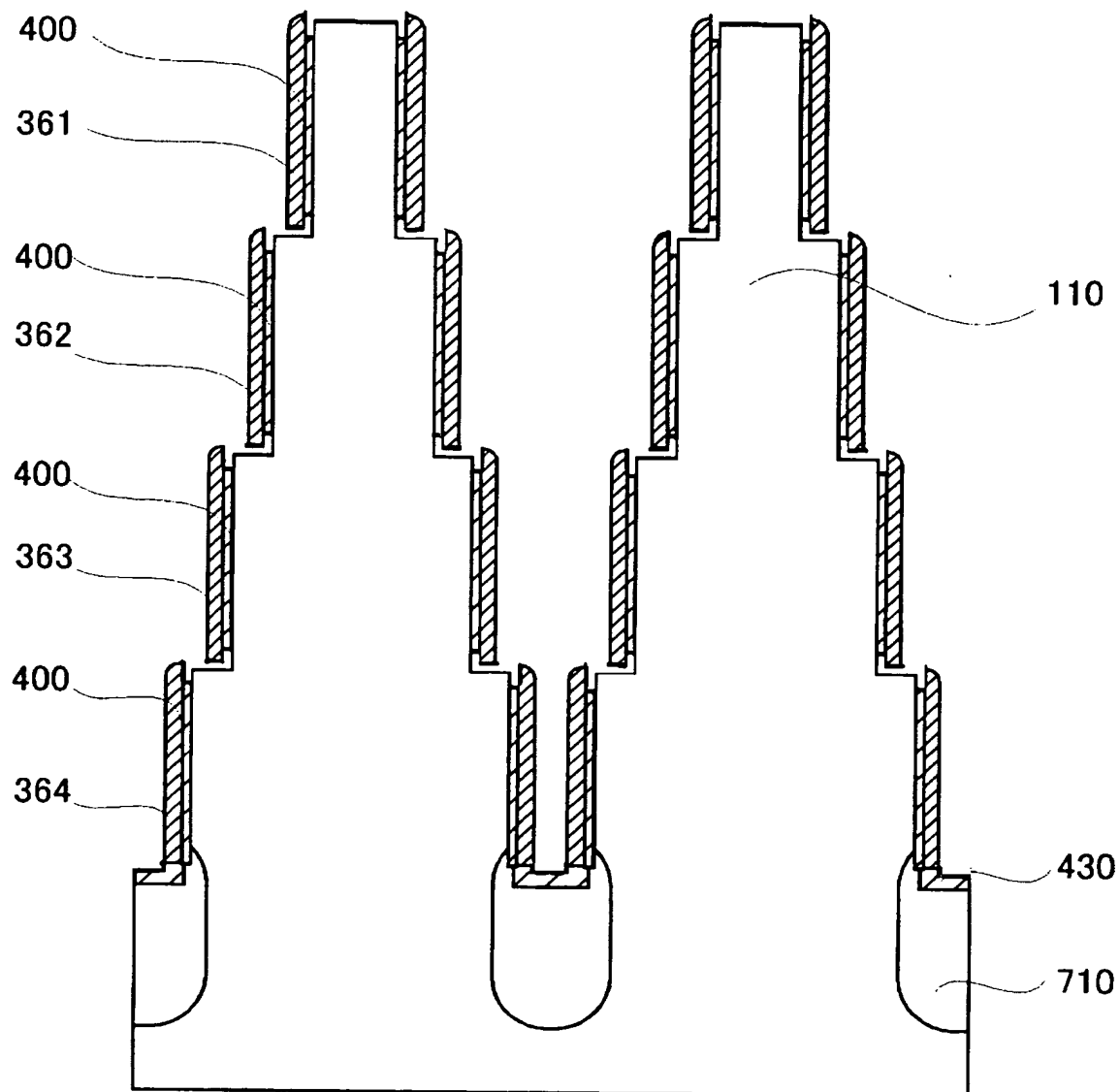
【図 208】



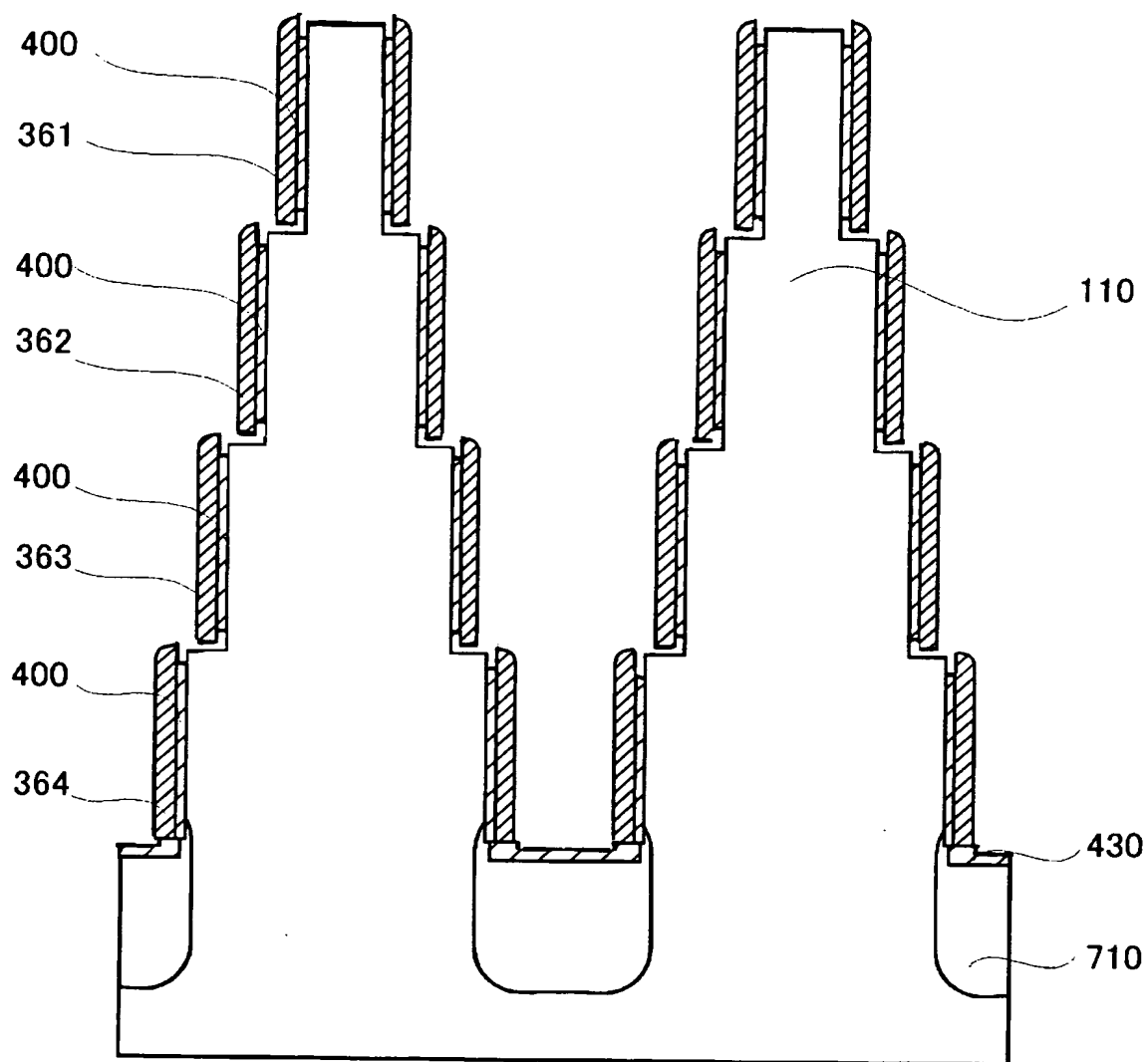
【図 209】



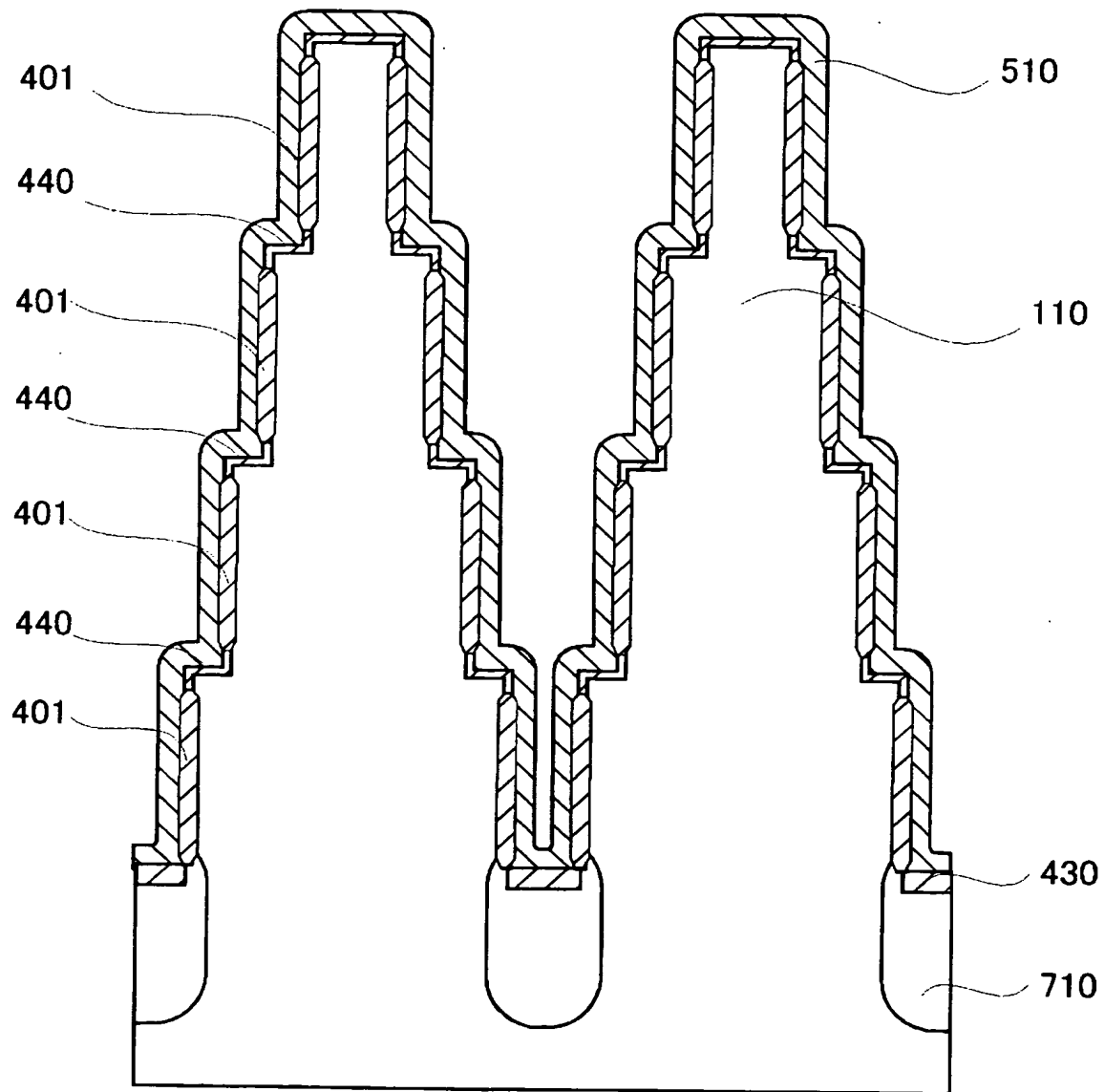
【図 210】



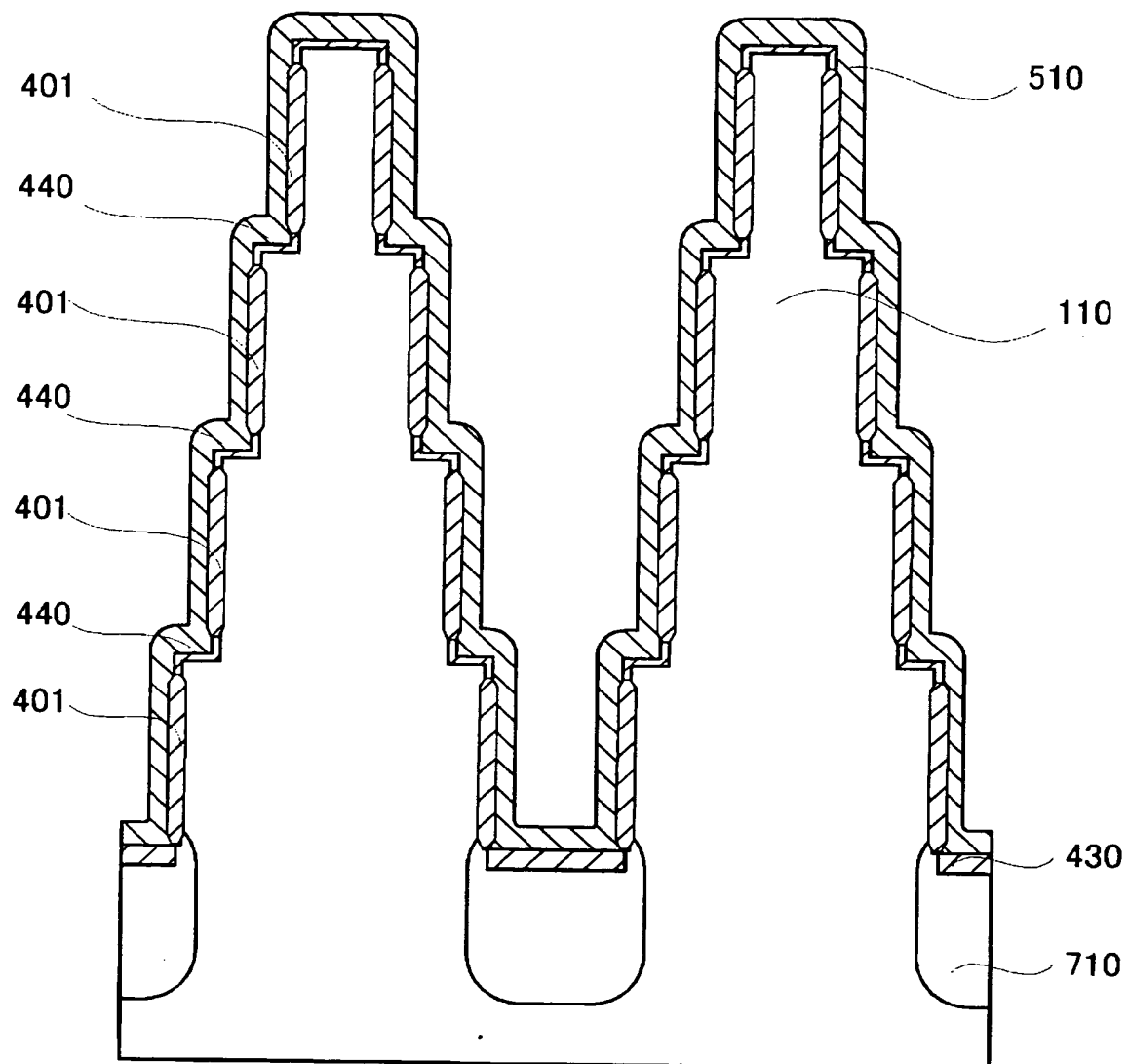
【図 2 1 1】



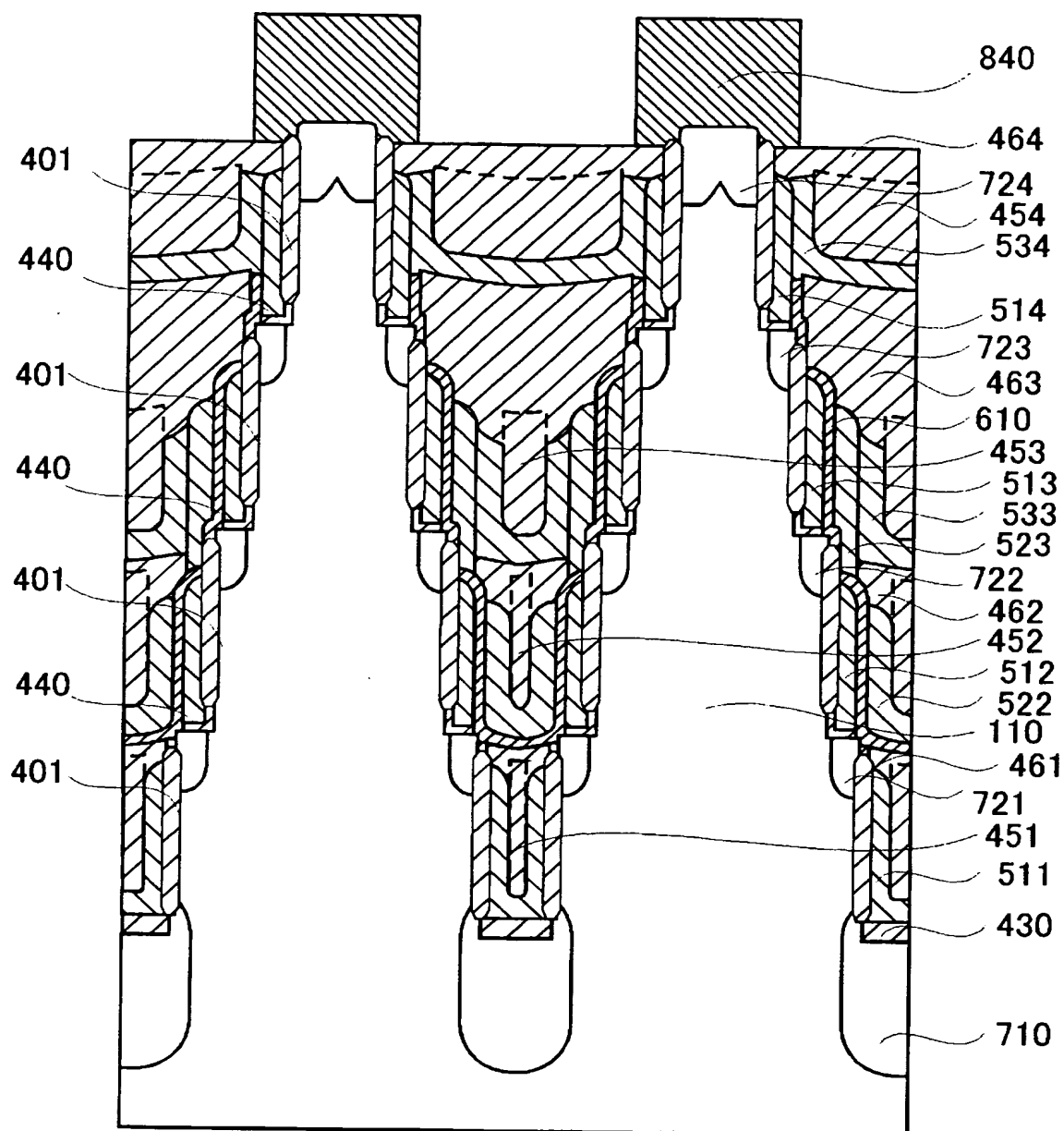
【図 212】



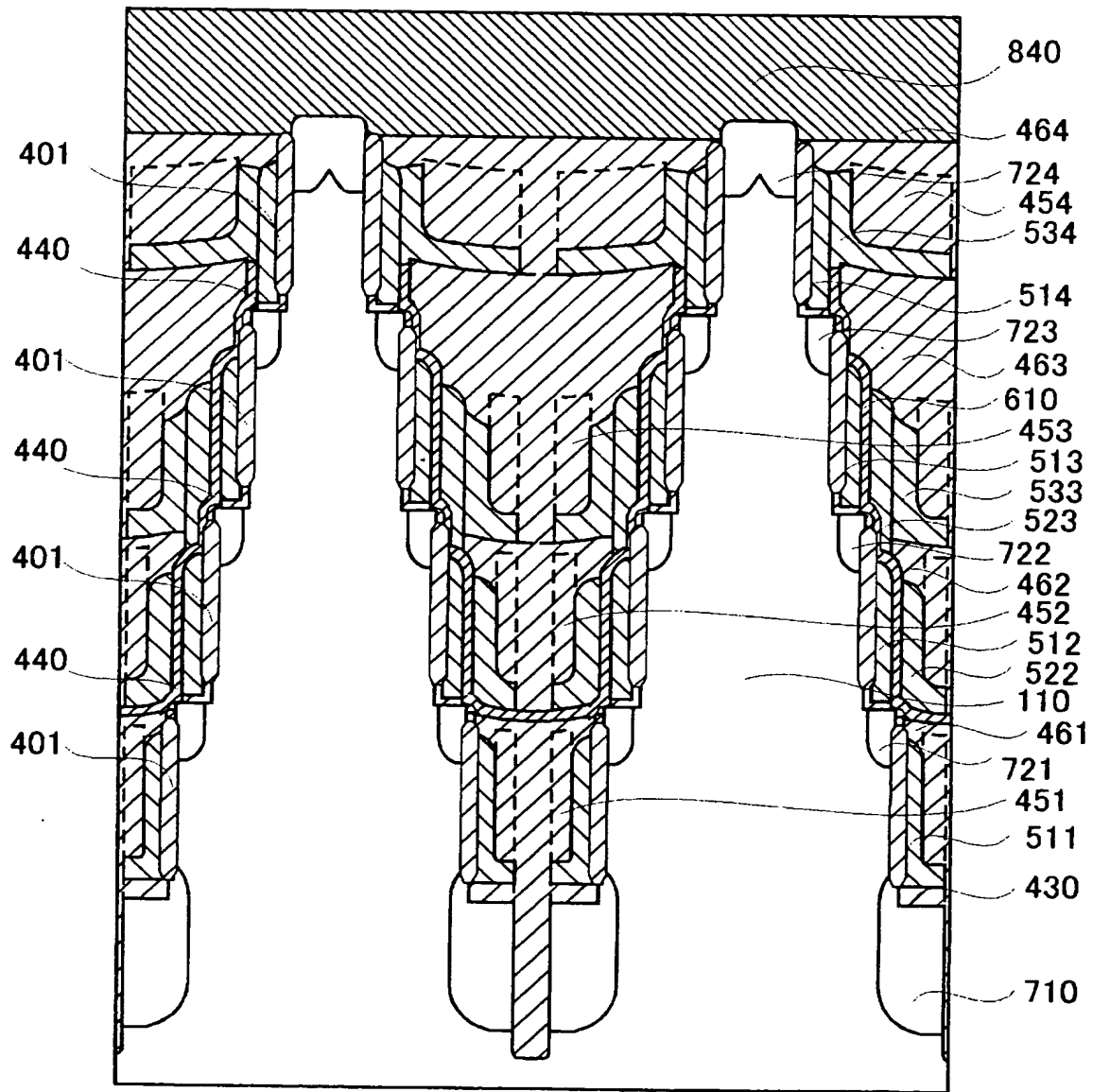
【図 213】



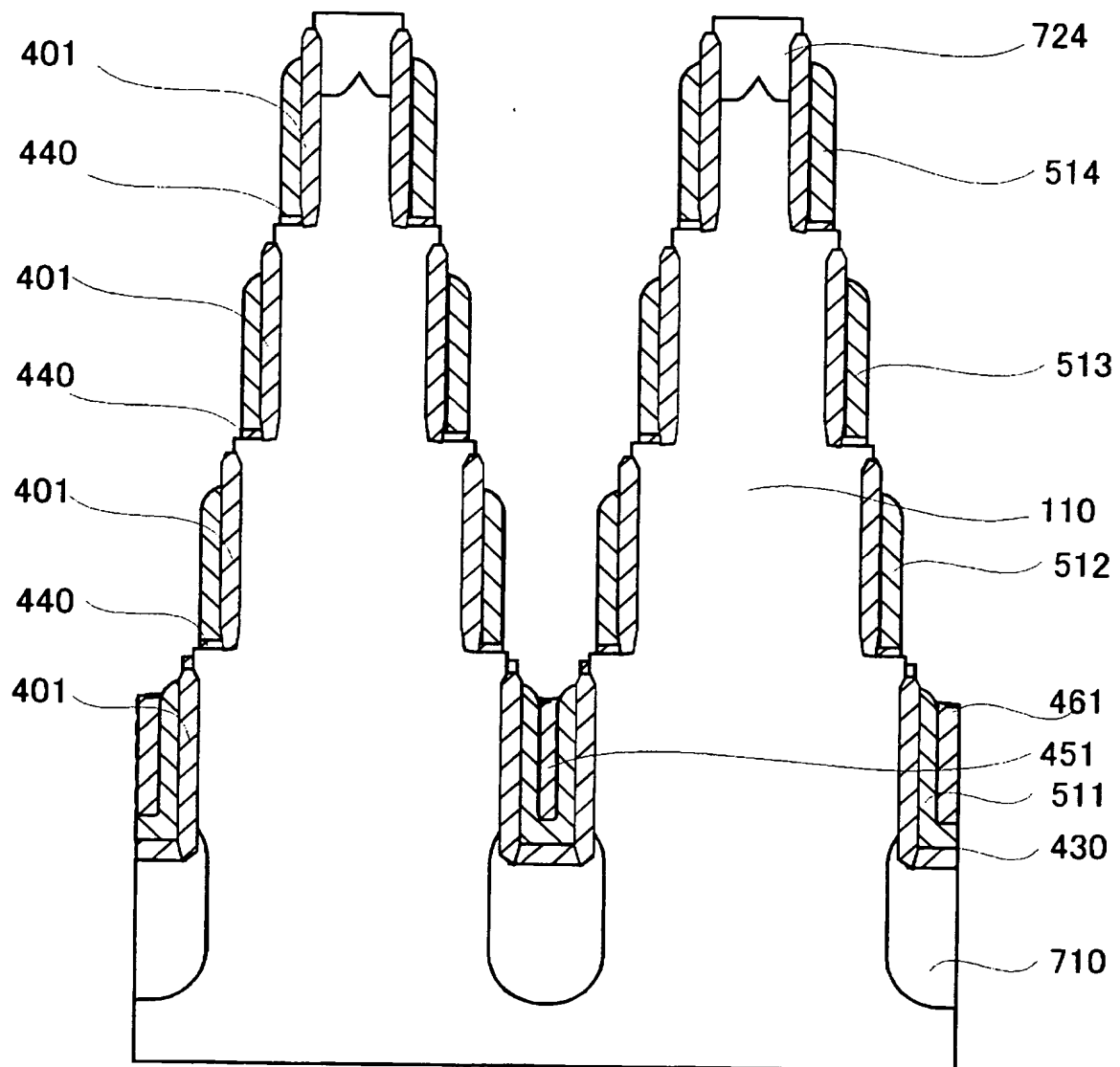
【図 214】



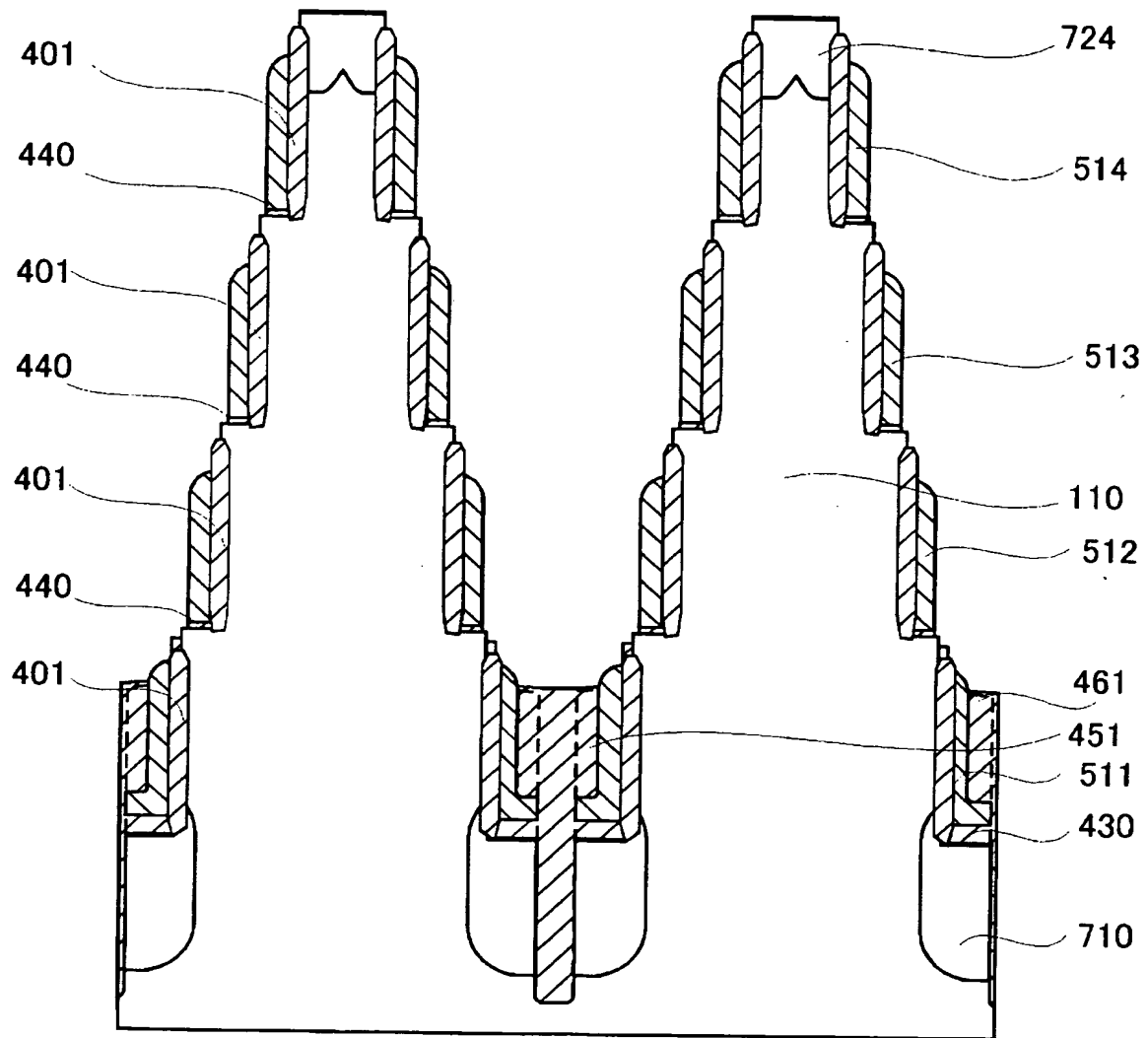
【図 215】



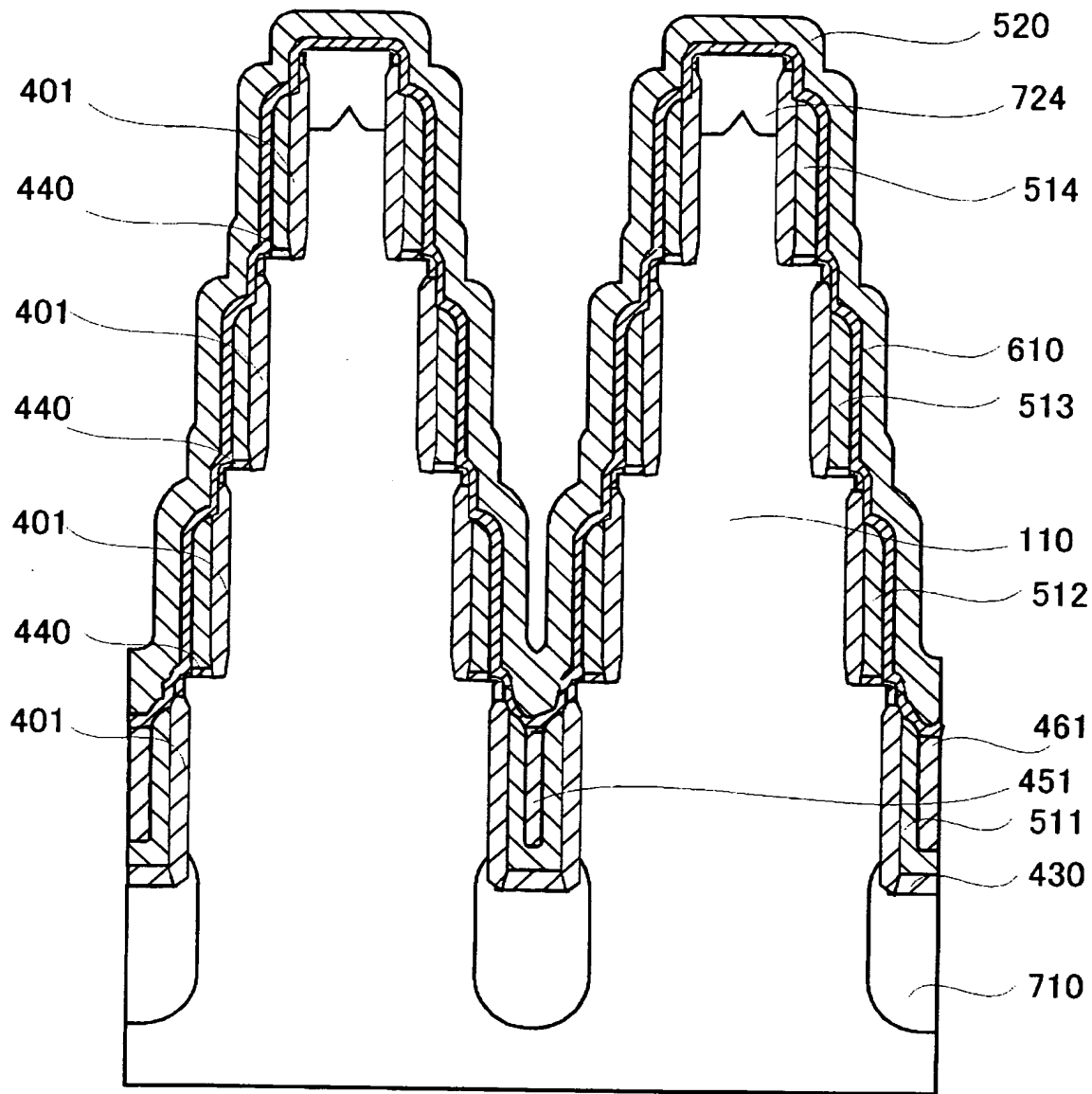
【図 216】



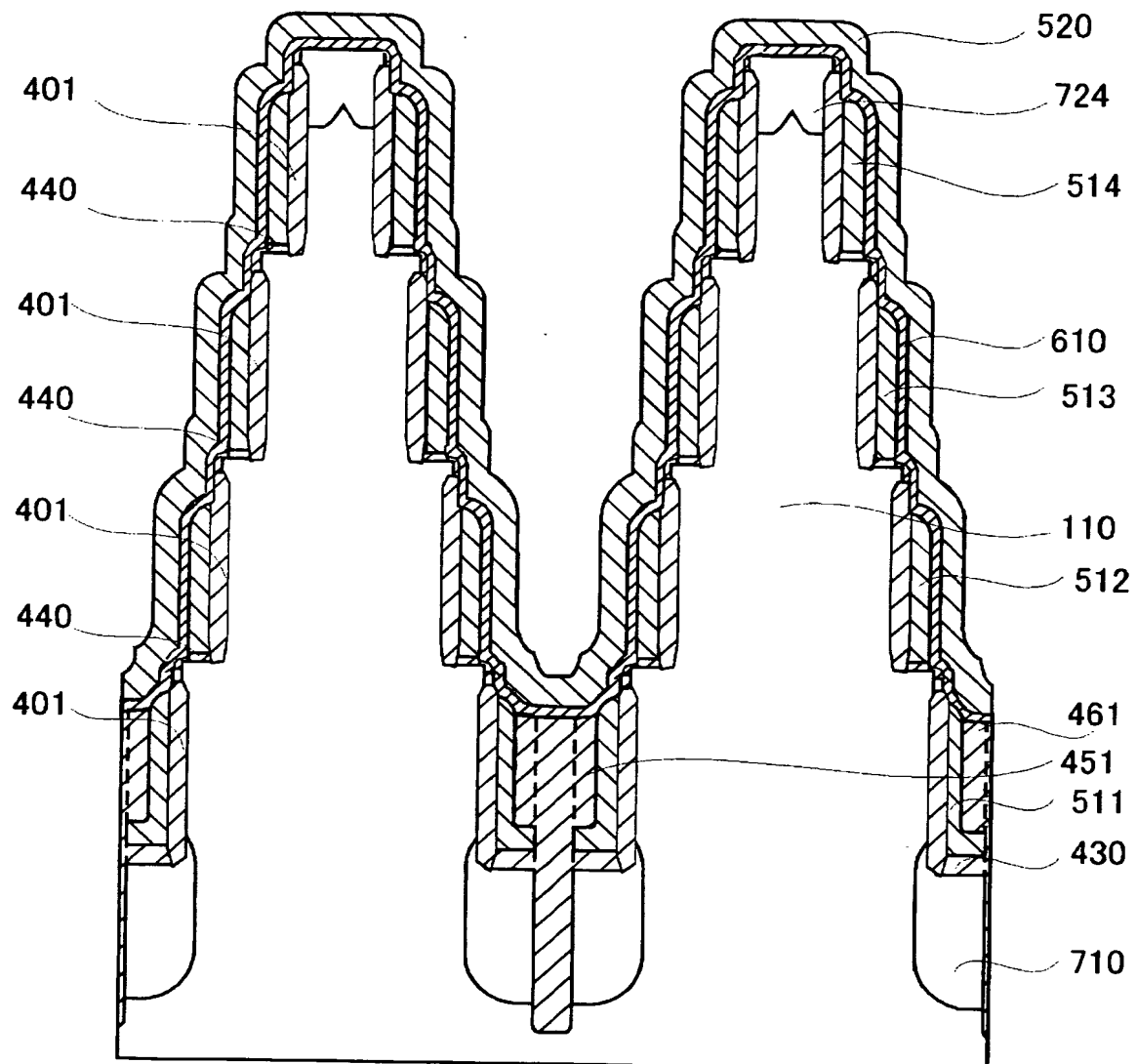
【図 217】



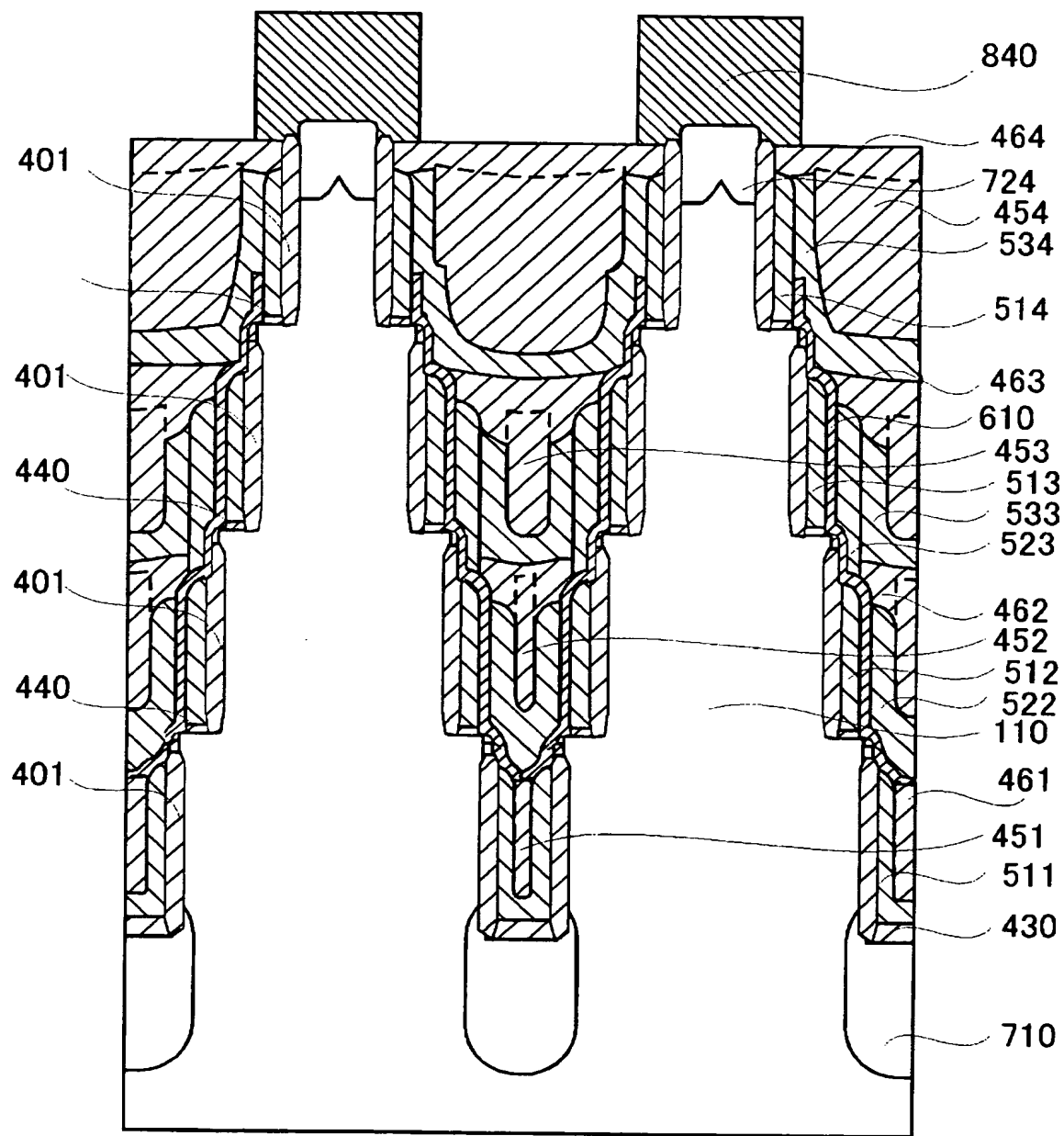
【図 218】



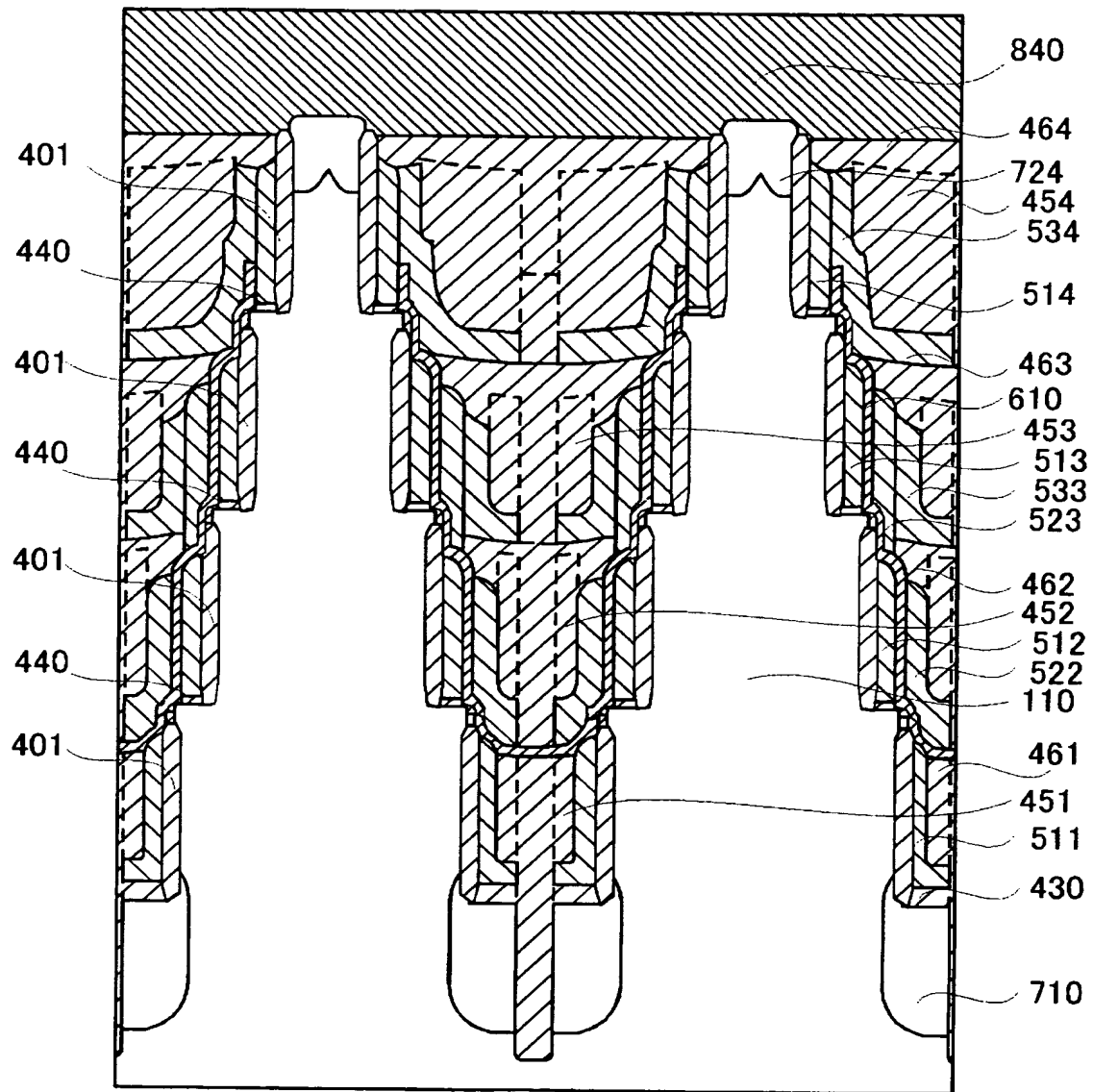
【図 219】



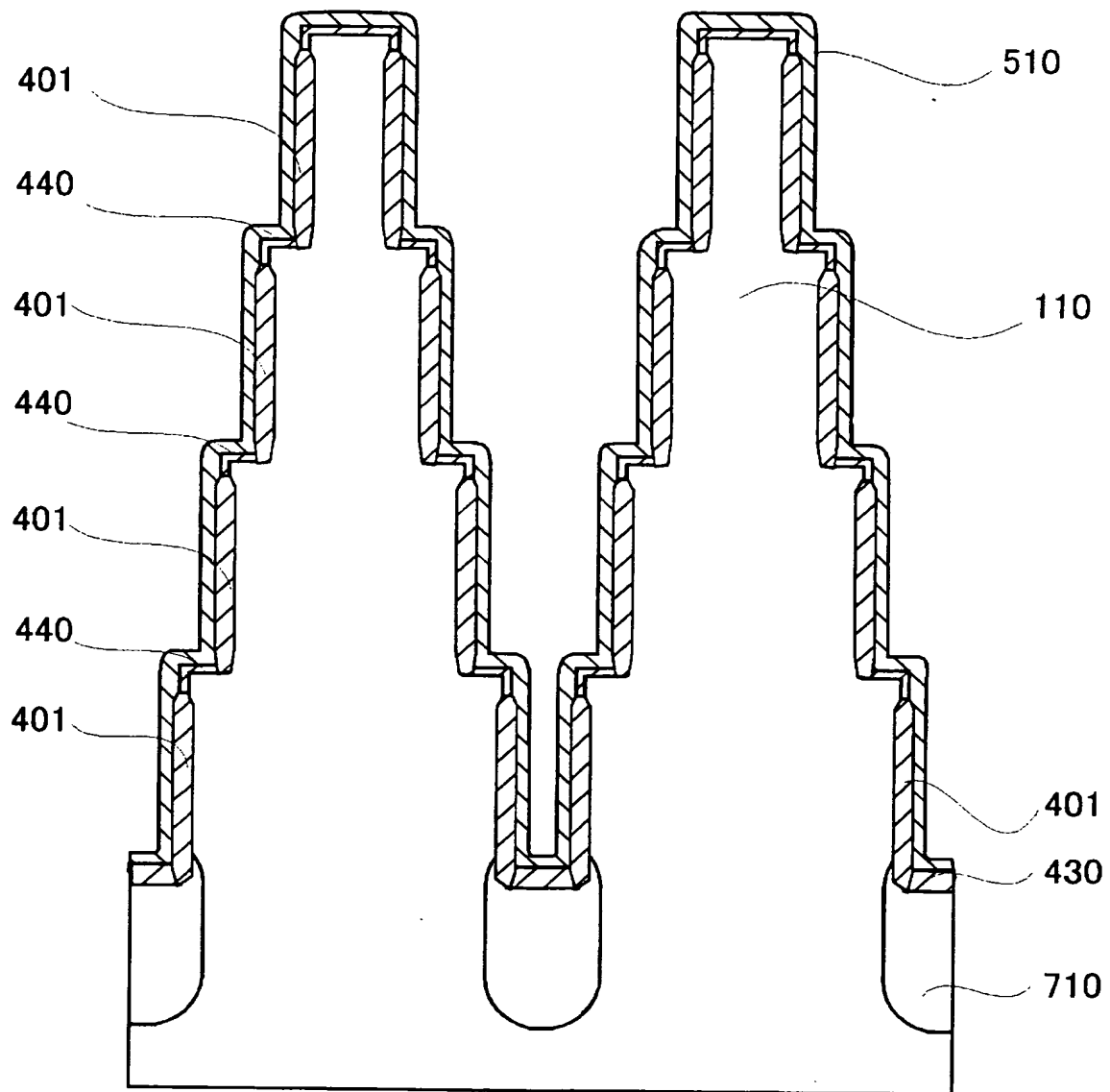
【図 220】



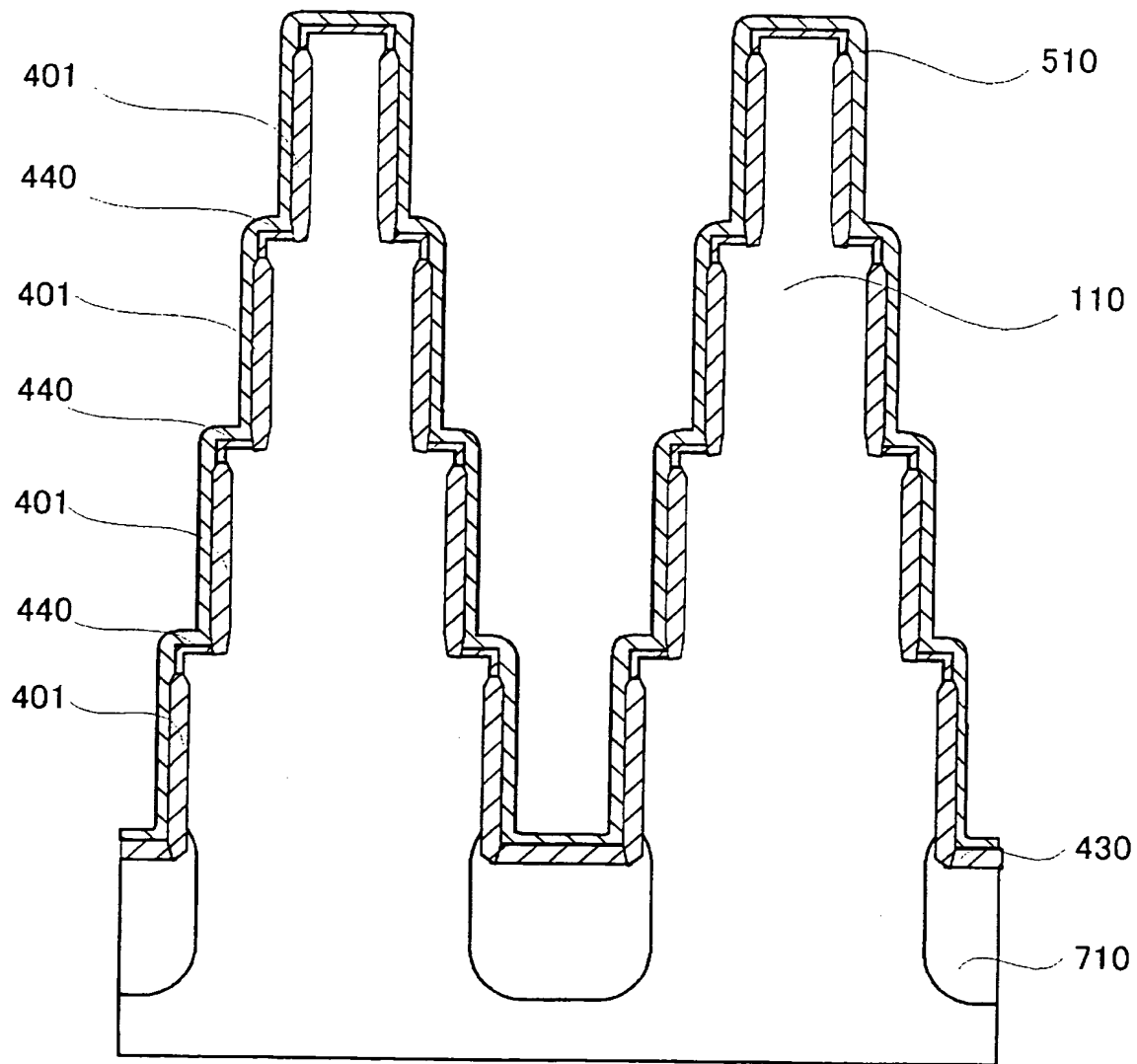
【図 221】



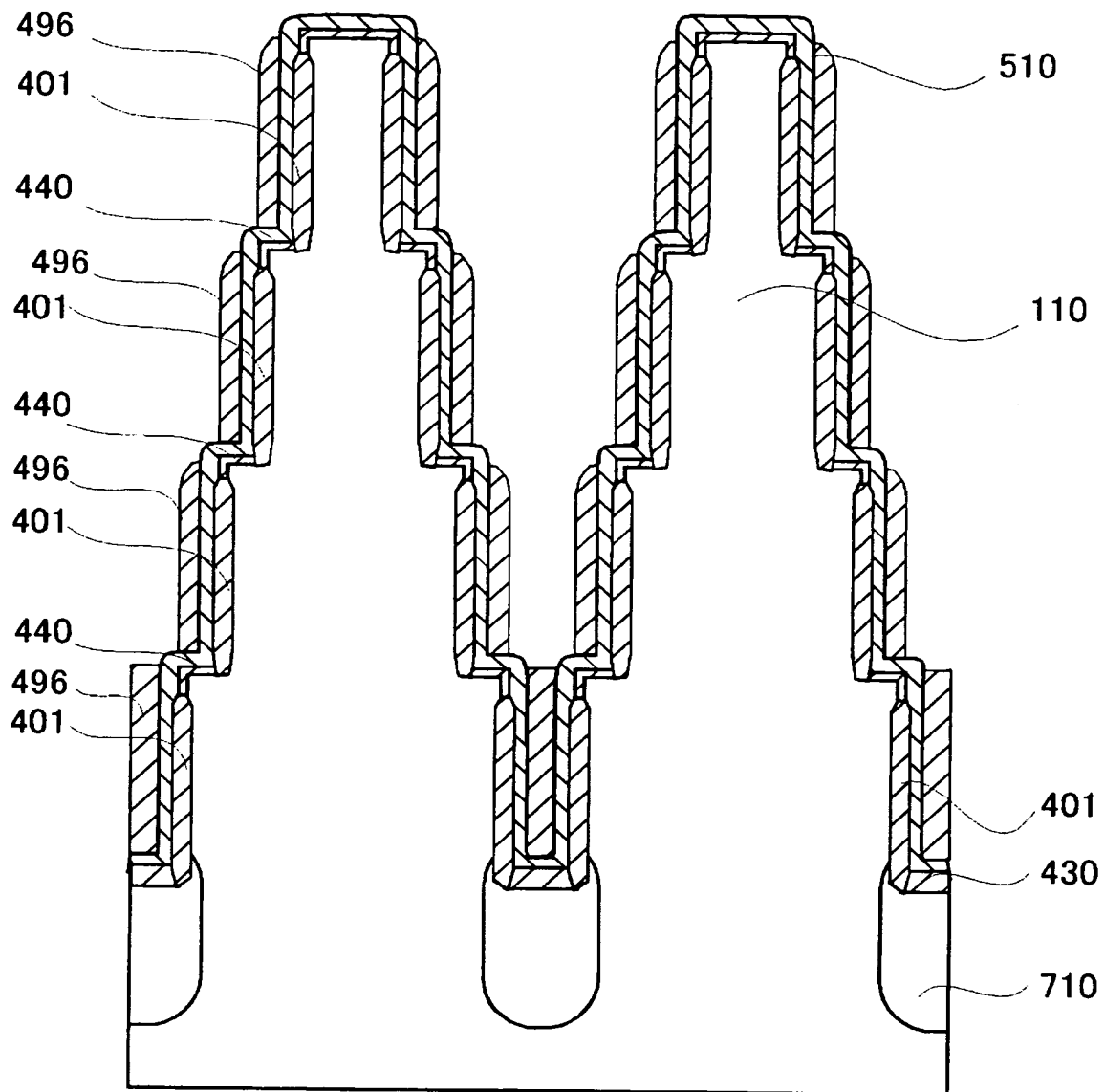
【図 222】



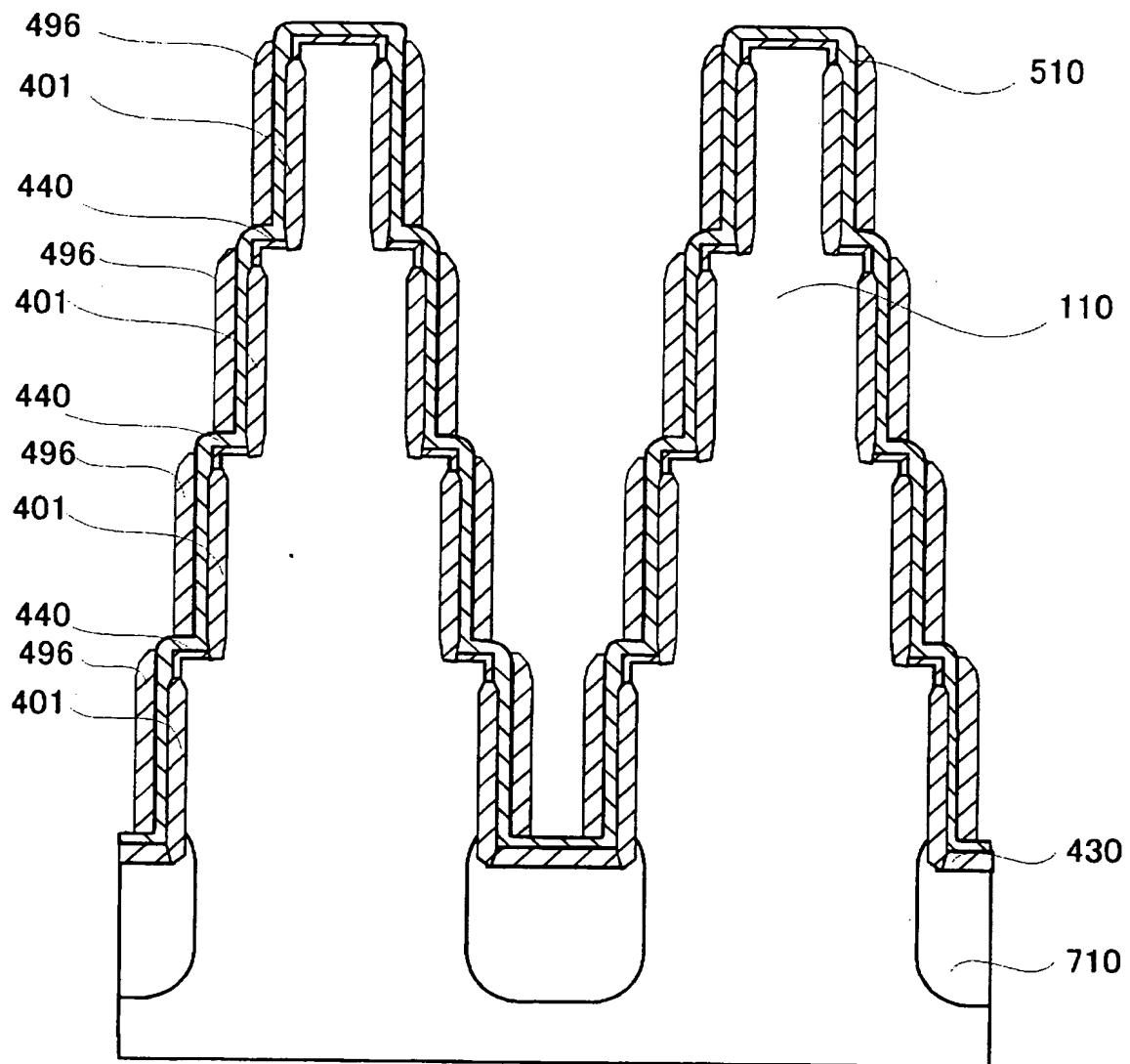
【図 2 2 3】



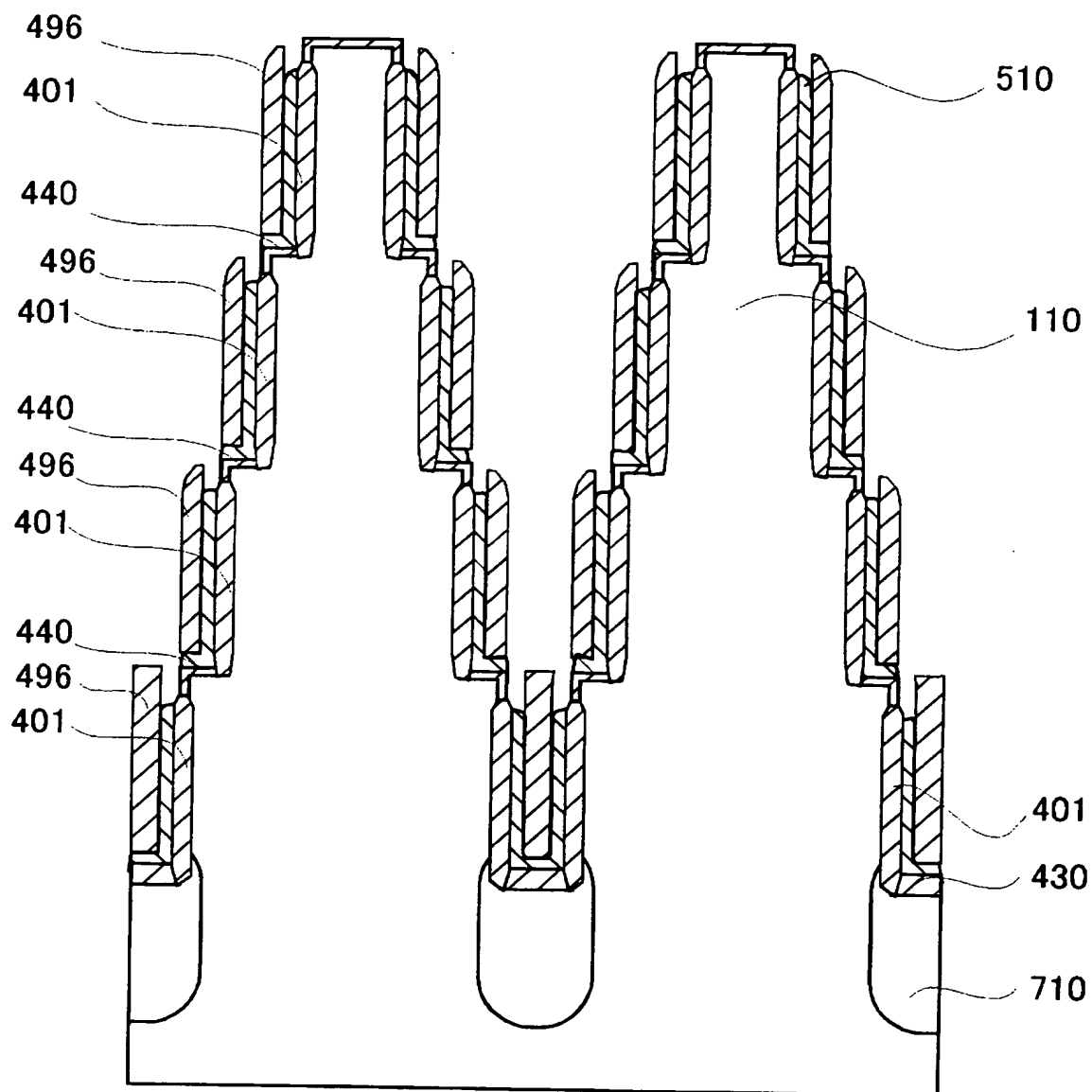
【図 224】



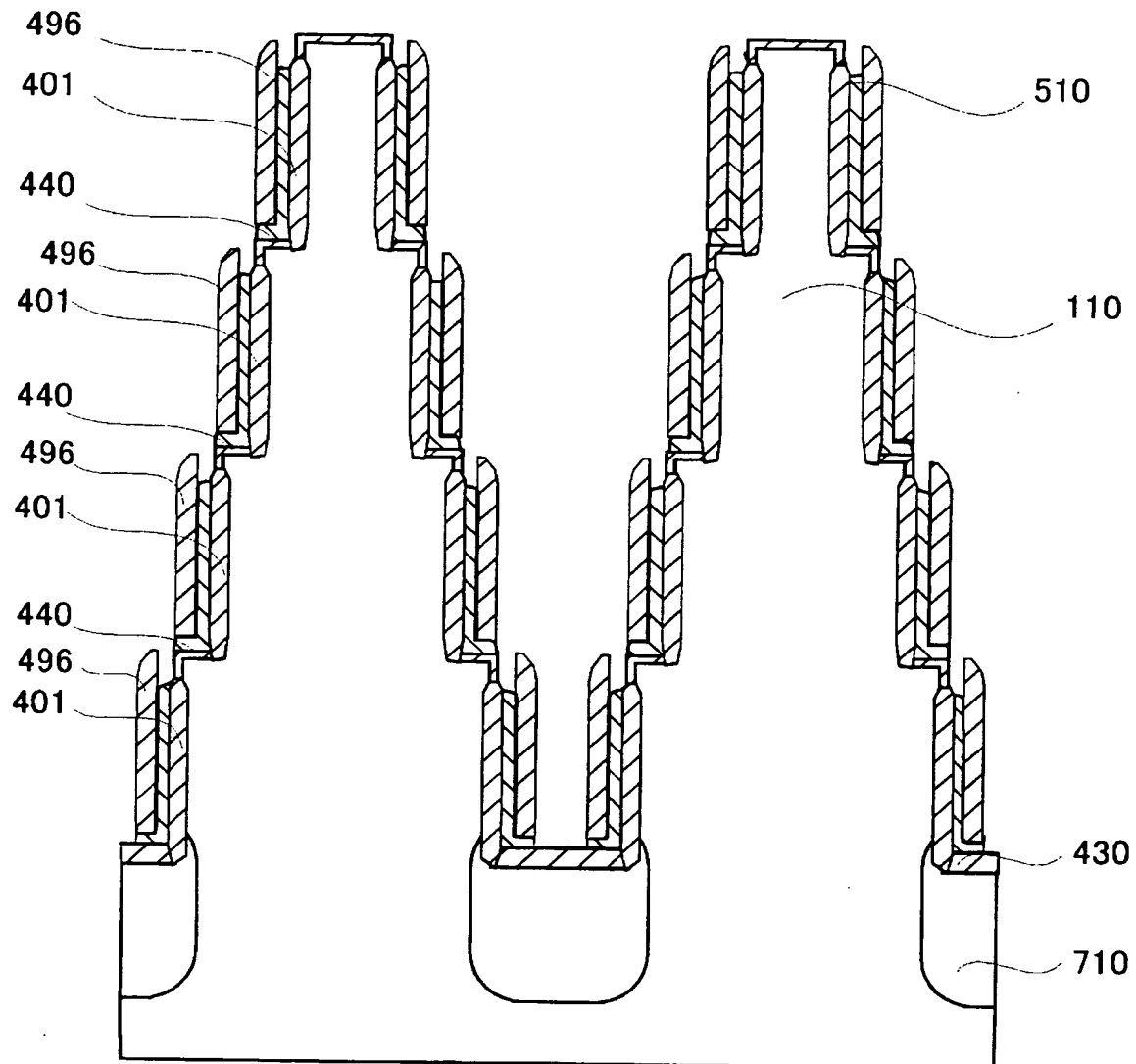
【図 225】



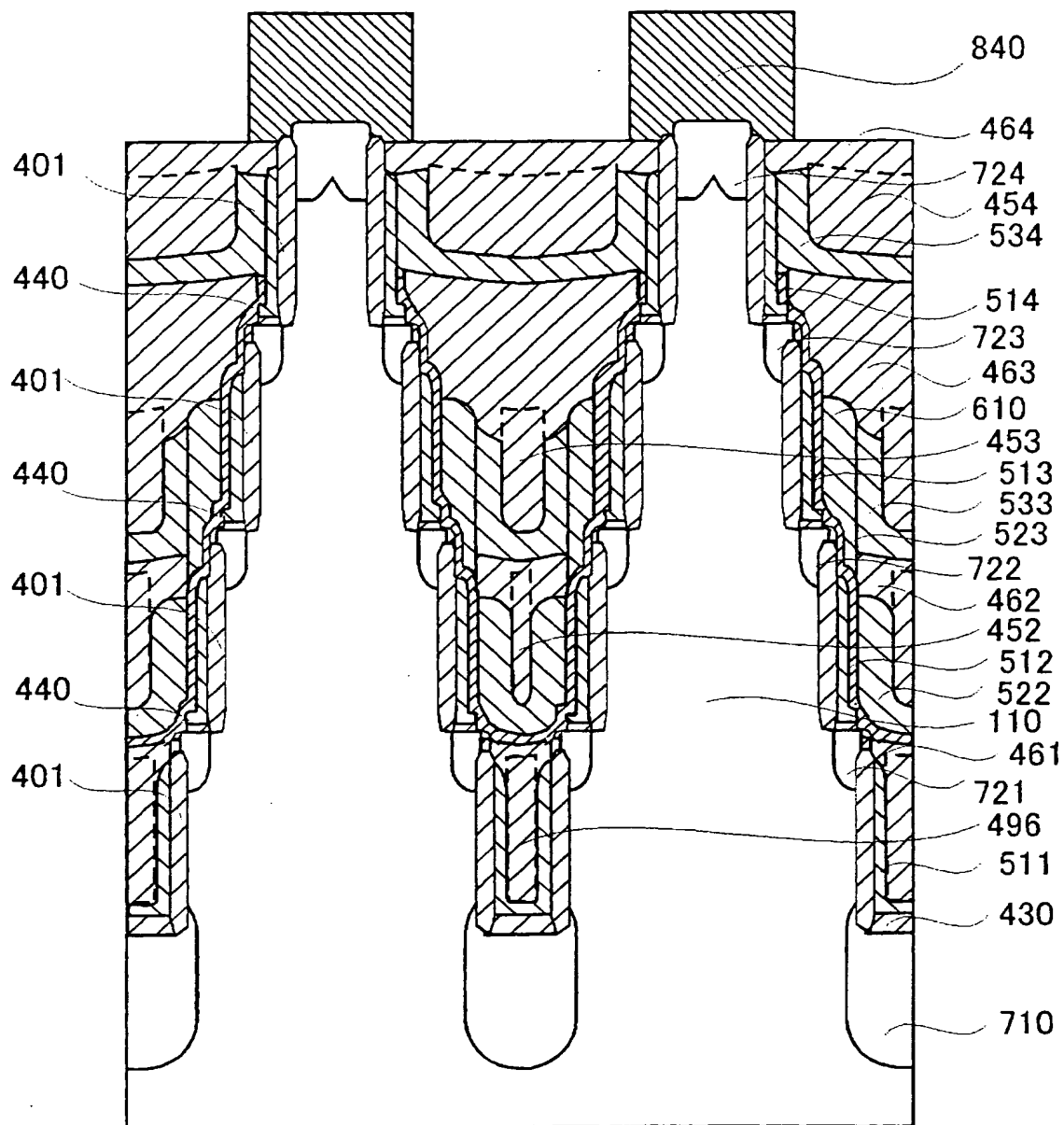
【図 226】



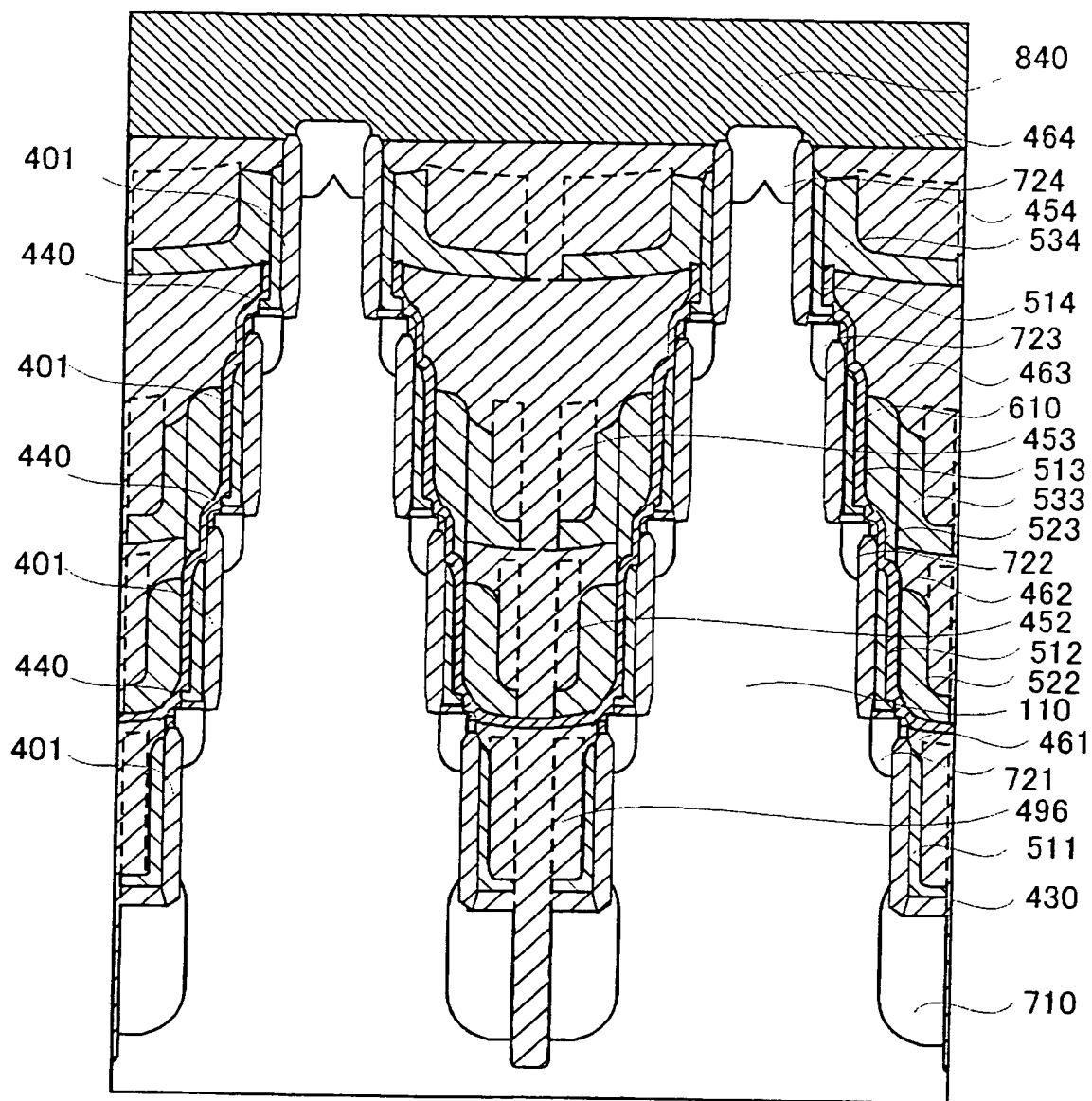
【図 227】



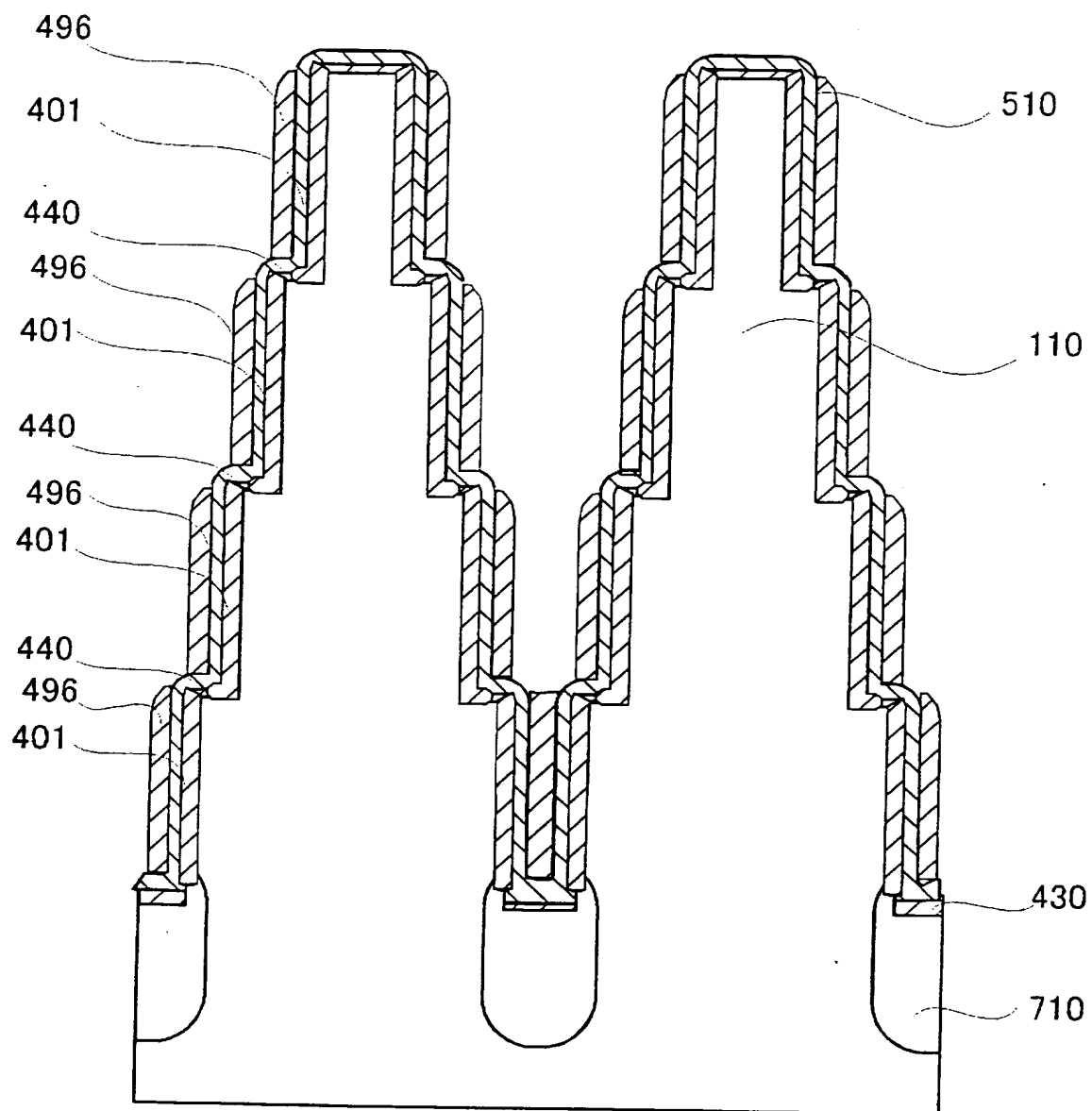
【図 228】



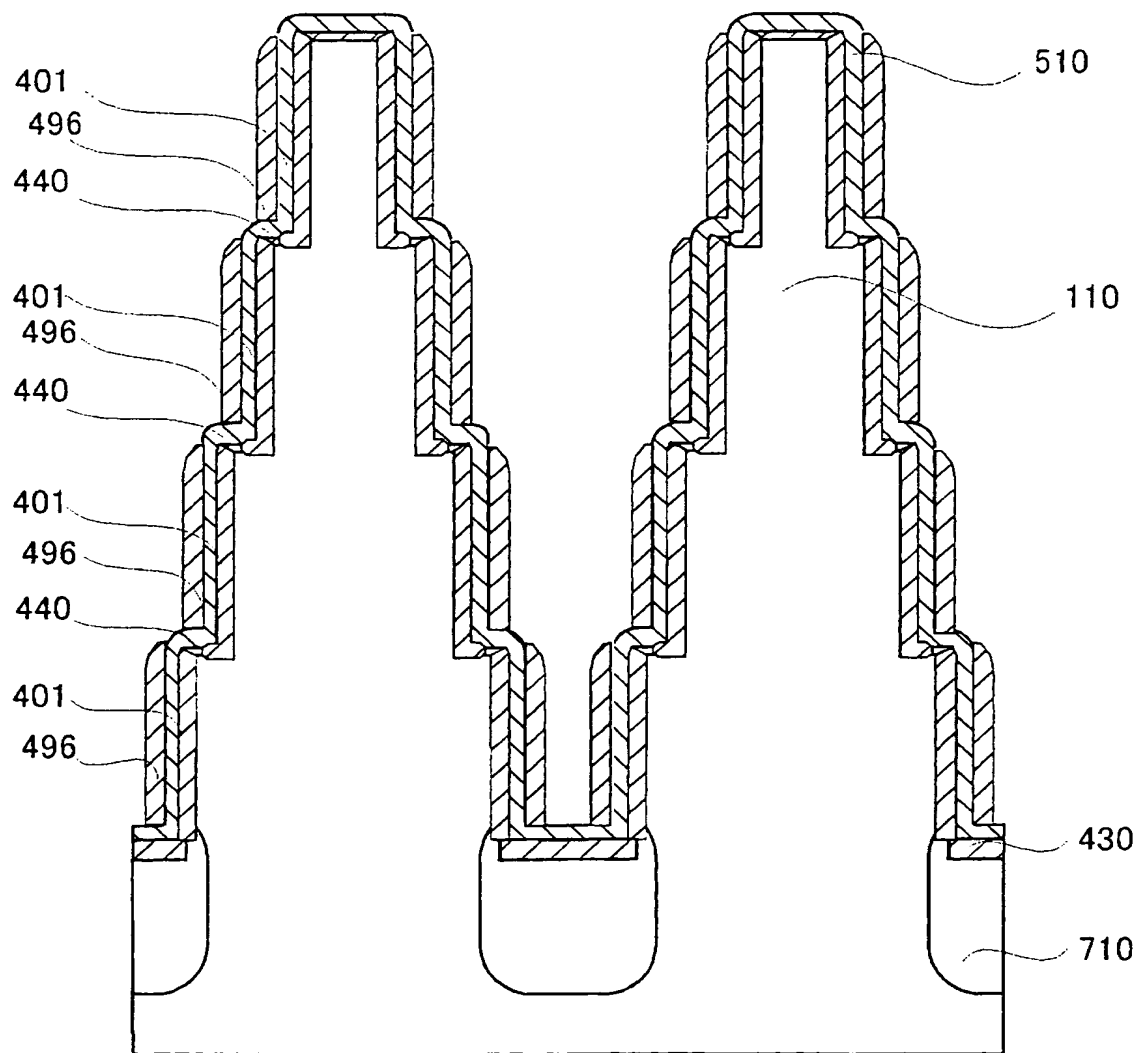
【図 229】



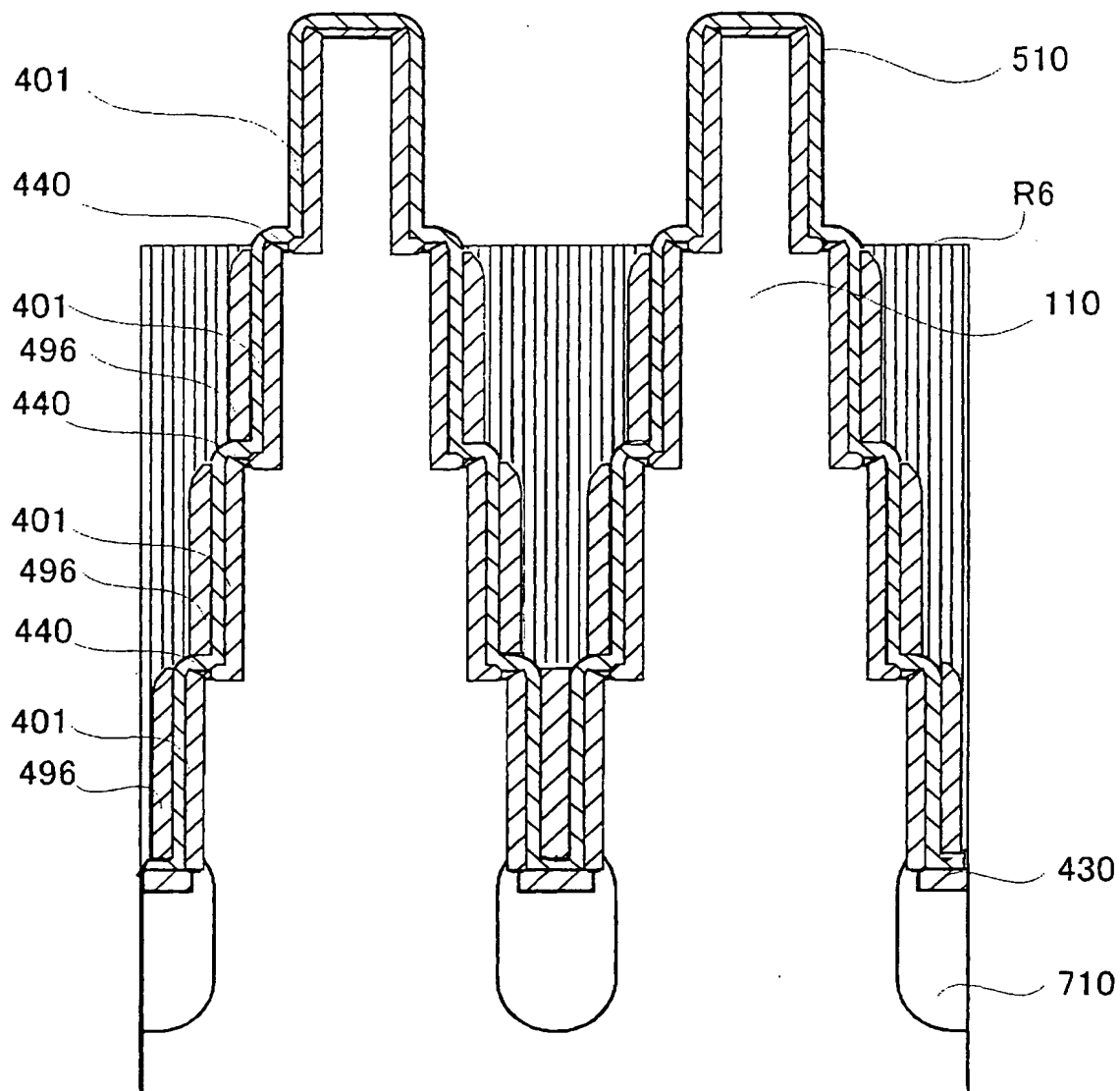
【図 230】



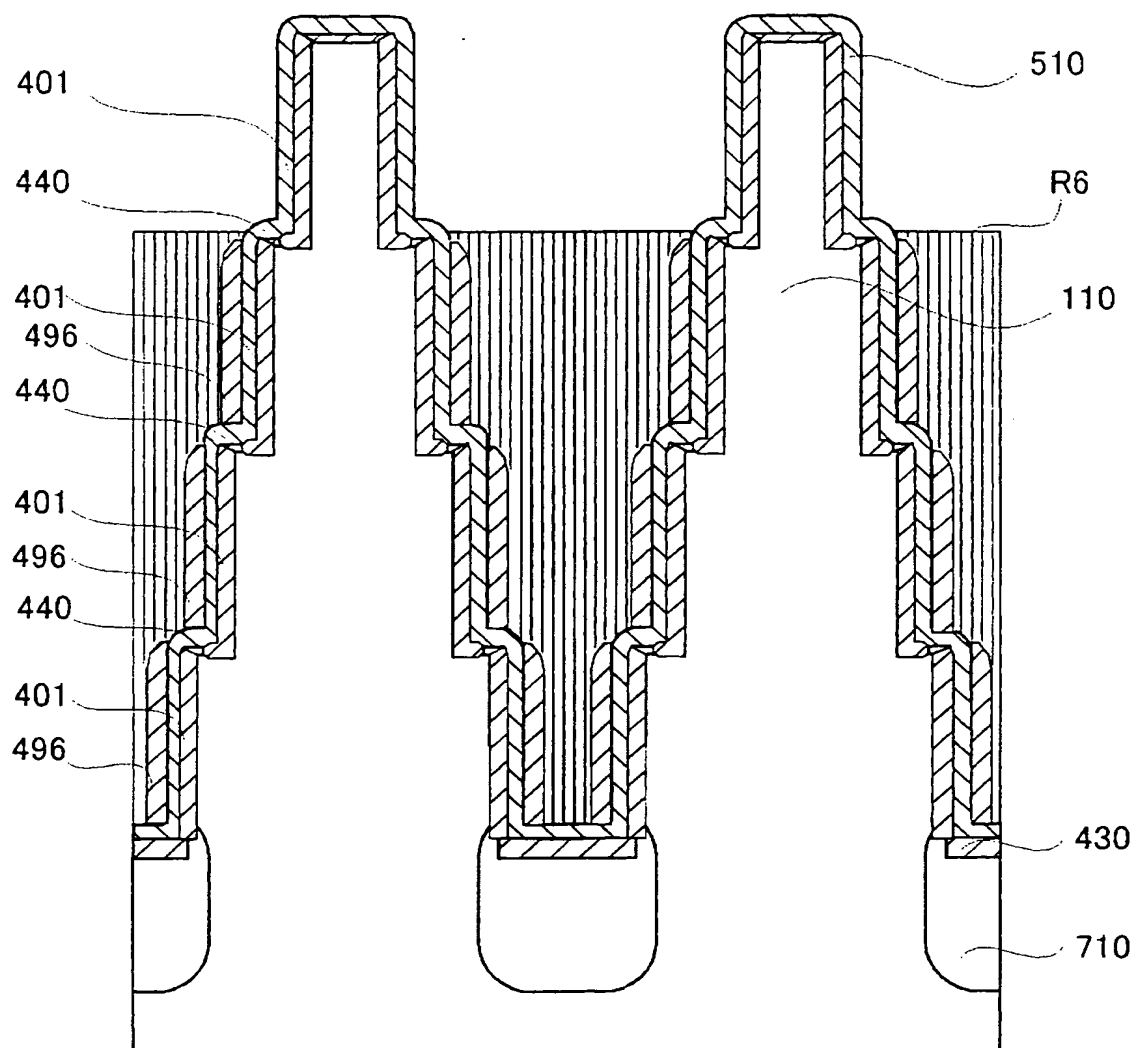
【図 231】



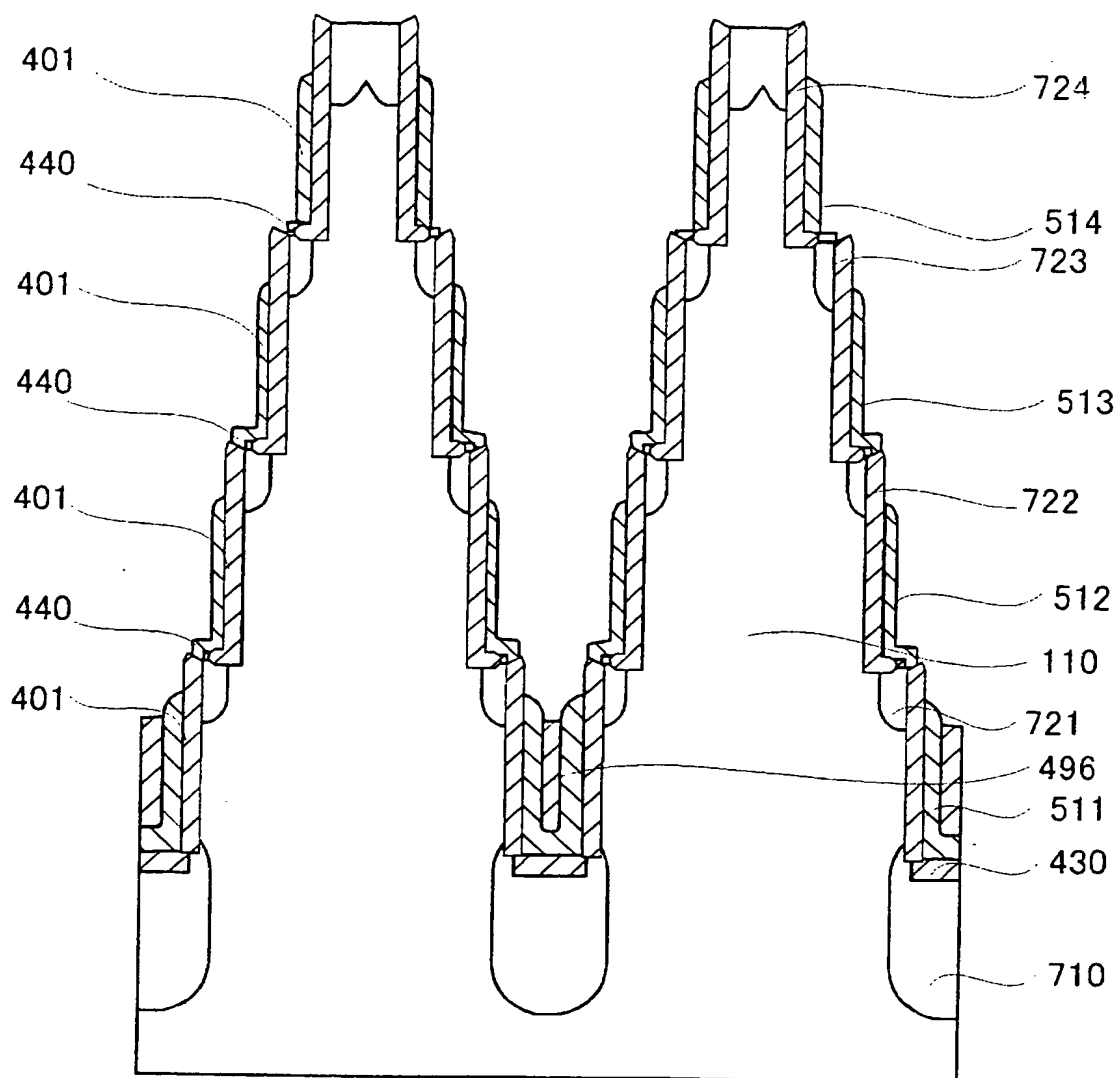
【図 232】



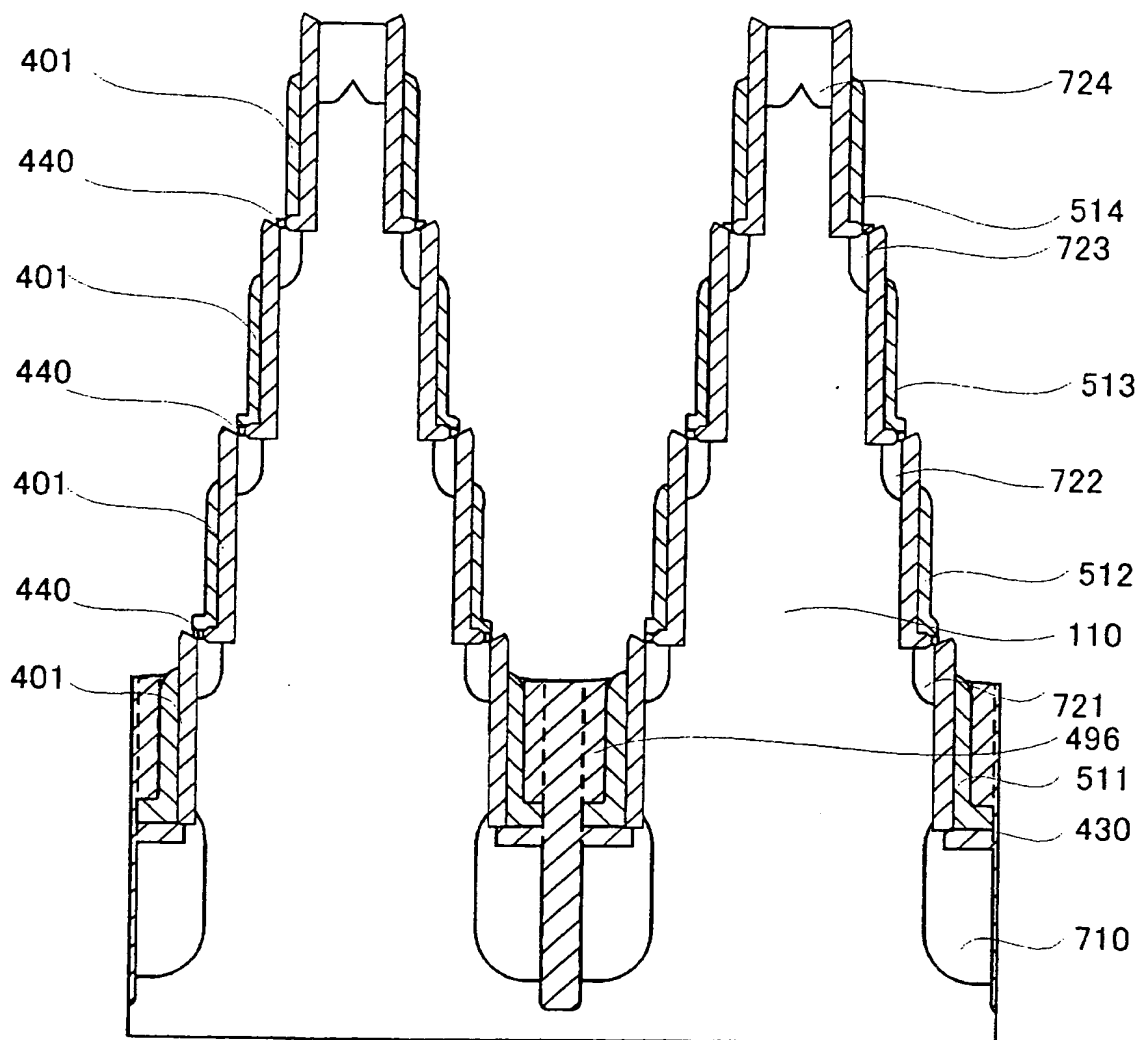
【図 233】



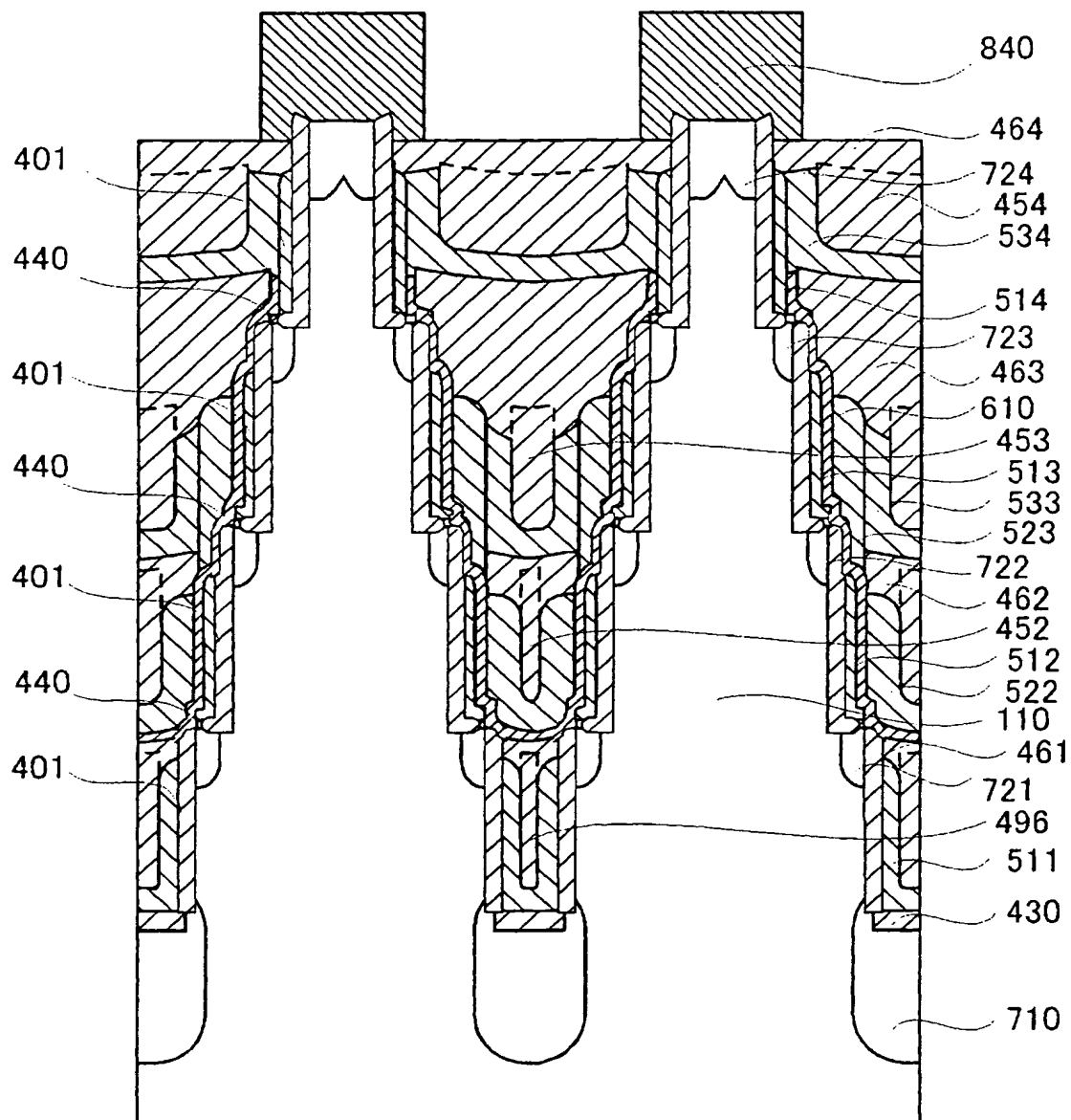
【図 234】



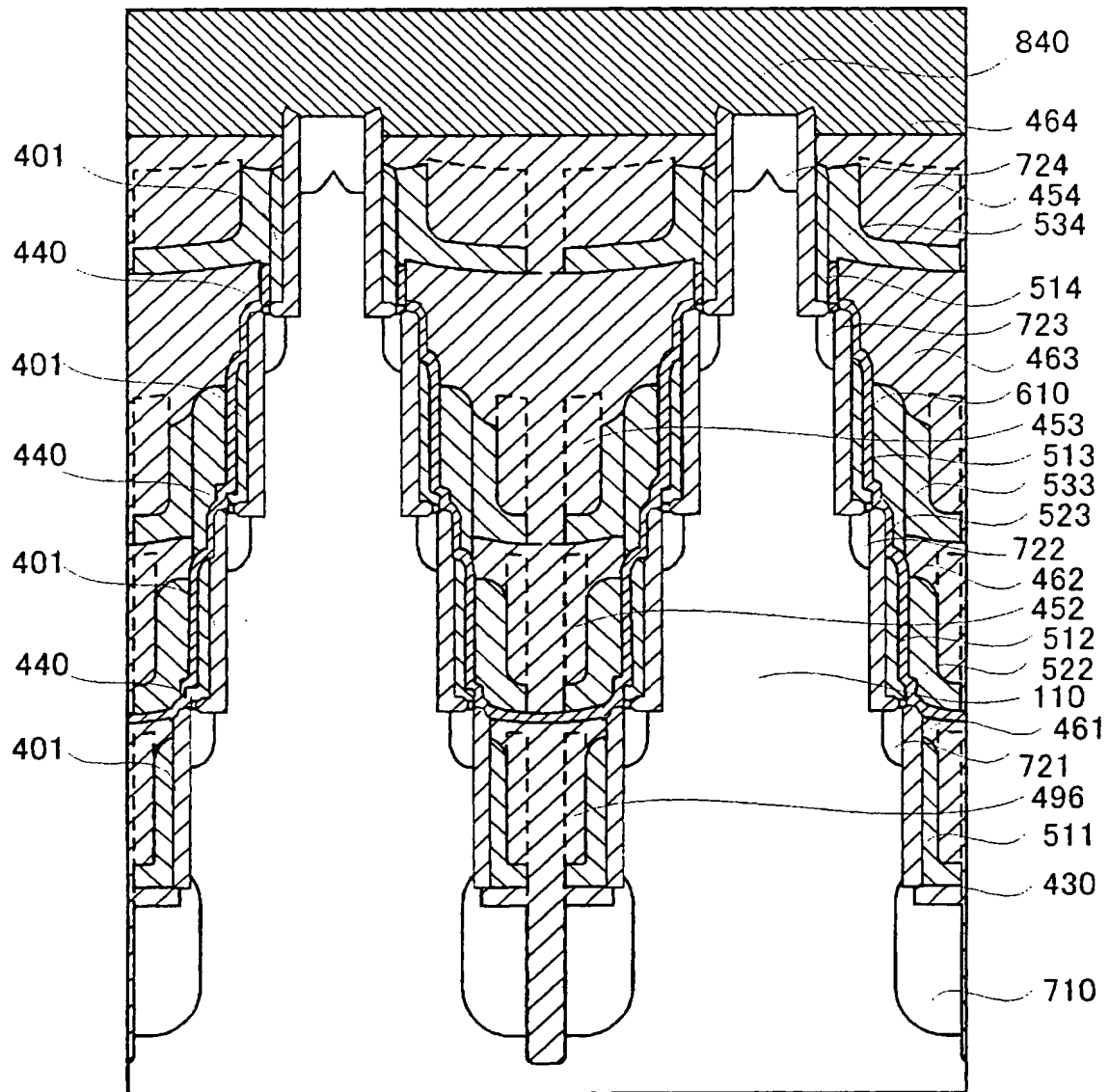
【図 235】



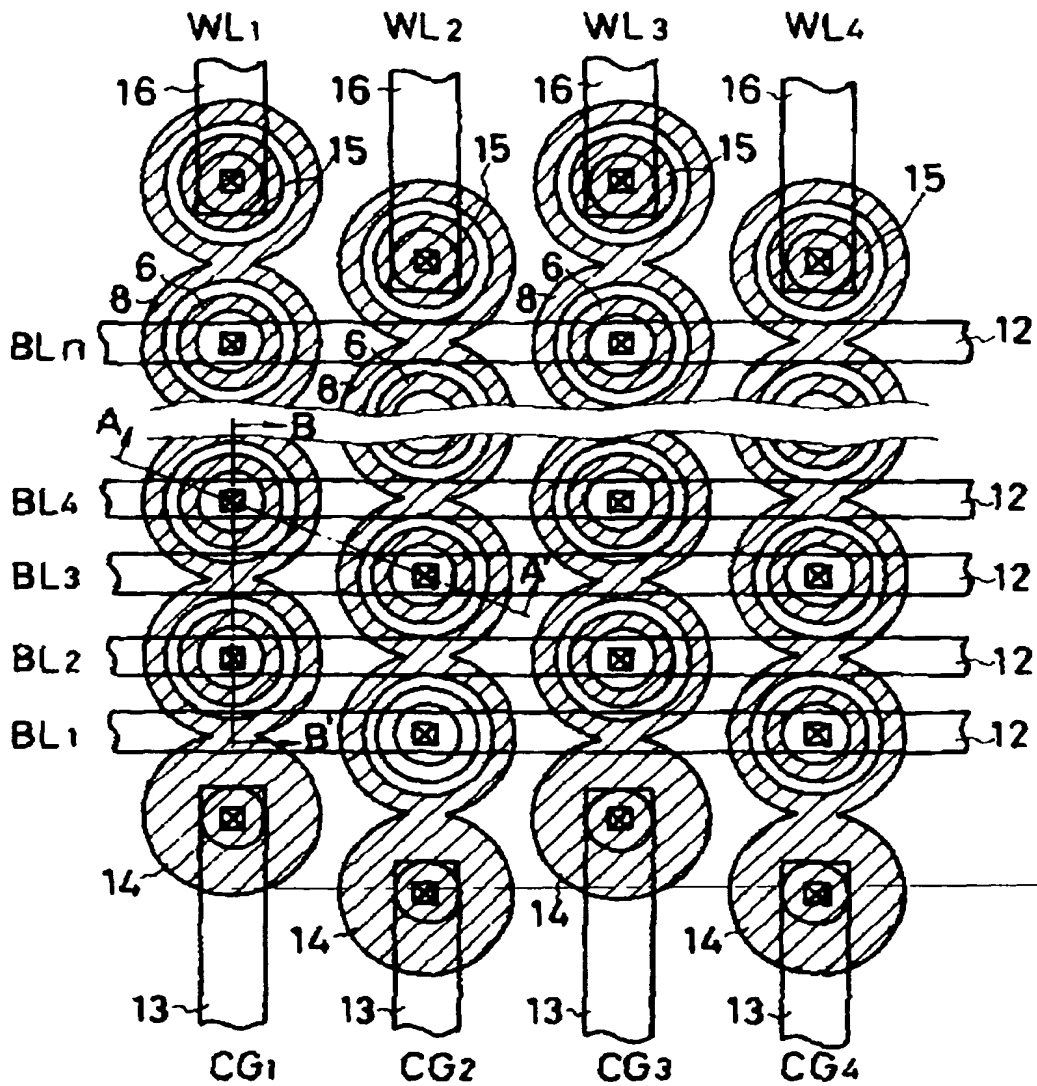
【図 236】



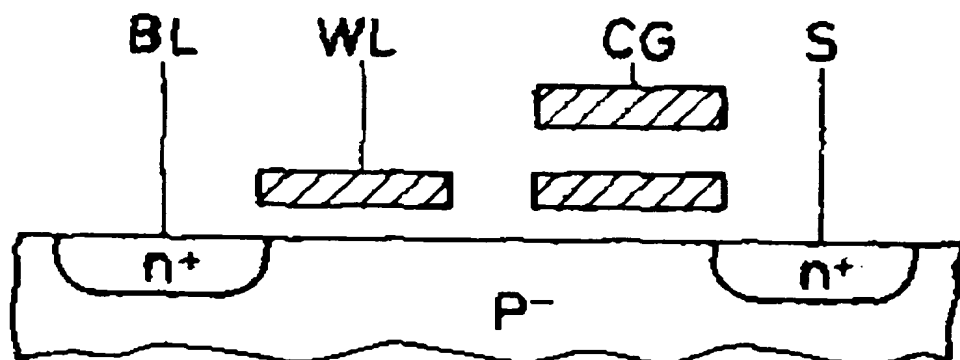
【図 237】



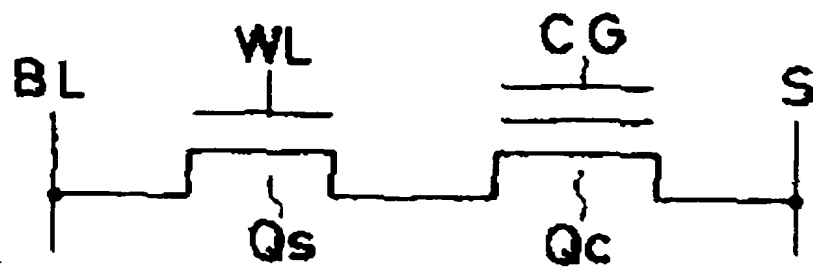
【図 238】



【図 239】

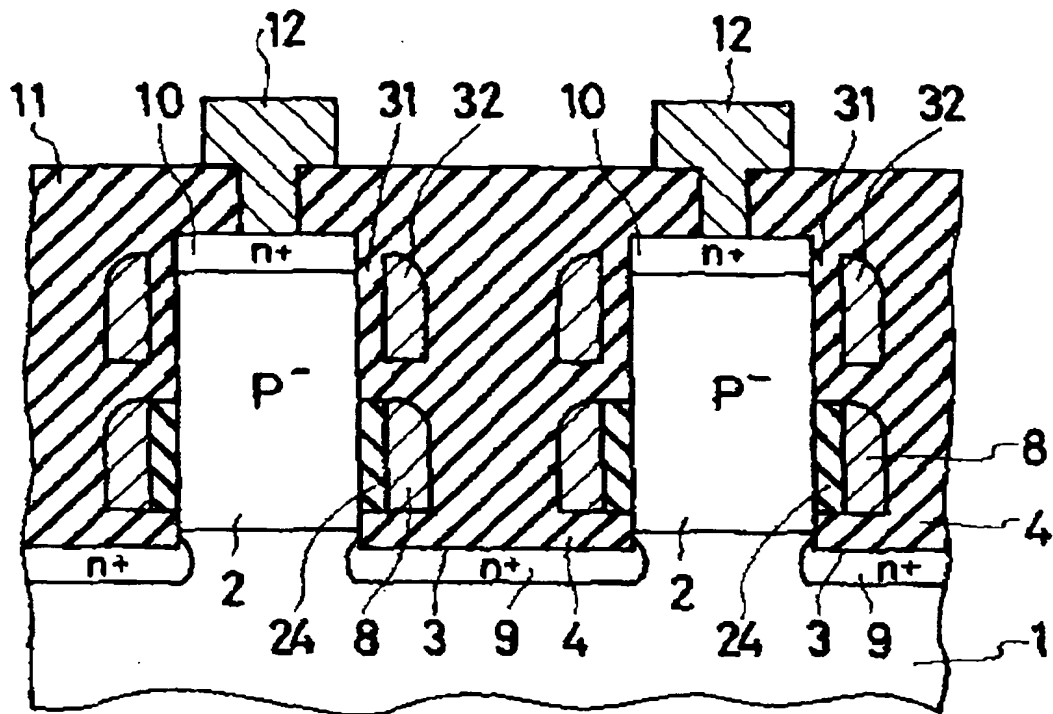


(a)

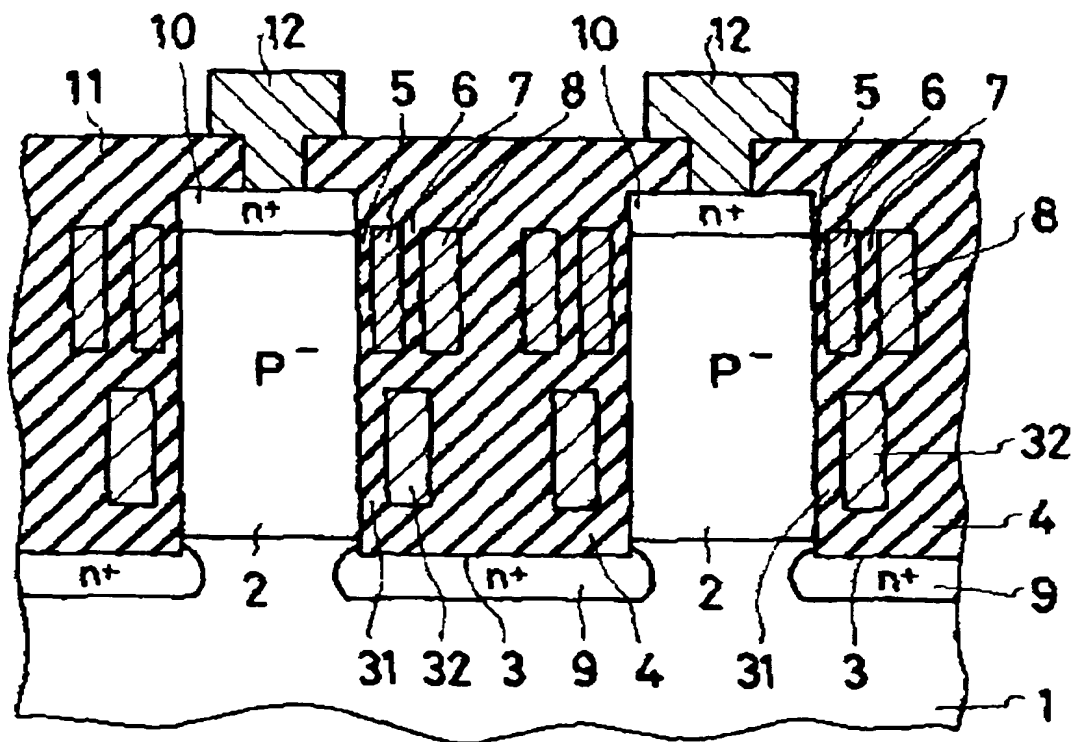


(b)

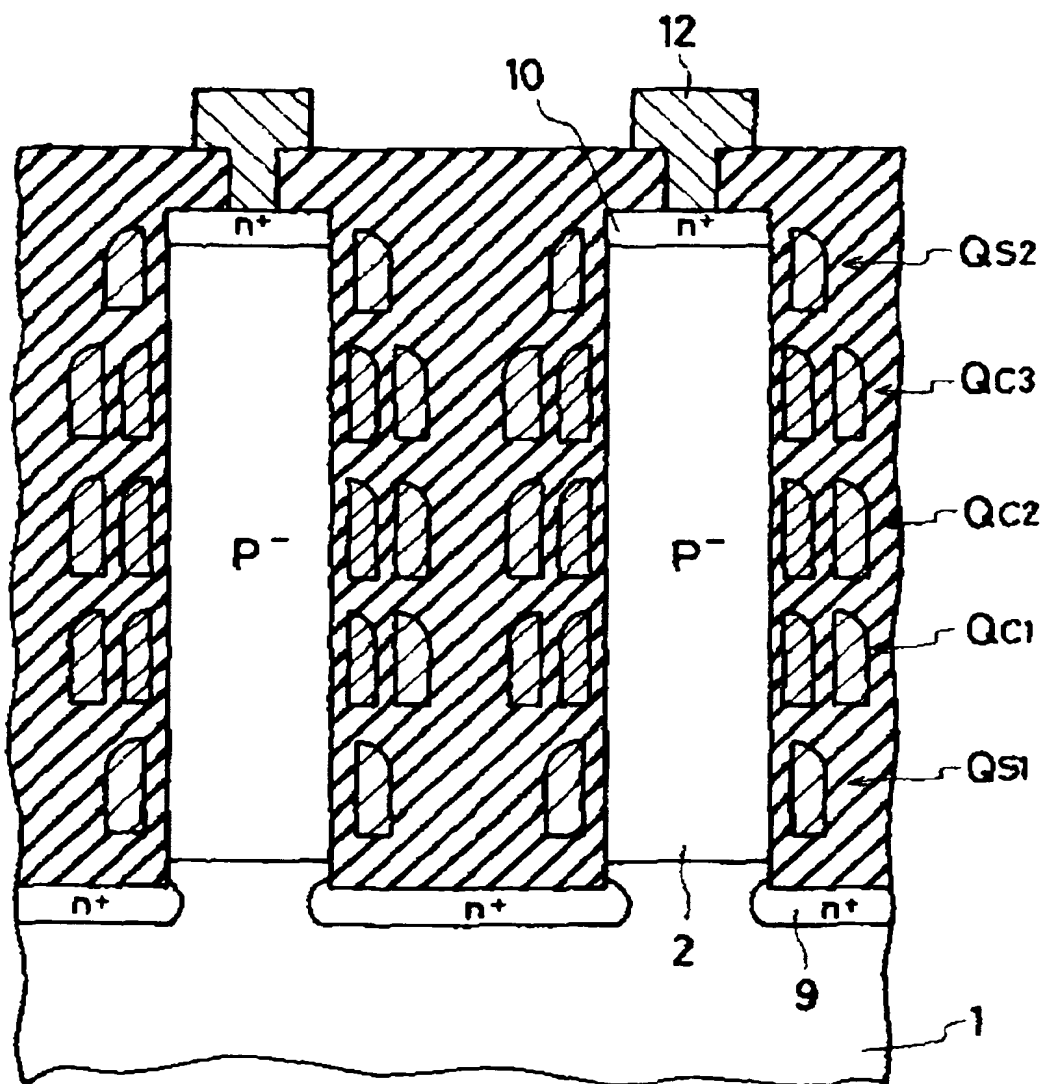
【図 240】



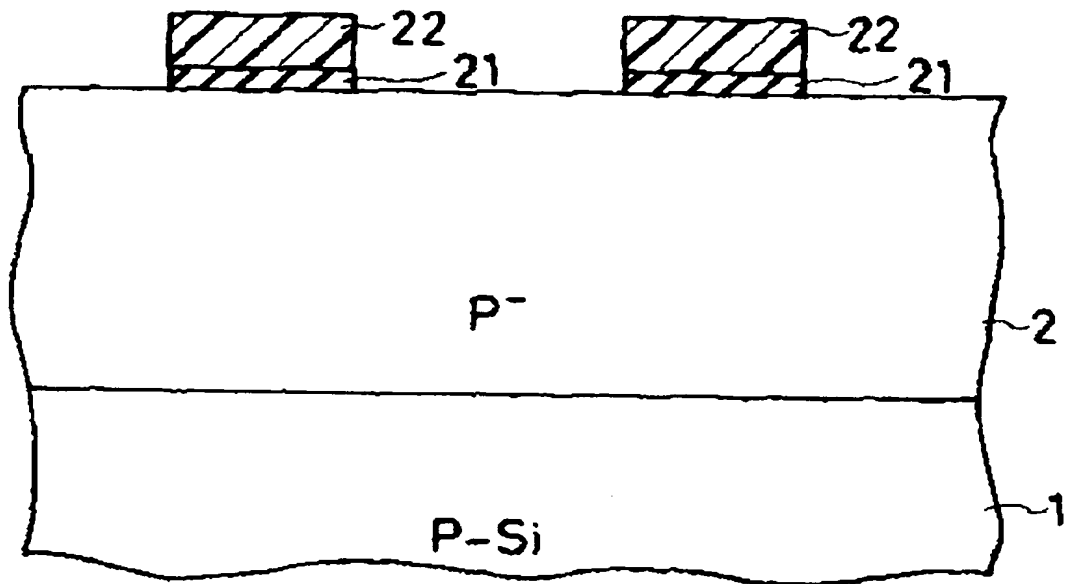
【図 241】



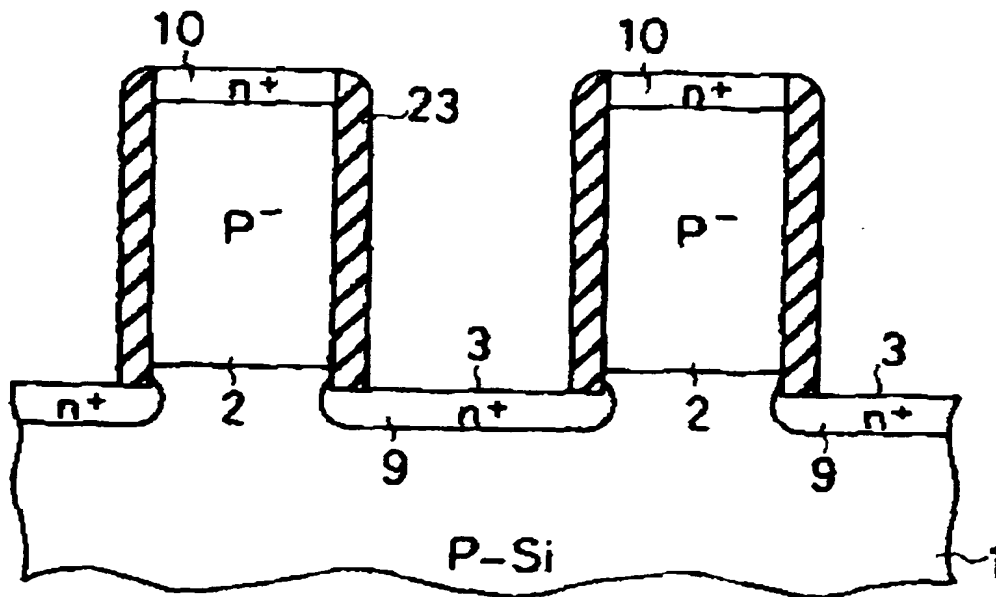
【図 242】



【図 244】

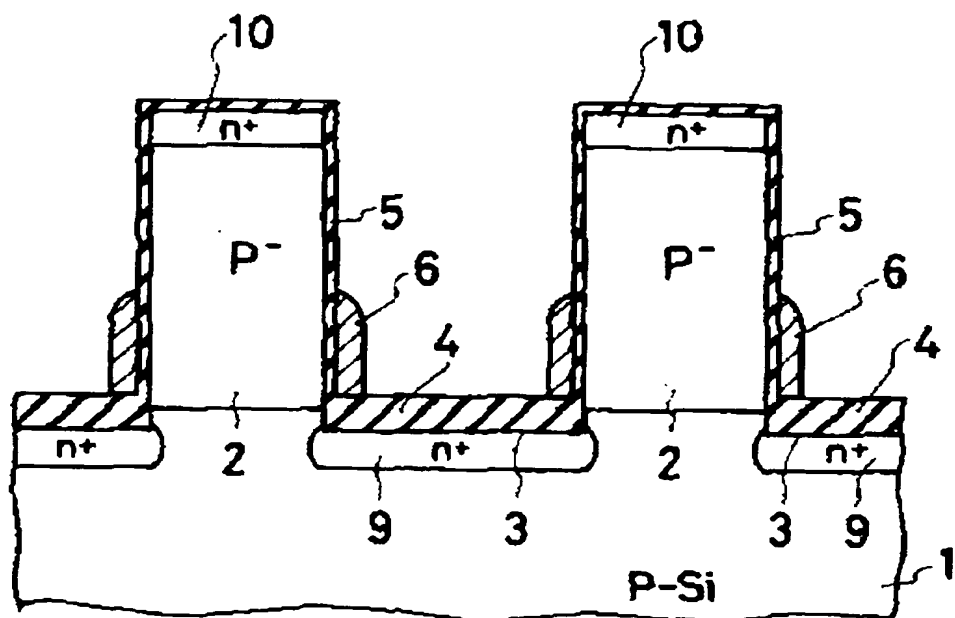


(a)

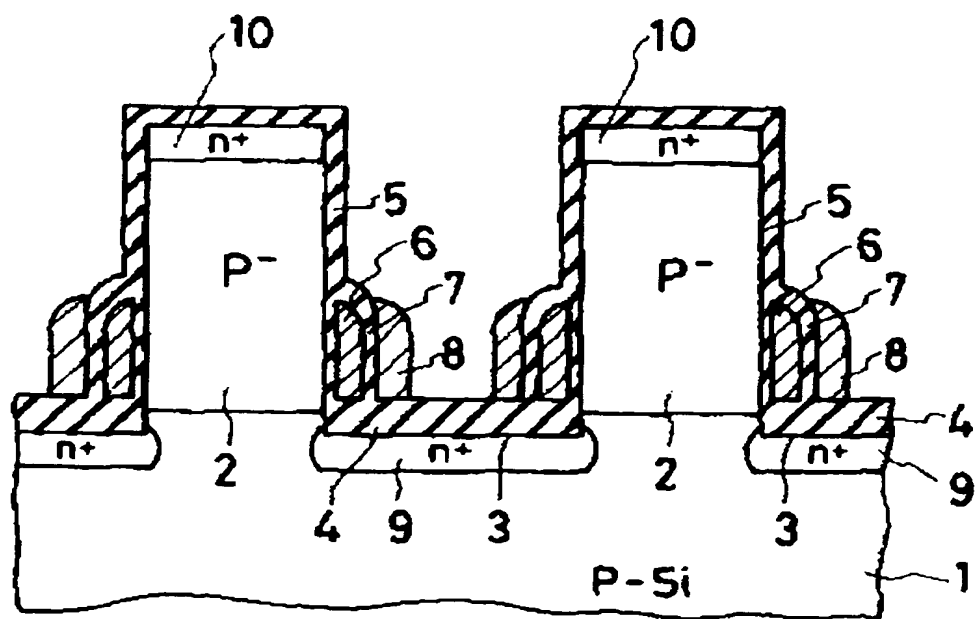


(b)

【図 245】

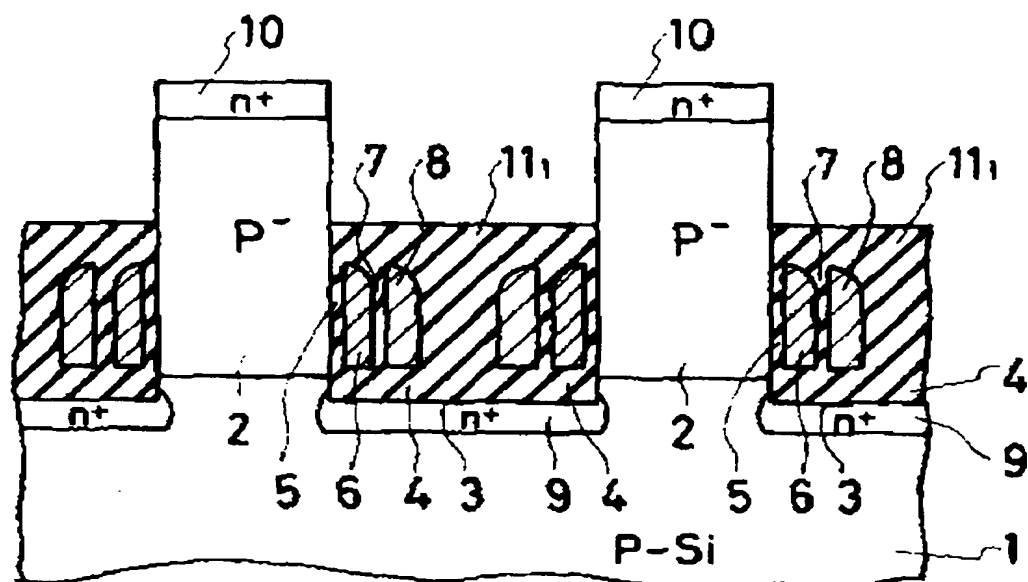


(c)

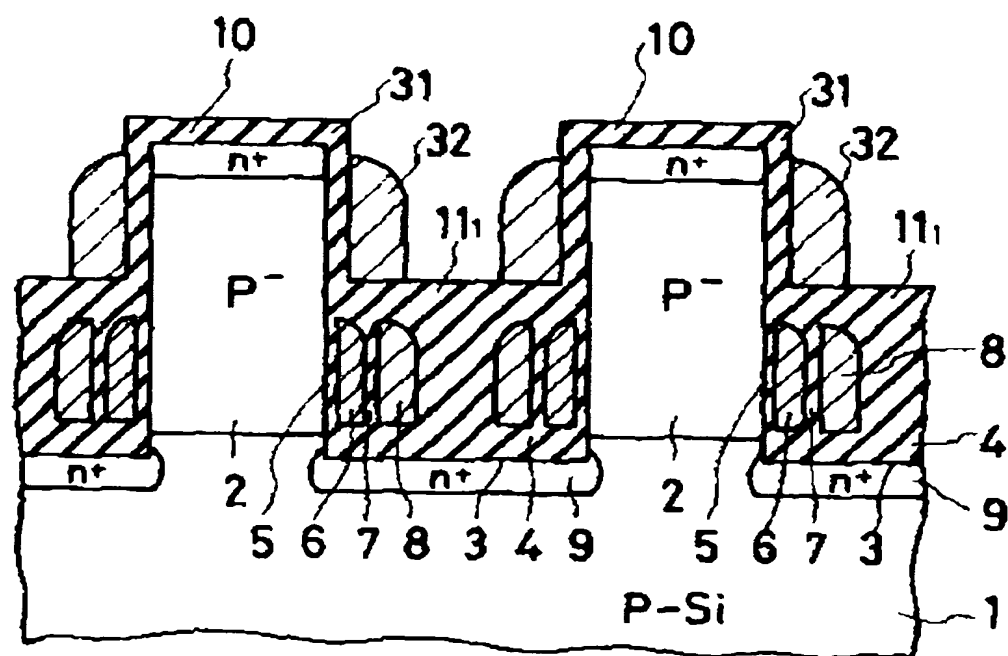


(d)

【図 246】



(e)



(f)

【書類名】 要約書

【要約】

【課題】 電荷蓄積層及び制御ゲートを有する半導体記憶装置のバックバイアス効果による影響を低減させることにより集積度を向上させ、占有面積を増加させずに浮遊ゲートと制御ゲートとの容量の比をより一層増大させるとともに、製造プロセスに起因するセル特性のばらつきが抑制された半導体記憶装置及びその製造方法を提供することを目的とする。

【解決手段】 第1導電型の半導体基板と、少なくとも一つの島状半導体層、該島状半導体層の側壁の周囲の全部又は一部に形成された電荷蓄積層及び制御ゲートから構成されるメモリセルとを有する半導体記憶装置であって、該メモリセルが直列に配置され、該メモリセルが配置する前記島状半導体層が、半導体基板に対する水平方向の断面積が段階的に異なる形状を有し、かつ前記島状半導体層の前記半導体基板に対する水平面の少なくとも一部の領域に電荷を通過させ得る絶縁膜を有する半導体記憶装置。

【選択図】 図7

特願 2002-354403

出願人履歴情報

識別番号

[599174214]

1. 変更年月日

1999年12月10日

[変更理由]

新規登録

住所

宮城県仙台市青葉区東勝山2-23-18

氏名

舩岡 富士雄

2. 変更年月日

2003年 8月 5日

[変更理由]

住所変更

住所

宮城県仙台市青葉区東勝山2-33-18

氏名

舩岡 富士雄

特願 2 0 0 2 - 3 5 4 4 0 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社